

CASA

第三代半导体产业技术创新战略联盟标准

T/CASA 004.2-2018

4H 碳化硅衬底及外延层缺陷图谱

The Metallographs Collection for Defects in both 4H-SiC Substrates and Epilayers

版本：V01.00

2018-11-20 发布

第三代半导体产业技术创新战略联盟发布

目录

前言	III
1 范围	1
2 规范性引用文件	1
3 术语和定义	1
4 SiC 衬底及外延	1
4.1 4H 碳化硅	1
4.2 晶型	2
4.3 物理气相输运生长	3
4.4 4H-SiC 衬底	5
4.5 4H-SiC 同质外延及台阶控制外延生长	6
4.6 4H-SiC 外延层及外延晶片	6
4.7 KOH 腐蚀	7
5 缺陷基本术语及分类	9
6 4H-SiC 衬底缺陷	11
6.1 位错	11
6.2 层错	14
6.3 微管	17
6.4 碳包裹体	20
6.5 晶型包裹体	21
6.6 双 Shockley 型堆垛层错	23
6.7 螺位错	24
6.8 刃位错	26
6.9 基晶面位错	27
6.10 小角晶界	29
6.11 划痕	30
6.12 CMP 隐含划痕	34
7 4H-SiC 外延缺陷	36
7.1 表面形貌缺陷	36
7.2 掉落颗粒物	36
7.3 三角形缺陷	37
7.4 彗星缺陷	39
7.5 胡萝卜缺陷	39
7.6 直线型缺陷	40
7.7 小坑缺陷	42
7.8 梯形缺陷	44
7.9 台阶聚集	46
7.10 外延凸起	49
7.11 乳凸	49
7.12 界面位错	49

7.13 原生型层错	50
7.14 不全位错	53
7.15 半环列阵	55
7.16 点缺陷	55
7.17 碳空位	56
7.18 外延层螺位错	56
7.19 外延层刃位错	58
7.20 外延层基晶面位错	58
8 工艺缺陷	60
8.1 高温退火缺陷	60
8.2 氧化缺陷	60
8.3 电应力诱导缺陷	61
8.4 电应力诱导三角形层错	62
8.5 电应力诱导条形层错	63
8.6 干法刻蚀缺陷	64

前言

由于 4H-SiC 缺陷特别是 4H-SiC 外延缺陷与常见的其它半导体缺陷形状、类型、起因因外延生长模式的不同而有所不同或完全不同,而且目前尚未有适用的国家标准和行业标准,因此,为了规范 4H-SiC 缺陷术语和定义,特制定本标准。

本标准由第三代半导体产业技术创新战略联盟标准化委员会(CASAS)制定发布,版权归 CASA 所有,未经 CASA 许可不得随意复制;其他机构采用本标准的技术内容制定标准需经 CASA 允许;任何单位或个人引用本标准的内容需指明本标准的标准号。

到本标准正式发布为止,CASAS 未收到任何有关本文件涉及专利的报告。CASAS 不负责确认本文件的某些内容是否还存在涉及专利的可能性。

本标准主要起草单位:东莞市天域半导体科技有限公司、全球能源互联网研究院有限公司、中国电子科技集团公司第五十五研究所、中国科学院微电子研究所、株洲中车时代电气股份有限公司、山东天岳晶体材料有限公司、瀚天天成电子科技(厦门)有限公司、山东大学、台州市一能科技有限公司、中国电子科技集团公司第十三研究所、深圳第三代半导体研究院。

本标准主要起草人:孙国胜、杨霏、柏松、许恒宇、李诚瞻、高玉强、冯淦、胡小波、张乐年、房玉龙。

4H 碳化硅衬底及外延层缺陷图谱

1 范围

本标准阐述了4H-SiC衬底及外延缺陷的图谱，其中包括4H-SiC衬底缺陷、外延缺陷以及工艺产生的缺陷。

本标准给出了4H碳化硅（4H-SiC）衬底及外延层的主要缺陷、工艺与加工缺陷等方面的形貌特征图谱，说明了缺陷的特点、性质及其对外延生长或器件特征参数的影响，分析了产生的原因及消除方法，并进行了分类。

本标准适用于4H-SiC半导体材料生产、研究中各种缺陷的检验，4H-SiC器件的生产、研究也可参考本标准。

2 规范性引用文件

下列文件对于本文件的应用是必不可少的。凡是注日期的引用文件，仅所注日期的版本适用于本文件。凡是不注日期的引用文件，其最新版本（包括所有的修改单）适用于本文件。

GB/T 14264 半导体材料术语

CASA 004.1 4H碳化硅衬底及外延层缺陷术语

3 术语和定义

GB/T 14264、CASA 004.1界定的术语和定义适用于本标准。

4 4H-SiC 衬底及外延

4.1 结构

由Si原子层和C原子层构成的基本Si-C双原子层作为基本结构层，如图1~图3所示，以一定序列进行堆放，由此形成的晶体称为碳化硅，分子式为SiC，如图4所示。图3是以图2（b）所示的球体紧密地堆集在一起而形成的一个C-Si双原子层，其位置记为A，B和C分别代表两个与A不等价的位置，在此称为晶位。

由C-Si双原子层作为基本结构层，以“ABCBACB...”序列沿垂直基本结构层的方向（记为C方向）进行堆垛，由此形成的SiC晶体称为4H碳化硅，记为4H-SiC，其中数字4表示C-Si双原子层沿C方向的堆垛周期数，“H”代表六角晶型。由于4H晶型的各向异性较小，且禁带宽度较大，因此成为功率电子领域最常用的一种新型宽禁带半导体材料。

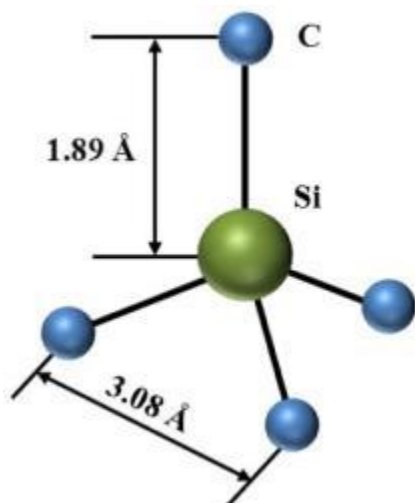


图 1 SiC 晶体的基本结构单元:Si-C₄配位的四面体

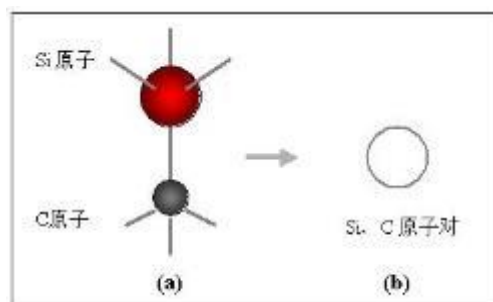


图 2 (a) C、Si 原子键合；(b) 以一个球体代表一个键合的 C、Si 双原子

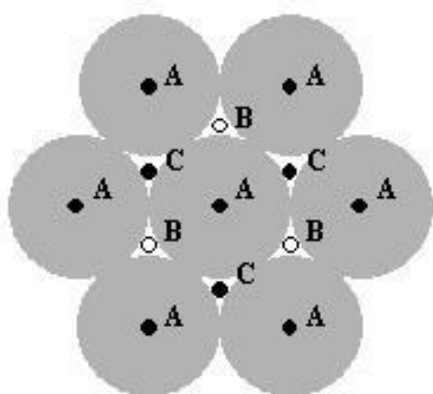


图 3 C-Si 双原子层及其三个不等价晶位



图4 6英寸PVT法生长的4H-SiC晶体

4.2 晶型

对于SiC晶体的基本结构层——C-Si双原子层，以不同序列进行堆垛，可形成不同晶型的SiC晶体材料，不同晶型的SiC晶体具有不同的物理性质。目前已知的SiC晶型（同素异构体）有250多种，其中有三种最常见的晶型，它们分别是3C-SiC、4H-SiC和6H-SiC，如图5、图6所示。

在这些晶型中，具有立方晶型的3C-SiC只有一种。不同晶型不但具有相同的Si-C双层密排面及其晶格排列，而且具有相同的化学和机械性能。所不同的是不同SiC晶型的某些物理性质差异很大。

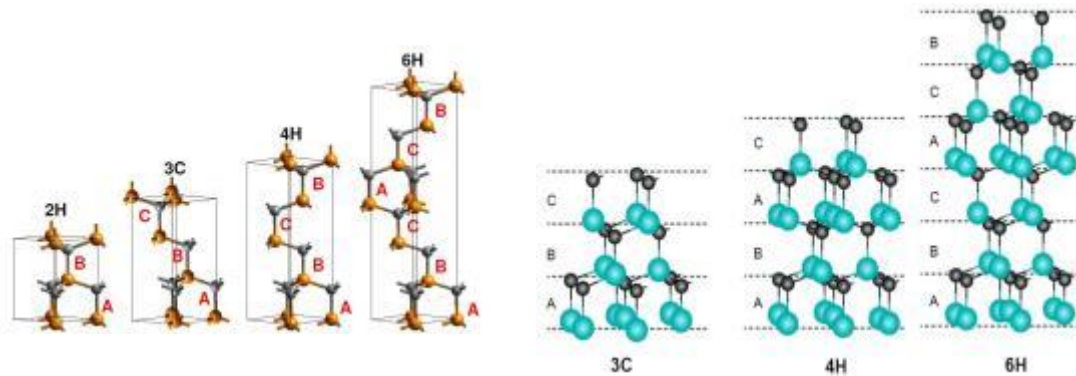


图 5 3C-SiC、4H-SiC 和 6H-SiC 的堆垛顺序 图 6 3C-SiC、4H-SiC 和 6H-SiC 的堆垛顺序

4.3 生长方法

物理气相输运生长是SiC晶体工业化生产常用方法，又称为籽晶升华法或改良的Lely方法。

早期SiC晶体生长方法有Acheson方法、Lely方法等，如图7所示，为了克服Lely方法中存在的问题，1978年，前苏联科学家Tairov和Tsvetkov首先提出了通过引入籽晶的升华法来生长SiC单晶，缔造了大面积生长SiC晶体生长的先驱性工作。由于PVT方法是在此基础上发展起来的，所以又称为籽晶升华法或改良的Lely方法，如图8~图13所示。

PVT法是SiC晶体生长最常用的方法，该方法利用了SiC没有液相，将固态SiC在高温区进行升华，然后在温度稍低的高质量SiC籽晶上重新结晶的物理过程。所谓升华是指物质从固态直接变成气态的相变过程。对于SiC二元化合物，在升华过程中发生了分解，气相组分不但有气态的原子，也会有不同形式的气态化合物。

根据市场需求及SiC晶体生长技术发展方向，先后又开发出HTCVD方法、重复a面生长（RAF）方法以及液相生长（LPE）方法。利用上述生长方法获得的4H-SiC晶体如图14~图16所示。



图 7 Lely 法生长的 6H-SiC 晶片



图 8 n 型 PVT 法生长的 4H-SiC 晶体

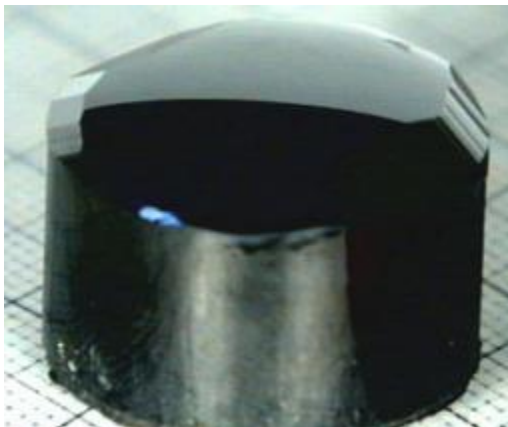


图 9 PVT 法在<11-20> a 晶面生长的 1 英寸 4H-SiC 晶体

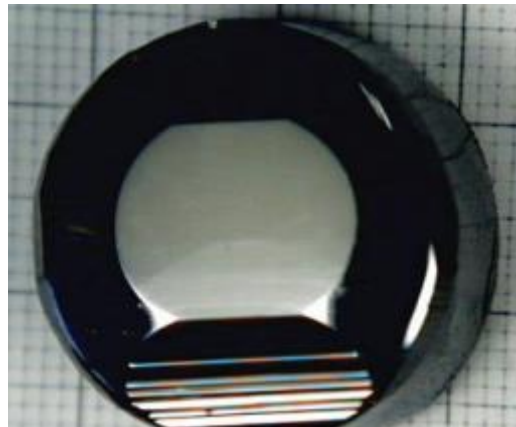


图 10 PVT 法在<1-100> m 晶面生长的 1 英寸 4H-SiC 晶体



图 11 PVT 法在<000-1> c 晶面生长的 1 英寸 4H-SiC 晶体

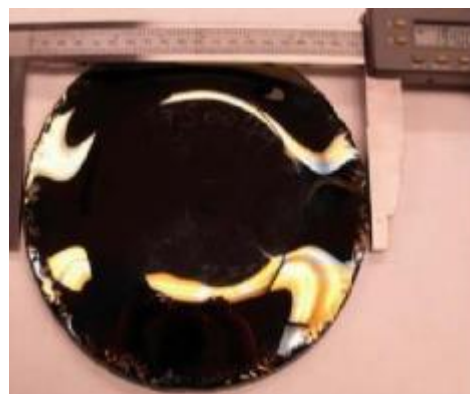


图 12 PVT 法生长的 8 英寸 4H-SiC 晶体

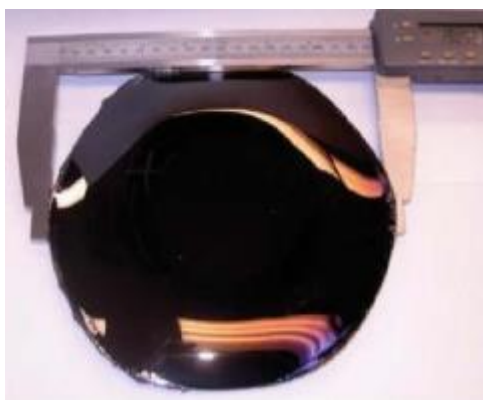


图 13 PVT 法生长的 8 英寸 4H-SiC 晶体

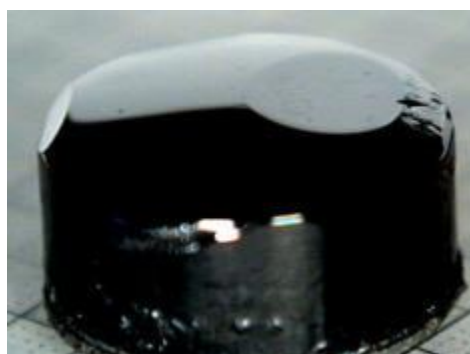


图 14 RAF 法生长的 1 英寸 4H-SiC 晶体

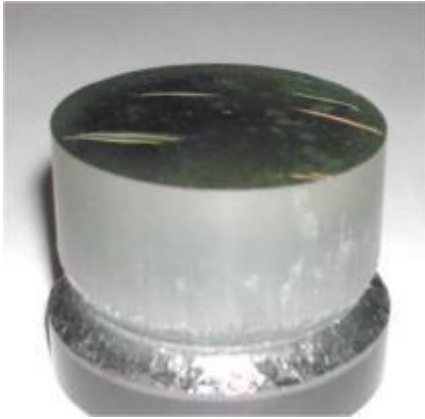


图 15 HTCVD 晶体 (2 英寸)



图 16 HTCVD 晶体 (3 英寸)

4.4 衬底

通过切、磨、抛工艺，将4H-SiC晶体加工成适合于外延生长的晶片材料，如图17-20所示。

功率器件用4H-SiC衬底是N重掺杂的电阻率为 $15\text{-}28\text{m}\Omega \cdot \text{cm}$ 的 n^+ 型4H-SiC晶片。商业化衬底表面含有各种缺陷，这些缺陷会干扰外延层生长，影响后续器件性能。



图 17 6 英寸 RAF 4H-SiC 晶片

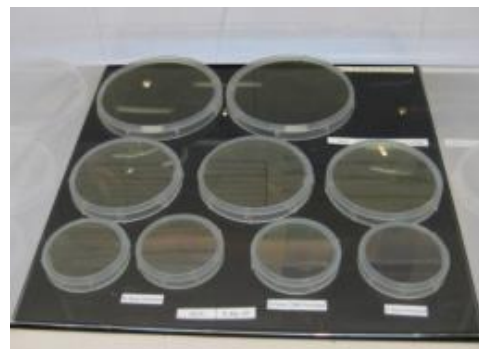


图 18 2-4英寸4H-SiC晶片

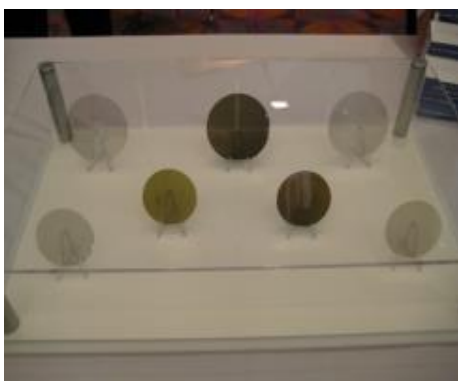


图 19 2-3 英寸 4H-SiC 衬底晶片

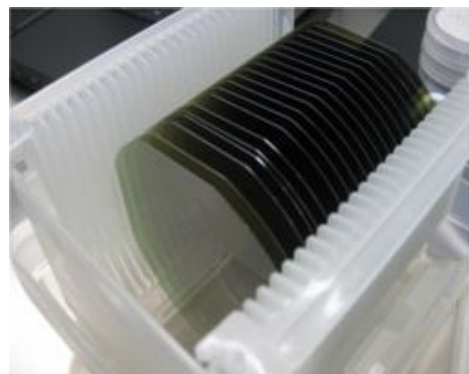


图 20 PVT 法生长的 4 英寸 n 型 4H-SiC 导电衬底

4.5 同质外延及外延生长

4H-SiC同质外延生长已成为4H-SiC器件制造不可缺少的关键工艺。常见的外延生长技术有化学气相沉积技术（CVD）、液相外延技术（LPE）和分子束外延技术（MBE）等，相比之下，CVD具有可以在较高生长速率下获得高质量外延层，可以对SiC外延层的厚度实现精确控制，并且能可控实现SiC原位掺杂等多种优点，现已成为业界SiC外延生长的主流技术，得到了广泛应用。外延层质量不仅取决于CVD生长条件，还取决于衬底质量。

由于SiC具有多晶型特点，为了能够控制SiC外延层的晶型，日本京都大学Matusnami教授研究小组首先提出了台阶流动控制外延生长方法，该方法的本质就是使用偏晶向SiC衬底，即SiC表面法线方向朝一固定晶向偏转一个角度，与[0001]晶向有一小夹角，通过控制衬底表面上的原子台阶流动，来进行SiC外延层的生长。

台阶流动控制外延生长与传统的CVD外延生长机理完全不同，该方法不但有效地控制了SiC外延层的晶型，保证与衬底晶型一致，而且也降低了SiC外延生长温度。

对于目前常用的4英寸（100mm）和6英寸（150mm）偏晶向4H-SiC衬底，偏转角度均为 4° ，偏转方向为 $\langle 11-20 \rangle$ 晶向。虽然偏晶向衬底上4H-SiC外延生长能够降低衬底温度，提高外延层结晶质量，但是也带来了不同于正晶向衬底上外延生长的各种类型的外延层表面形貌缺陷，对功率半导体器件成品率产生严重影响。

4.6 外延层及外延晶片

在4H-SiC衬底（晶片）上外延生长的4H-SiC单晶薄层，其晶型与衬底相同，如图21~图22所示，由于外延层与衬底两者的电子浓度不同，其界面具有明显的分界线。包含4H-SiC衬底及其外延层在内的SiC晶片，称为4H-SiC外延晶片。通常情况下，4H-SiC外延层厚度远远小于衬底厚度，且掺杂浓度远远小于衬底的掺杂浓度，所以4H-SiC外延晶片颜色与衬底相同或接近，如图23-图24所示。

另外，在4H-SiC晶体中，有两种不同的晶格位置（晶位），即立方晶位和六角晶位，各占50%。杂质进入SiC后，可能占据立方晶位，也可能占据六角晶位，杂质占据的晶位不同，其表现出的杂质性能也不尽相同，尤其是杂质的激活能。4H-SiC有一个较好的V族施主杂质原子N，其在立方与六角晶位上的电离能分别为124meV和66meV，也存在激活能可以接受的III族受主原子Al，其在立方与六角晶位上的电离能均为191meV。

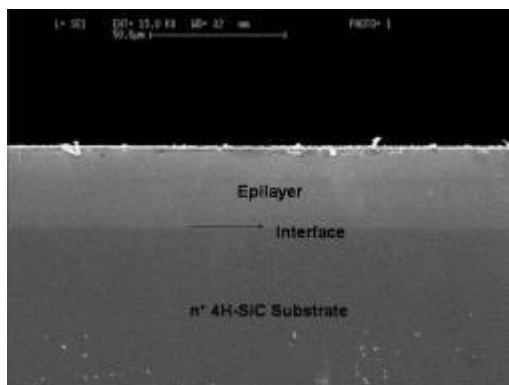


图 21 厚度为 30 μm 的 4H-SiC 外延层 SEM 截面图像

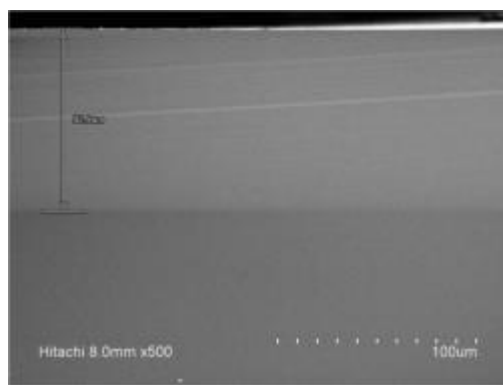


图 22 厚度为 93 μm 的 4H-SiC 外延层 SEM 截面图像



图 23 4 英寸 4H-SiC 外延层表面图像



图 24 6 英寸 4H-SiC 外延晶片照片（外延层厚度 12 μm ）

4.7 KOH 腐蚀

用熔融KOH液体侵蚀4H-SiC表面数分钟，在晶体表面的位错应力区域，有选择性地局部腐蚀，产生一种界限清晰、形状规则的腐蚀坑，以揭示与4H-SiC衬底或外延层表面相交的结晶缺陷。腐蚀坑图像如图25~图28所示。

4H-SiC晶体中有三种主要的线位错缺陷，它们分别是螺位错TSD、刃位错TED和基晶面位错BPD，另外SiC还有一种特有的微管MP缺陷，它Burgers矢量几倍于TSD的巨大螺位错。

结晶缺陷的类型可根据腐蚀坑（或蚀坑）的形状来判断，其中MP、TSD和TED蚀坑因偏晶向而呈现不对称的六角形，有时TED蚀坑呈现圆形。由于TSD位错的Burgers矢量大于TED的Burgers矢量，所以TSD位错蚀坑尺寸大于TED位错蚀坑，MP蚀坑尺寸最大，如图25~图30所示。

4H-SiC衬底或外延晶片的结晶缺陷密度可用腐蚀坑密度来计算，同一晶片上不同位置的蚀坑密度不同，表示晶片内结晶缺陷密度分布不均匀。通常情况下，晶片边缘区域有高密度的蚀坑，最高密度比其它区域甚至高出两个数量级，如图31~图32所示。

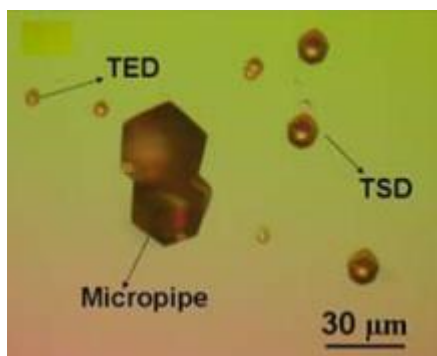


图 25 4° 偏角的 n+型 4H-SiC 衬底 (0001) Si 面 KOH 腐蚀坑图像 (500°C, 20 分钟)

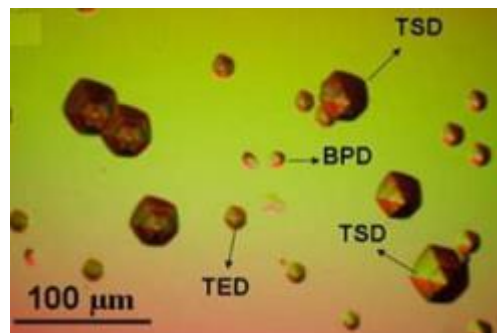


图 26 4° 偏角的 n+型 4H-SiC 衬底 (0001) Si 面 KOH 腐蚀坑图像 (500°C, 20 分钟)

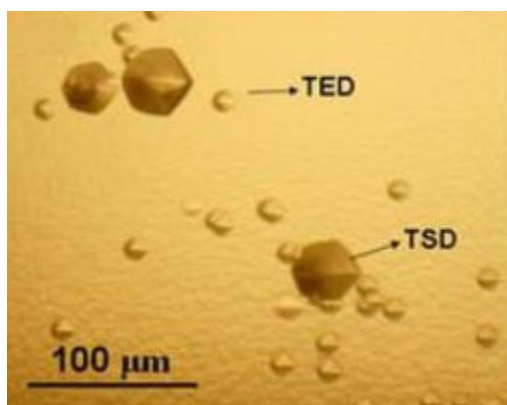


图 27 4° 偏角的 p 型 4H-SiC 衬底 (0001) Si 面 KOH 腐蚀坑图像 (500°C, 20 分钟)

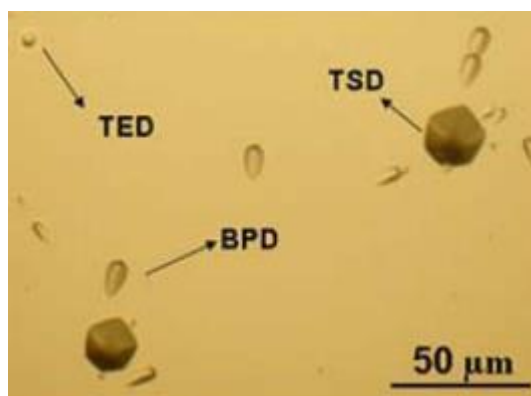


图 28 4° 偏角的 p 型 4H-SiC 衬底 (0001) Si 面 KOH 腐蚀坑图像 (500°C, 20 分钟)

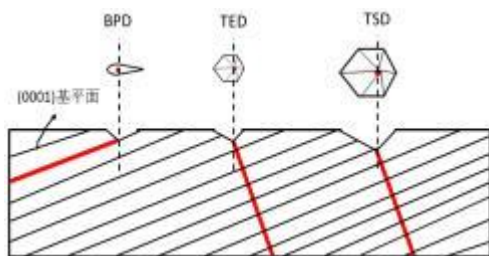


图 29 偏晶向 4H-SiC 晶片中典型的位错腐蚀坑示意图

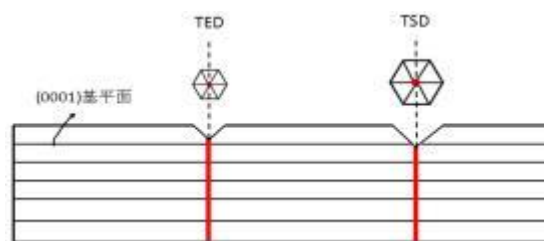


图 30 正晶向 4H-SiC 晶片中典型的位错腐蚀坑示意图

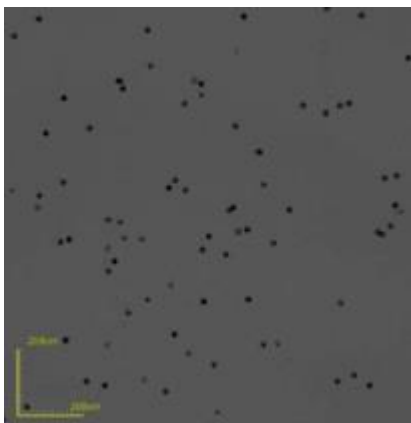


图 31 4H-SiC 外延层表面 KOH 腐蚀图像
(500°C, 20 分钟)

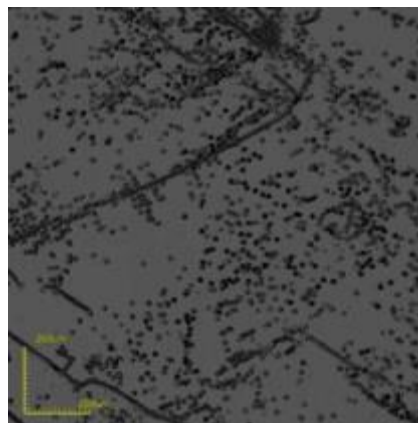


图 32 4H-SiC 外延层表面 KOH 腐蚀图像
(500°C, 20 分钟)

注：同一外延晶片上低位错密度区域

注：同一外延晶片上含有小角晶界的高位错密度区域

5 缺陷基本术语及分类

5.1 4H-SiC 缺陷

4H-SiC 晶体中及晶体表面存在的晶格不完整性或具有规则和不规则形状和形貌的区域。

4H-SiC 缺陷可分解为两部分，一是 4H-SiC 衬底缺陷，二是 4H-SiC 外延缺陷。其中衬底包括两部分，一是结晶缺陷（点、线、面、体），二是衬底表面 CMP 工艺缺陷（划痕与亚损伤层）；外延缺陷也包括两部分，一是结晶缺陷（点、线、面），二是表面形貌缺陷。

5.2 衬底缺陷

4H-SiC 衬底中的结晶缺陷或结构缺陷以及切、磨、抛加工后遗留在 4H-SiC 衬底表面上的 CMP 工艺缺陷。

PVT 法是 4H-SiC 晶体生长的常用方法，4H-SiC 晶体中的结晶缺陷一部分是从籽晶中遗传下来的，另一部分则是由生长过程中晶体内部应力及杂质产生的。

4H-SiC 衬底缺陷的存在对后续外延生长产生影响，如外延层结晶缺陷及表面形貌缺陷等。

5.3 外延缺陷

4H-SiC 外延层中的结晶缺陷与 4H-SiC 外延层表面上因采用台阶流动控制外延生长方法而产生的表面形貌缺陷。

4H-SiC 外延生长主要要求就是要尽可能地减少 SiC 外延层中的结晶缺陷密度以及可能地降低外延层表面形貌缺陷密度。

虽然外延层质量在过去几年里由于诸如“台阶控制外延”或“氯化物基化学”等几项技术突破而大幅改善，但是外延层中仍存在一些缺陷：主要是堆垛层错（SF），位错（基面位错、螺位错和刃位错）和点缺陷。

另外,在台阶流动控制外延生长过程中,因衬底表面存在晶格不完整性、外来颗粒异物、以及衬底表面损伤等,造成台阶流动模式发生变化而产生的借助显微镜可用肉眼直接观察的形状规则或不规则的表面形貌缺陷。

根据缺陷尺寸随外延层厚度的变化规律,表面形貌缺陷又可分为大缺陷和小缺陷。大缺陷的特点是随着4H-SiC外延层厚度的增大,沿[11-20]方向的缺陷尺寸呈现规律性的增大,缺陷长度 L 可以表示为 $L=d/\sin(\theta)$,其中 d 为4H-SiC外延层厚度, θ 为4H-SiC衬底表面沿[11-20]方向的偏转角度,这个关系说明大缺陷起源于衬底与外延层界面处。小缺陷的特点是其尺寸一般小于10微米,且不随4H-SiC外延层厚度的增大而发生较大变化。

大缺陷对于4H-SiC功率器件的危害性最大,通常被称为器件“杀手”级缺陷,造成器件失效,也是限制4H-SiC功率器件性能与成品率的关键因素。小缺陷对4H-SiC器件的危害性较小,当小缺陷密度较大时,会增大器件的漏电流,影响器件的可靠性。

5.4 结晶缺陷

结晶缺陷也称为晶体缺陷(crystal defect)或结构缺陷(structural defect)。

4H-SiC衬底中的结晶缺陷包括点、线、面及体缺陷,其中点缺陷包括杂质原子、空位、间隙原子及其复合体等,线缺陷包括微管(MP)、螺位错(TSD)、刃位错(TED)及基晶面位错(BPD),面缺陷包括晶界及堆垛层错等,体缺陷包括碳(C)包裹体和晶型包裹体。

4H-SiC外延层中的结晶缺陷包括点、线、面(晶界、堆垛层错)缺陷,其内容与4H-SiC衬底结晶缺陷相同。

5.5 扩展缺陷

从衬底贯穿到外延层,或随外延层厚度增大而延伸的结晶缺陷和表面形貌缺陷。

扩展缺陷包含位错缺陷和其它类型的缺陷,位错缺陷有螺位错(TSD)、刃位错(TED)和基晶面位错(BPD),其它类型的缺陷有胡萝卜、基晶面Frank型层错、3C包裹体、8H层错等。位错不仅具有贯穿性,还具有转化性,如在外延生长中,衬底中的TSD和TED位错会贯穿到外延层中,而衬底中99%以上的BPD位错在外延生长中转化为TED位错。外延层中不同类型的扩展缺陷通常成核于外延层/衬底界面处。

扩展缺陷易受生长条件的影响。如在快速生长条件下,诸如BPD、SSF和胡萝卜等扩展缺陷会发生闭合,其密度得到降低。对于BPD位错,提高生长速率,可降低BPD密度。

不同结构的扩展缺陷,其对器件的影响也不同,如位错及层错会降低功率器件的电压阻断性能,也会影响器件的可靠性。因此,降低扩展缺陷密度是制造大面积4H-SiC功率器件的关键技术。

当两个不全位错相遇并结合成为一个完美的BPD后,会增强BPD向TED的转化,同时也会降低SSF层错密度。当BPD分解为两个不全位错时,会产生SSF,如已证实电子-空穴对复合能够提供BPD分解及SSF扩展所需要的能量,这就是复合增强位错滑移机理。

与衬底表面相交的缺陷将在外延生长期间会扩展到同质外延层中,本能地影响器件性能。在4H-SiC中,与其它晶型一样,较低的堆垛层错能(SF)导致基晶面内SF的形成。在后生

长过程中，如单Shockley层错、双Shockley层错和六角星形层错，可以通过不全位错的滑移形成SF，或者通过无序台阶流动形成本征Frank型层错、8H层错和V形缺陷。

5.6 工艺缺陷

工艺缺陷是指器件制造或材料改性工艺过程中引入到4H-SiC晶体中的深能级中心或非本征结晶缺陷，这些深能级可能是杂质原子、间隙原子、空位或其复合体等，起复合中心作用。其中主要器件制造工艺包括离子注入、高温氧化、高温退火、反应离子刻蚀等，材料改性工艺包括中子辐照、电子辐照、质子辐照、离子辐照等。

SiC器件制造几乎经历了30年，同为IV族元素，4H-SiC器件制造工艺的许多基本技术都与Si器件相同或相似，如基于RCA的晶片清洗程序、本征氧化层SiO₂热生长、基于F基离子的干法刻蚀、利用牺牲氧化层的方法消除损伤层等；除这些相同点外，4H-SiC器件制造所使用的离子注入、氧化物界面缺陷控制以及双极型器件寿命增强工艺等却显示出鲜明的差异；另外，Si为单质材料，而SiC为二元化合物，在晶体生长或离子注入等工艺过程中形成的起因于两种元素的点缺陷或更为复杂。在这些相同或不同的器件制造工艺都有可能在4H-SiC晶体中引入深能级缺陷。

虽然SiC可形成与Si相同的SiO₂介质膜，但是两者的热氧化温度不同，且SiC/SiO₂界面态密度较高，其后果是严重限制了沟道迁移率。虽然Si悬挂键可通过H₂退火来补偿，但对于SiC/SiO₂界面却没有效果。氧化后N₂退火或在N气氛中氧化是降低SiC/SiO₂界面态密度的有效方法，其机制是在界面处饱和了C悬挂键或形成了C-N络合物。

与Si相比，大多数元素在SiC中的扩散常数都非常小，基于这一原因，需要在生长过程中或者是利用离子注入和激活退火工艺引入杂质，为了改善掺杂效率，离子注入后的退火温度在1400℃和2000℃范围内，温度越高，载流子浓度就会越高，然而当退火温度接近SiC的形成温度时，C以及Si可能在晶体中扩散，形成对载流子寿命有害的活性中心。

离子注入是4H-SiC选区掺杂、欧姆接触层制造及器件终端结构制造的常用工艺。离子注入即可控制注入深度，也可控制注入浓度的是一个器件关键技术，其缺点是会在4H-SiC注入层引入晶体缺陷。

6 4H-SiC 衬底缺陷

6.1 位错

6.1.1 特征

4H-SiC晶体或衬底中有三种典型的位错，即螺位错（TSD）、刃位错（TED）和基晶面位错（BPD），其中TED和TSD是穿透型位错，如图33~图38所示。

4H-SiC衬底中还有一种常见的微管缺陷，微管是一种柏氏矢量较大的贯穿型螺位错，被公认为4H-SiC晶体中最有危害的缺陷之一。随着4H-SiC晶体生长工艺的持续改善，大尺寸、“零”微管密度的4H-SiC衬底已商业化，微管已不是影响4H-SiC器件性能的主要缺陷，但是BPD、TSD和TED仍然具有较高的密度，其中TED密度最大，平均值通常大于 $1.0 \times 10^4 \text{ cm}^{-2}$ ，TSD和BPD的平均密度较低，平均值为 $10^2\text{-}10^3 \text{ cm}^{-2}$ 。

白光X-射线形貌图像可用于确定位错的类型，如图39所示，但常用KOH腐蚀方法来揭示晶体中的位错类型、分布及平均密度，如图40所示。SiC中位错类型可用蚀坑的形状来区分，蚀坑形状的不同，说明蚀坑起因于不同的位错类型，大六角形蚀坑对应于TSD位错，小六角形或圆形蚀坑对应于TED位错，贝壳状蚀坑则对应于BPD位错。蚀坑的尺寸取决于burgers矢量的大小，burgers矢量不同，意味着缺陷类型不同。在一定的腐蚀时间内，会出现大小不一的六角形蚀坑，大六角蚀坑对应于TSD位错，而小六角蚀坑对应于TED位错。

利用KOH腐蚀方法，在4H-SiC外延层表面观察到的几种位错分布形态如图41~图44所示。

6.1.2 产生原因

4H-SiC籽晶中的C包裹体、温度场应力、原料中各种杂质原子等都会产生位错，甚至微管。

6.1.3 对晶体生长、外延及器件的影响

螺位错在共晶面晶体生长机制中具有重要地位与作用。SiC晶体表面上的螺旋线是PVT条件下SiC晶体生长完全按照螺位错机制生长的最好证明。螺位错晶体生长机制的缺点是表面粗糙。衬底中大部分BPD在外延生长初期转化为TED位错，少数贯穿到外延层的BPD会对双极型器件（如pin二极管、BJT和IGBT）稳定性产生影响。TSD易在外延层表面引发小坑缺陷、胡萝卜缺陷、三角形缺陷及台阶聚集，增大反向漏电流，对器件性能、成品率及可靠性产生影响。TED则通常对器件性能影响较小。

6.1.4 消除方法

提高籽晶的径向温度均匀性，提高原材料纯度，选择高质量4H-SiC籽晶，可有效降低位错密度。

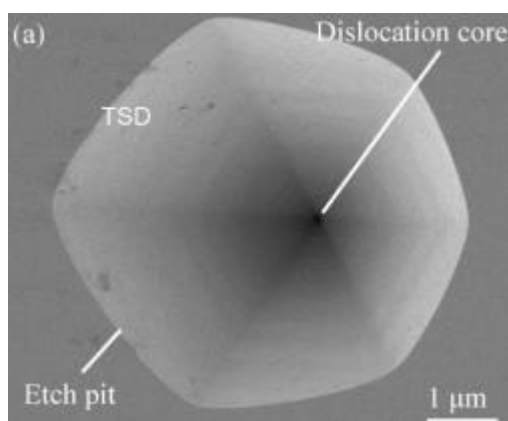


图 33 TSD 位错

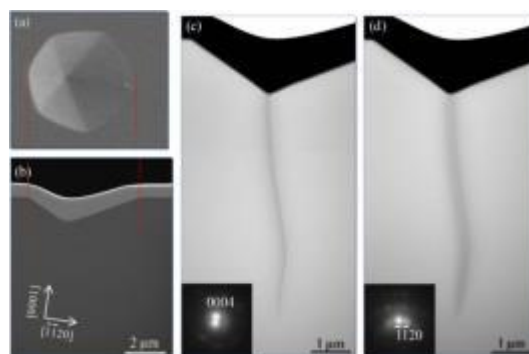


图 34 TSD 位错

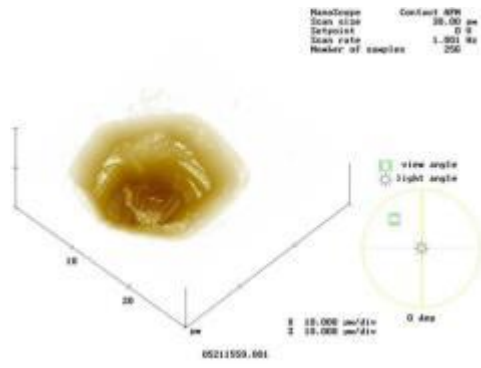


图 35 TED 位错

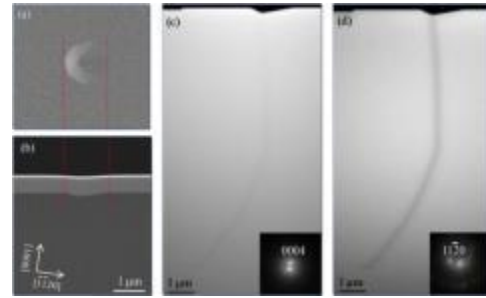


图 36 TED 位错

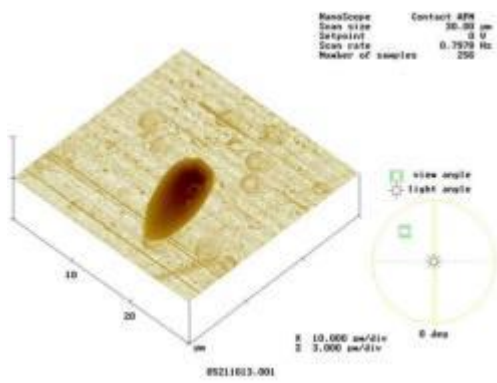


图 37 BPD 位错

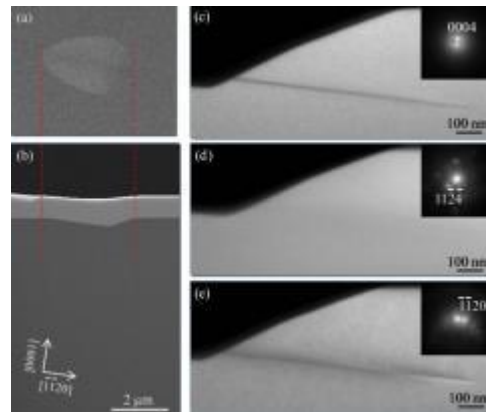


图 38 BPD 位错

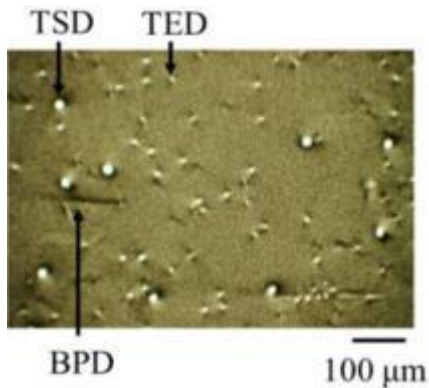


图 39 PVT 法生长的小尺寸 N-Al 共掺杂 n 型 4H-SiC 衬底的同步辐射 X-射线形貌图像 ($g=-1-128$)

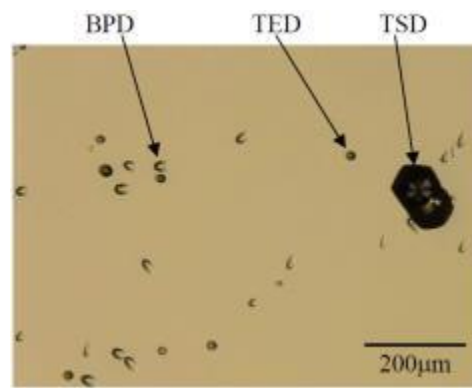


图 40 KOH 腐蚀图像 (500°C, 5 分钟; 4° 偏角 4H-SiC 衬底)

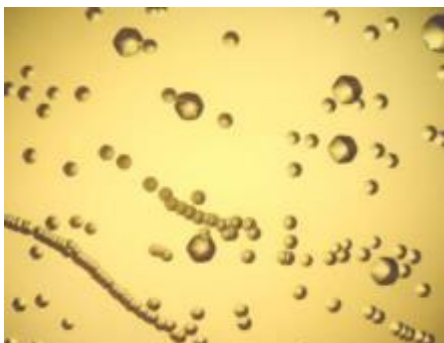


图 41 4H-SiC 外延层位错
(KOH 腐蚀, 630 倍)



图 42 4H-SiC 外延层位错
(KOH 腐蚀, 630 倍)

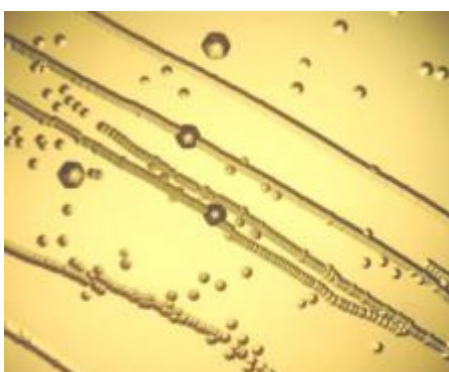


图 43 4H-SiC 外延层小角晶界
(KOH 腐蚀, 100 倍)



图 44 4H-SiC 外延层小角晶界
(KOH 腐蚀, 630 倍)

6.2 层错

6.2.1 特征

层错是一种二维面结晶缺陷,它由于晶体内原子偏离了正常的堆垛秩序所致,即晶体结构层正常的周期性重复堆垛顺序在某二层间出现了错误,从而导致附近原子的错误排布。4H-SiC晶体中的层错面通常为 $\{0001\}$ 晶面。

PVT法生长的4H-SiC晶体中存在各种类型的SF,存在各种Shockley型SF,也存在起因于TSD的Frank型SF,如图45~图48所示。

偏晶向 $\langle 11-20 \rangle$ 方向的C晶面衬底可在PVT法生长4H-SiC晶体中稳定晶型,但堆垛层错密度却较正晶向晶体大,如图49~图51所示。

1-3m Ω cm的超低电阻率4H-SiC衬底是一个发展方向,但由于高N浓度掺杂的4H-SiC衬底结构极不稳定,在高温处理($>1000\text{ }^\circ\text{C}$)中易形成双Shockley型层错(DSSF)并扩展,引起4H-SiC晶体发生从4H晶型到3C晶型的结构变化,如图52~图54所示。

6.2.2 产生的原因

SF的形成起因于通过TSD的结构转变，如Zadanov标记为(433)的层错由5个层错构建而成，即4个连续的Frank型层错和一个Shockley型层错。N重掺杂的n+型4H-SiC衬底中，层错扩展的动力就是量子阱作用机制，即电子进入量子阱降低了系统能量。

6.2.3 对外延及器件的影响

衬底中的层错会贯穿到外延层，有助于增大器件的导通电阻，使SiC器件性能劣化。

6.2.4 消除方法

提高籽晶质量，消除因制备籽晶而遗留在表面上的残余划痕。在高N浓度掺杂的4H-SiC晶体中采用N-Al共掺杂方法。

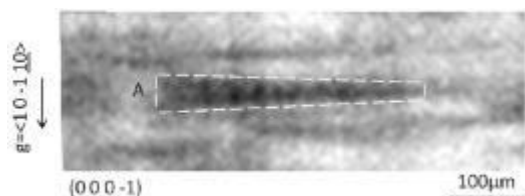


图 45 4H-SiC 晶体 (000-1) 晶面层错的反射 X-射线形貌图像

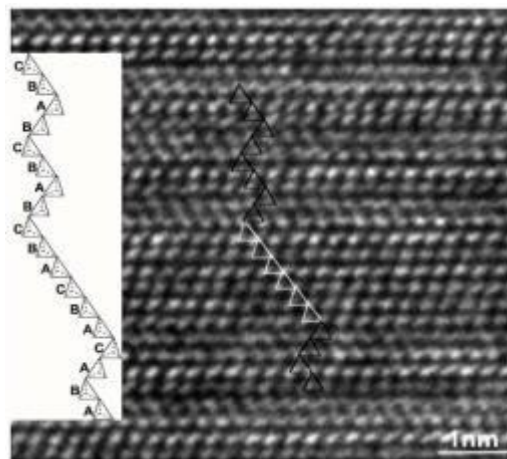


图 46 标记为 (60) 的双 Shockley 型层错的 HRTEM 图像

注：该层错是由两个相邻晶面内的主导型不全位错的滑移所致。

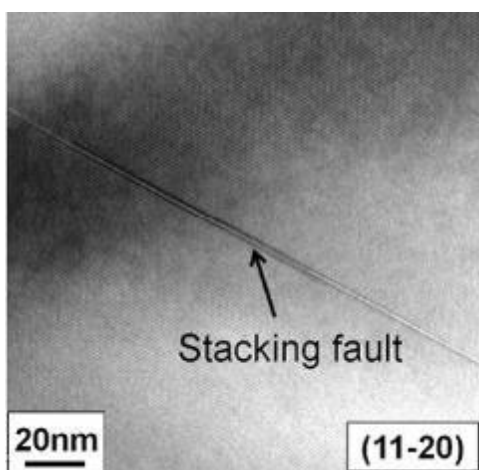


图 47 PVT 法生长的 4H-SiC 晶体 (11-20) 晶面层错 (低分辨 TEM 图像)

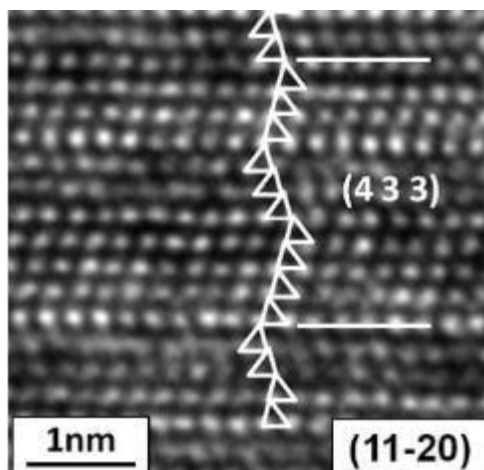


图 48 PVT 法生长的 4H-SiC 晶体 (11-20) 晶面层错 (高分辨 TEM 图像)

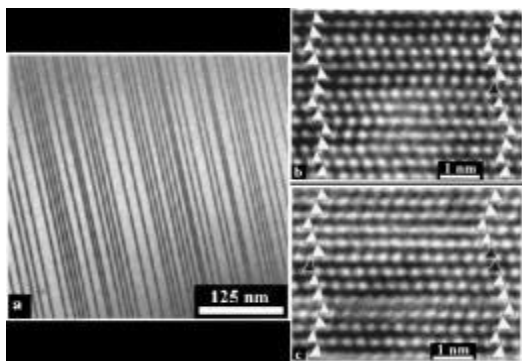


图 49 4H-SiC 退火晶体的低分辨 TEM 图象和
高分辨 TEM 图象（晶体中 N 掺杂浓度为
 $3 \times 10^{19}/\text{cm}^3$ ）

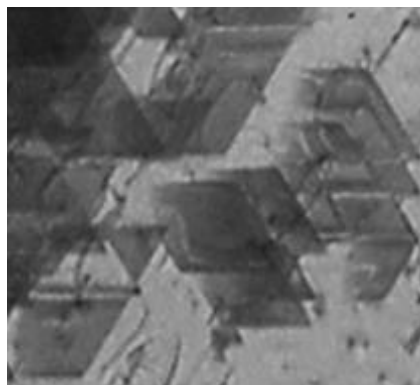


图 50 由 Burgers 矢量 $\langle 1-100 \rangle$ 方向的不全
位错为边界的菱形 Shockley 型层错的透射形
貌图像

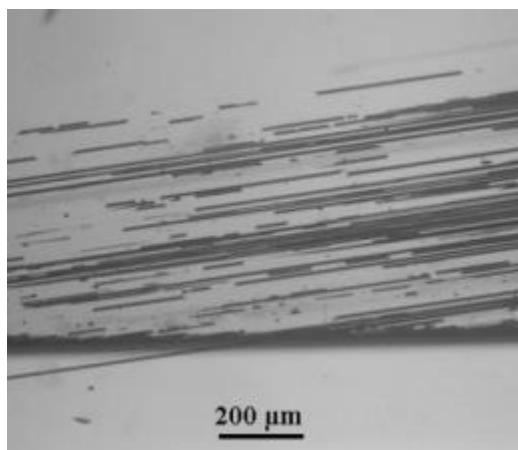


图 51 偏角为 7.7° 的 4H-SiC 晶体的 KOH 腐
蚀图像

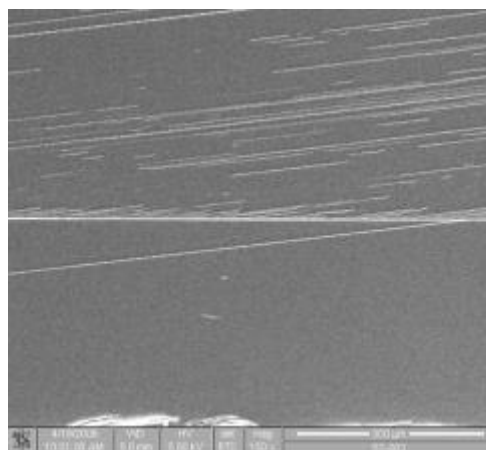


图 52 偏角为 7.7° 的 4H-SiC 晶体的 SEM 图
像（尺度：300 微米）

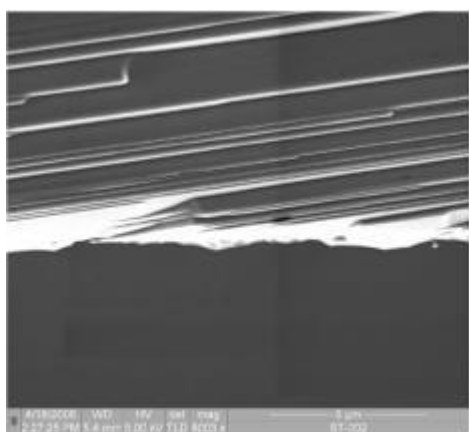


图 53 偏角为 7.7° 的 4H-SiC 晶体的 SEM 图
像（尺度：5 微米）

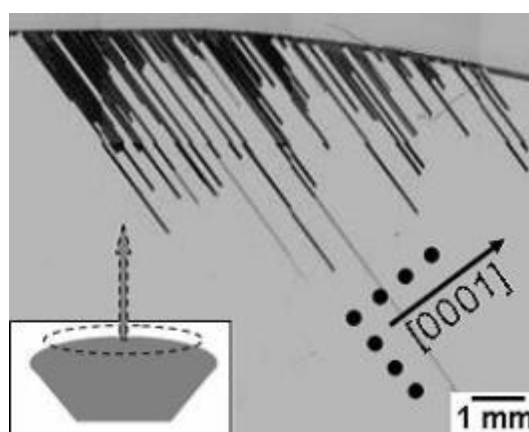


图 54 层错图像

6.3 微管

6.3.1 特征

4H-SiC晶体中的微管缺陷（MP）是一种直径为微米级的物理孔洞，即一种Burgers矢量数倍于TSD位错Burgers矢量 $1c\langle 0001 \rangle$ 的穿透型螺位错，如图55~图58所示。

在SiC晶片的应力双折射图像中，单个微管具有蝴蝶状图案，即微管看起来像有四个明亮翅膀的蝴蝶，如图59~图60所示，无微管区域，其色差无明显差异，但是微管聚集区或高应力区域，对比度则比较明显，这些微管聚集区域通常集中在晶片边缘区域，如图61~图68所示。

微管缺陷是SiC晶体中特有的一种缺陷，在晶体中可以延伸很长距离，甚至贯穿整个晶体。随着4H-SiC晶体生长工艺的持续改进，大尺寸“零微管”密度的4H-SiC衬底已经问世，微管已不是影响4H-SiC器件性能和成品率的主要缺陷。目前4英寸（100mm）4H-SiC衬底的平均微管密度已降低到 1cm^{-2} 以下，最低达到 0.1cm^{-2} 甚至更低。

6.3.2 产生的原因

MP通常起始于籽晶或接近籽晶的位置，其形成的主要原因是应力弛豫所致。微管的形成有三种主要原因，一是Si滴，二是C包裹体（C簇），三是晶型包裹体。如图69~图71所示。另外籽晶背面升华也可诱发微管。

6.3.3 对外延及器件的影响

MP从衬底贯穿到外延层，如图72所示，是4H-SiC功率器件中危害性最大的一种缺陷，微管会导致器件反向偏压失效，直至击穿。

6.3.4 消除方法

消除C包裹体，减小籽晶径向的温度梯度，降低杂质含量，提高源材料的均质性，可有效减少微管缺陷。

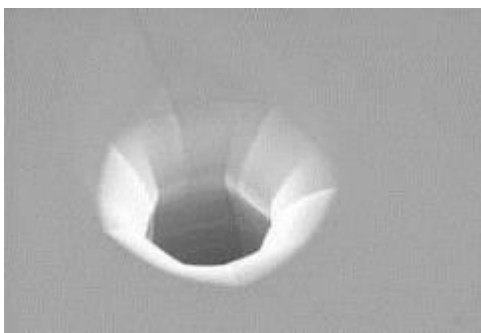


图 55 4H-SiC 衬底中微管缺陷显微图像

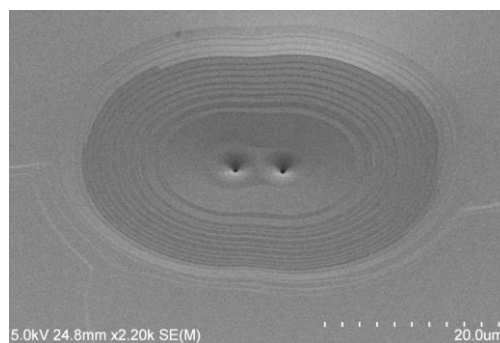


图 56 双微管的 SEM 显微图像



图 57 小尺寸微管的透射偏振光图像



图 58 大尺寸微管的透射偏振光图像

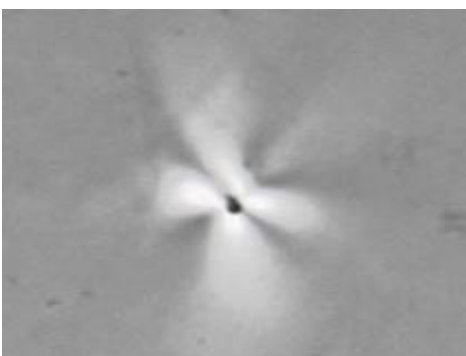


图 59 4H-SiC 衬底的偏振光双折射图像，单个微管呈现蝴蝶状图案

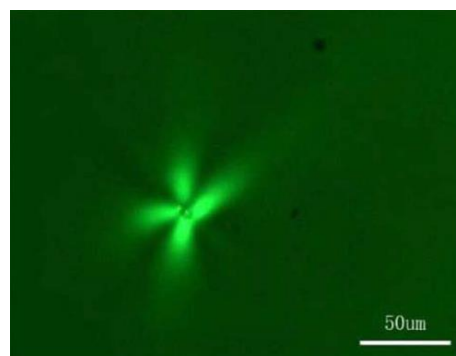


图 60 4H-SiC 衬底中单个微管缺陷的偏振光双折射图像

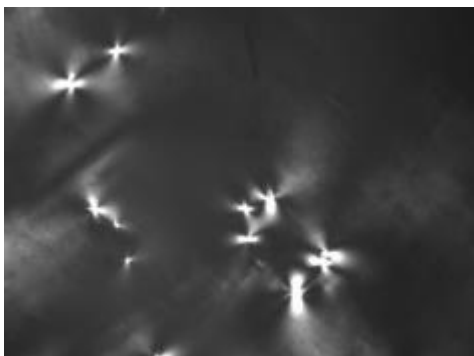


图 61 4H-SiC 衬底高密度微管聚集区的偏振光双折射图像



图 62 4 英寸 4H-SiC (0001) Si 面微管聚集区的偏振光双折射图像

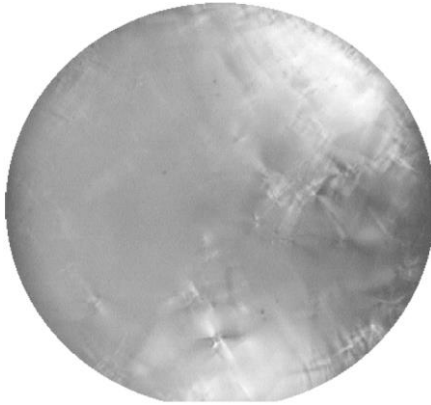


图 63 4 英寸 4H-SiC 衬底中微管与应力透射偏振光双折射图像（低密度微管缺陷）

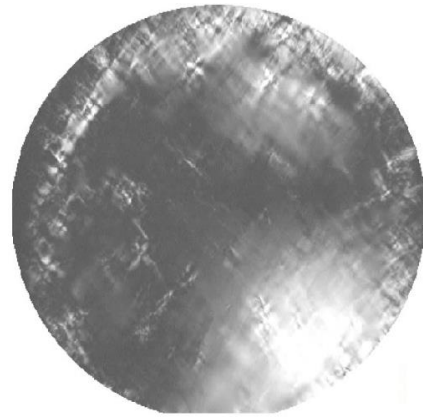


图 64 4 英寸 4H-SiC 衬底中微管与应力透射偏振光双折射图像（高密度微管缺陷）

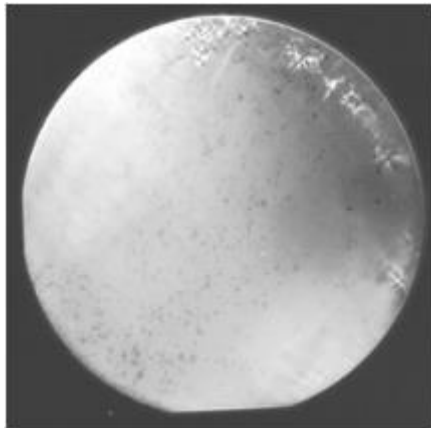


图 65 4 英寸（100mm）偏晶向 4H-SiC 衬底晶片的偏振光双折射图像（微管聚集区靠近晶片边缘）

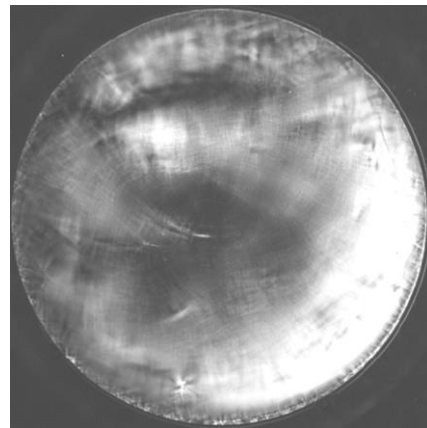


图 66 6 英寸（150mm）偏晶向 4H-SiC 衬底微管及应力双折射图像（微管聚集区靠近晶片边缘）

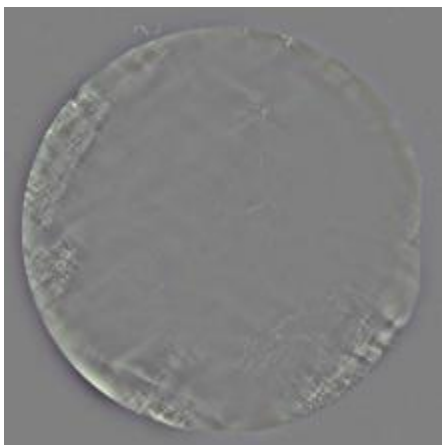


图 67 3 英寸 4H-SiC 衬底微管偏振光透射图像

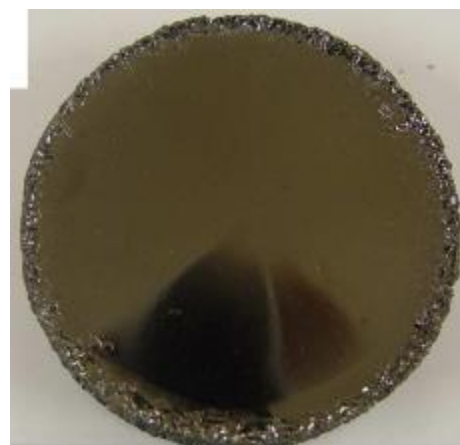


图 68 PVT 方法生长的 SiC 晶体表面光学照片（残余应力集中在晶片边缘）

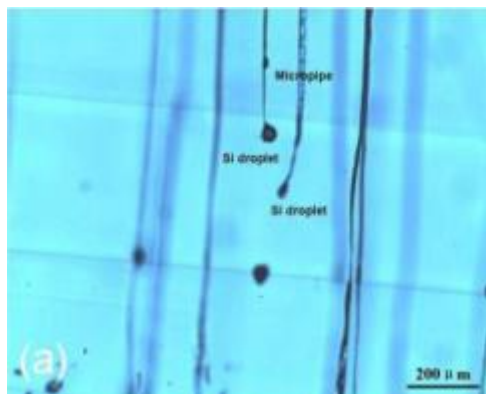


图 69 Si 滴引起的微管缺陷 (0001) 剖面图像

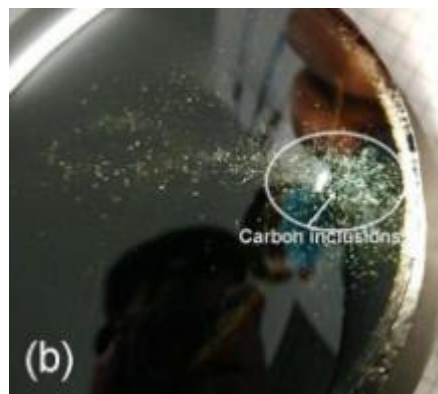


图 70 晶体生长表面 C 包裹体引起的微管缺陷聚集区照片

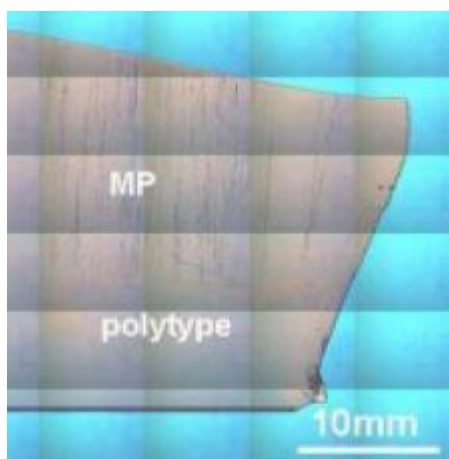


图 71 晶型包裹体引起的微管缺陷 (0001) 剖面图像



图 72 4H-SiC 晶体中微管聚集区贯穿到外延层表面的形貌缺陷图像 (600 倍)

6.4 碳包裹体

4H-SiC晶体中，由C元素组成的固相原子团簇或小颗粒体，其形状和大小各异，如图73~图74所示。C包裹体产生的主要原因是PVT生长过程中源材料不均匀所致。籽晶中的C包裹体易在晶体生长中产生微管缺陷，导致晶体质量下降。衬底中的C包裹体易在4H-SiC外延层表面诱发表面形貌缺陷，如三角形缺陷、巨型小坑缺陷等，如图75~图76所示。消除C包裹体，需要改善籽晶质量，使用超精细源材料，提高原材料的均匀性。



图 73 PVT 法生长的 4H-SiC 晶体中碳包裹体
光学图像



图 74 PVT 法生长的 4H-SiC 晶体中碳包裹体
光学图像

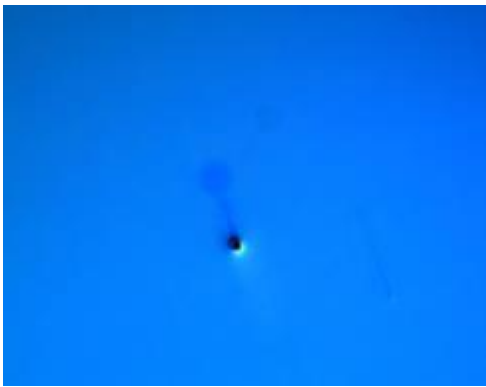


图 75 C 包裹体引起的表面形貌缺陷 (600 倍)



图 76 C 包裹体引起的表面形貌缺陷 (600 倍)

6.5 晶型包裹体

4H-SiC晶体中诸如六角或三角包括体是不同晶型的包括体，如图77~图80所示。4H-SiC晶体中的主要晶型包裹体有3C-SiC、6H-SiC和15R-SiC，如图81~图86所示。晶型包裹体的产生与籽晶性质与工艺参数有关，对晶体生长及外延生长有较大影响，如晶型包裹体易产生微管缺陷，甚至贯穿到整个晶体中；外延生长时，晶型包裹体会在外延层表面诱发形貌缺陷。

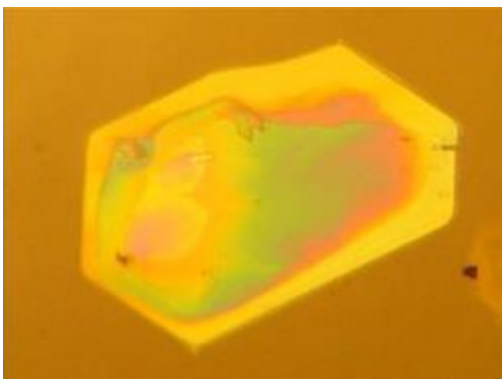


图 77 4H-SiC 晶体中的晶型包裹体

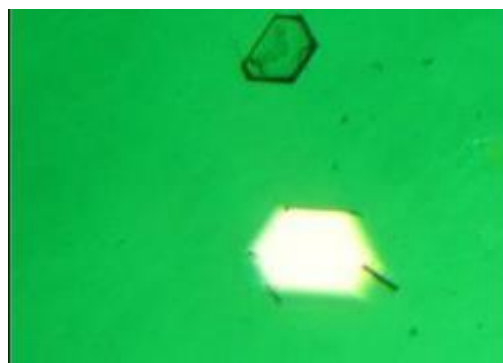


图 78 4H-SiC 晶体中的晶型包裹体



图 79 六角或三角包括体的光学图像

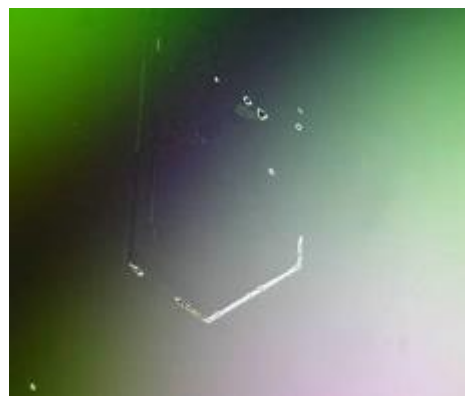


图 80 六角型包括体的光学图像

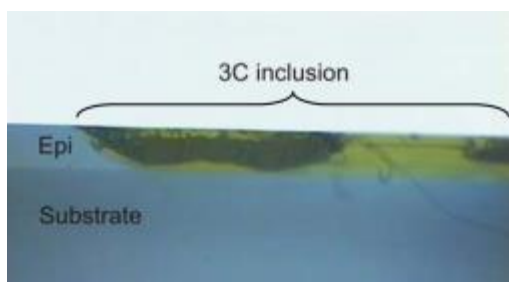


图 81 共晶面 (0001) 衬底上 4H-SiC 外延层的 UVPL 图像 (黑色区域: 3C 包裹体)



图 82 偏振光显微照片, 4° 偏角的 C 晶面 4H-SiC 晶体 (黄色是 15R 包裹体, 黑色是周期性 N 掺杂标记)

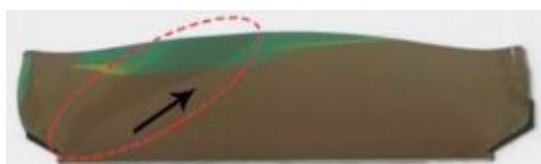


图 83 含有 15R 晶型包裹体的 4H-SiC 晶体



图 84 含有晶型包裹体的 4H-SiC 晶体

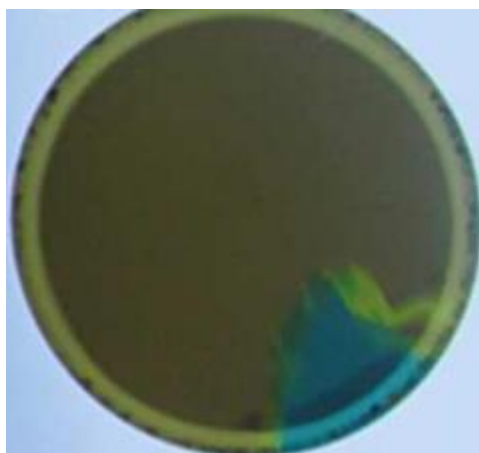


图 85 含晶型包裹体 (不同颜色表示不同 SiC 晶型)

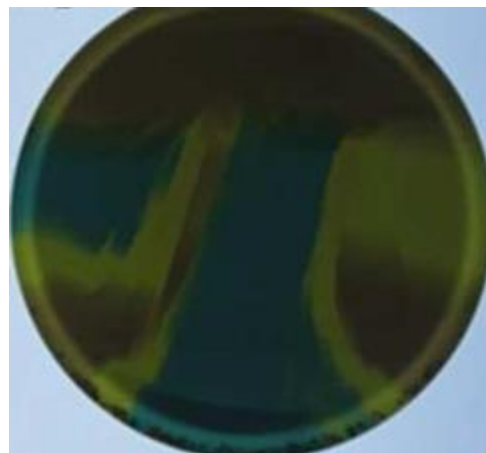


图 86 含晶型包裹体 (不同颜色表示不同 SiC 晶型)

6.6 双 Shockley 型堆垛层错

6.6.1 特征

堆垛序列或Zhdanov标记为(6, 2)的层错缺陷。该层错像是2个周期的3C夹层，其能带结构可以用量子阱模型来描述，如图87~图88所示。

2SSF层错的形成能约 21mJ/m^2 ，略大于1SSF的形成能 18mJ/m^2 。由于2SSF形成能低，极易在以下几种情况下产生：（1）4H-SiC晶体中的N掺杂浓度大于 $2 \times 10^{19}\text{cm}^{-3}$ ；（2） 1000°C 以上高温下退火；（3）晶体表面存在划痕或其它损伤，如图89所示。

对于N掺杂的4H-SiC晶体，DSSF的扩展速率为 $20\mu\text{m/h}$ - $100\mu\text{m/h}$ ，对于N-Al共掺杂的4H-SiC晶体，DSSF的扩展速率为 $20\mu\text{m/h}$ - $40\mu\text{m/h}$ ，DSSF的扩展速率均随NN-NAl浓度的增大而增大，如图90所示。

6.6.2 产生的原因

重掺杂晶体生长、包括外延生长、氧化和退火等在内的高温处理（ $>1000^\circ\text{C}$ ）、表面划痕等都会产生双Shockley型堆垛层错。

6.6.3 对外延的影响

衬底中的层错会扩展到外延层中，如图91~图94所示。

6.6.4 消除方法

采用N-Al共掺杂法、改善籽晶质量及表面状态、改善籽晶的粘结方法和质量。

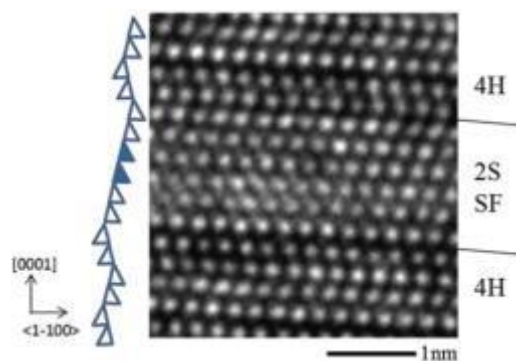


图 87 2SSF 层错结构 HRTEM 图像

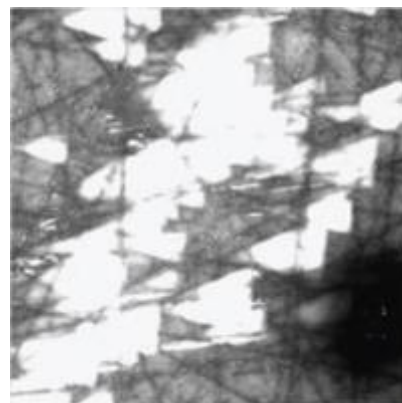


图 88 起因于划痕的 2SSF 及其 PL 发光

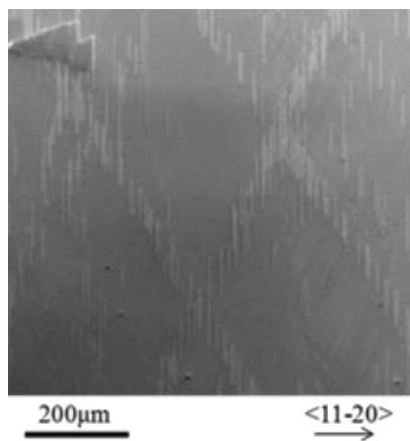


图 89 起因于划痕的 2SSF 的 SIM 图像

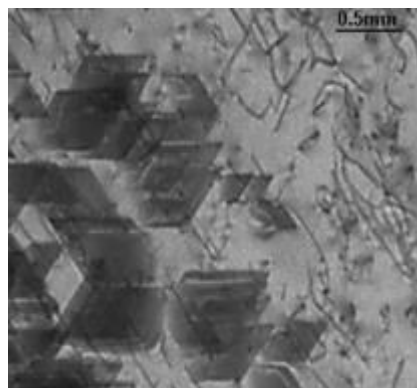


图 90 n^+ 型 4H-SiC 衬底中的菱形层错

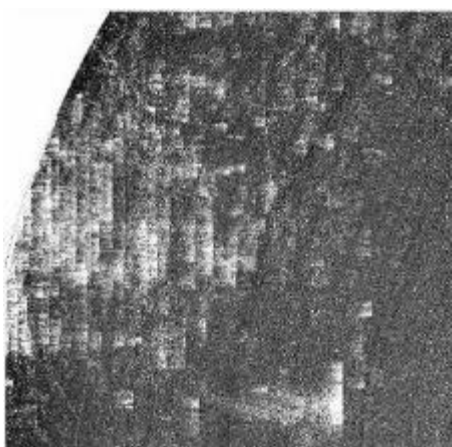


图 91 衬底的 PL 发光图像

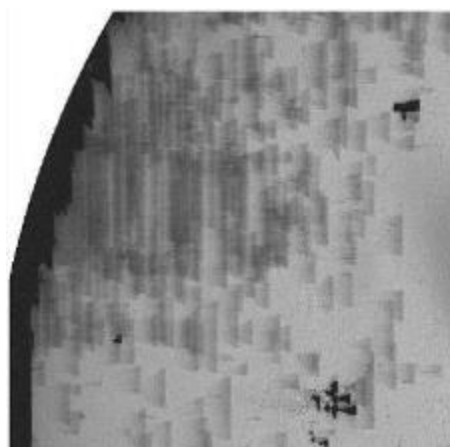


图 92 外延层的 PL 发光图像

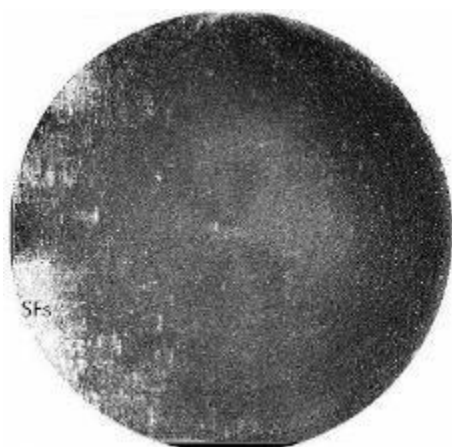


图 93 衬底的 PL 发光图像

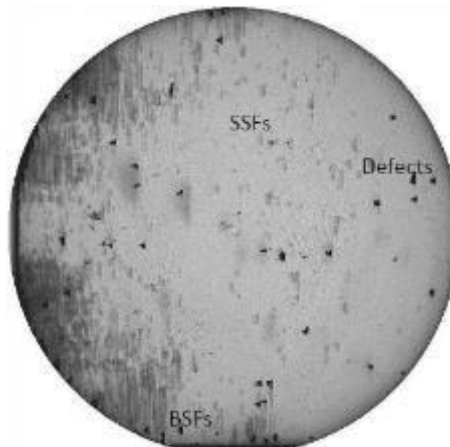


图 94 外延层的 PL 发光图像

6.7 螺位错

4H-SiC晶体中TSD位错很难直接被观察到，但可用熔融KOH ($T > 450^\circ$) 腐蚀方法来表征。如图95~图96所示，也可用X-射线形貌图像来观察，如图97~图98所示。

TSD位错蚀坑呈现六角形。六角形蚀坑是一个倒六面锥体，锥顶即是蚀坑底部。六角形蚀坑尖底并不在六角形蚀坑的中央，而是偏向 $\langle 11-20 \rangle$ 方向。TSD位错的Burgers矢量为 $1c$ 。TSD位错密度通常在 $10^2 \sim 10^3 \text{ cm}^{-2}$ 量级。

籽晶中的TSD位错会贯穿到晶体中，同样4H-SiC衬底中的TSD也会贯穿到外延层中，使得器件的反向漏电流增长；同时TSD还可能会导致外延层形成诸如三角型缺陷和胡萝卜缺陷等对器件性能有危害的形貌缺陷。

晶体中位错密度的降低方法，采用化学腐蚀方法形成的具有台面结构的籽晶，突出区域的位错密度为 $5 \times 10^2 \text{ cm}^{-2}$ ，比台面籽晶上生长的晶体中总位错密度约为 $8 \times 10^3 \text{ cm}^{-2}$ 低一个数量级；利用改良的籽晶粘结方法，如籽晶与石墨坩埚盖之间界面存在孔隙，会使晶体质量劣化，在孔隙区域可能产生缺陷簇。当界面出现平面缺陷时会影响晶体质量。孔隙区域可能产生缺陷簇。利用 H_2 刻蚀籽晶降低位错密度，较传统机械抛光MP方法降低一个数量级；RAF法生长的晶体质量很高，但是工艺不清楚。进一步降低扩展缺陷，特别是晶体中位错，可根本改善器件性能与可靠性。

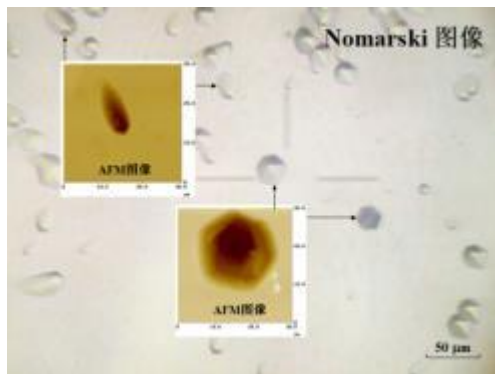


图 95 4H-SiC 衬底的 KOH 腐蚀图像

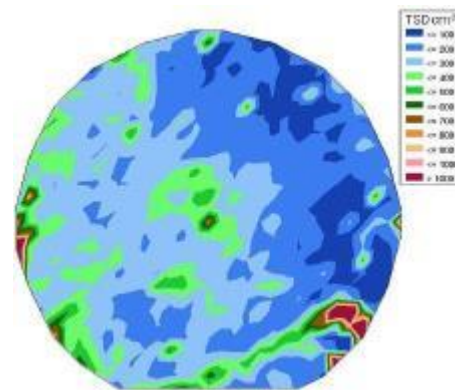


图 96 150mm 4H-SiC 晶片 TSD 密度分布图

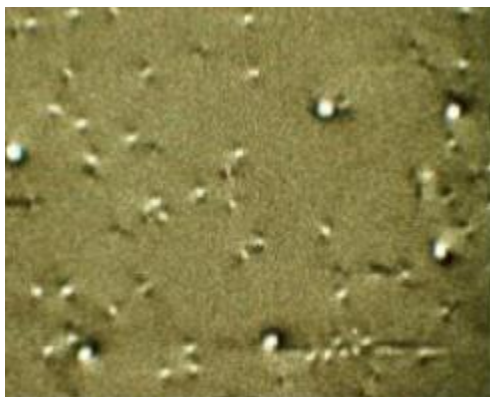


图 97 同步辐射 X 射线形貌图像
($g=-1-128$)N-Al 共掺杂晶体

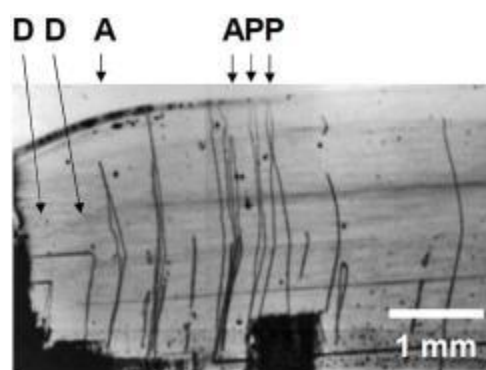


图 98 同步加速器 X 射线形貌图像
($g=0004$)PVT 晶体

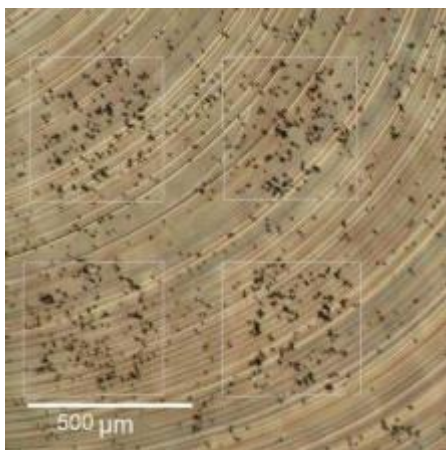


图 99 KOH 腐蚀位错密度分布图（籽晶具有台面结构）

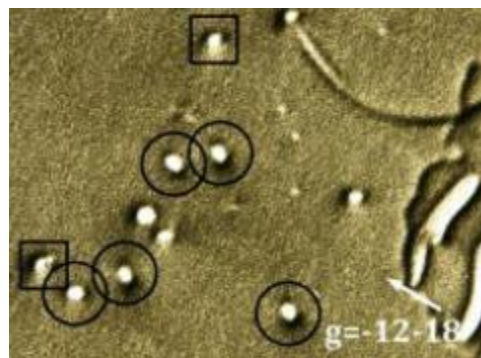


图 100 螺位错 TEM 图像

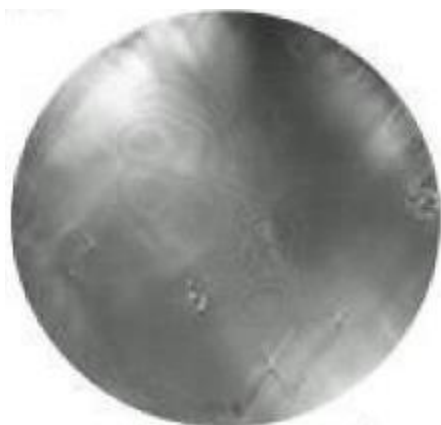


图 101 团簇状缺陷区（传统方法）



图 102 层状缺陷区（传统方法）



图 103 改良粘结方法

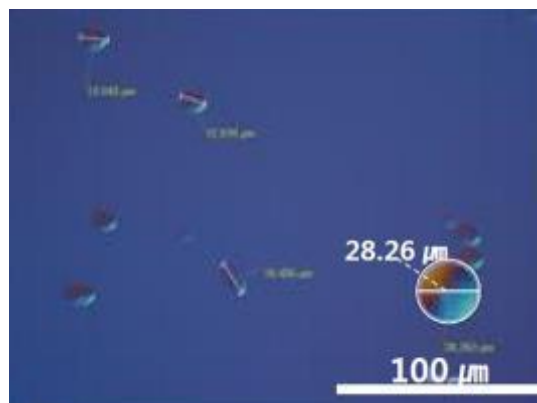


图 104 改良粘结方法

6.8 刃位错

4H-SiC晶体中TED位错很难直接被观察到，但可用熔融KOH ($T > 450^\circ$) 腐蚀方法来表征。

与TSD蚀坑形状一样，TED位错蚀坑也呈现六角形。TED位错的Burgers矢量为 $1/3[11-20]$ ，远小于TSD的Burgers矢量，大约是 $1c$ 矢量的 $1/3$ ，所以TED的六角形蚀坑尺寸也小于TSD位错，如图105~图107所示。

TED位错密度通常在 10^4cm^{-2} 量级，TED位错对双极型功率器件性能影响最小，不会导致 V_F 漂移。4H-SiC外延层中的TED位错主要来自于衬底TED位错在外延生长过程向外延层中的贯穿。

在X-射线形貌图像中，也很容易地将TED与TSD区分开来，如图108所示。

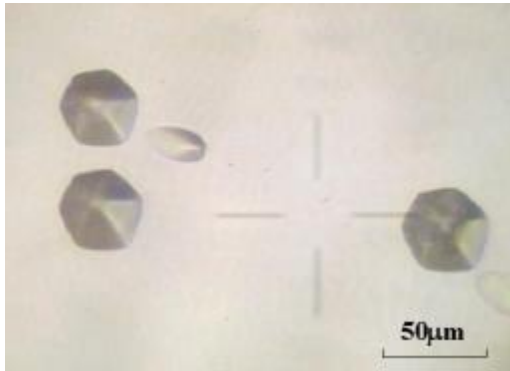


图 105 TED 位错及 BPD 位错

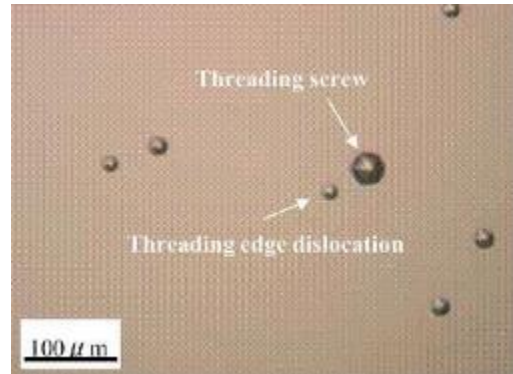


图 106 TED 位错及 BPD 位错

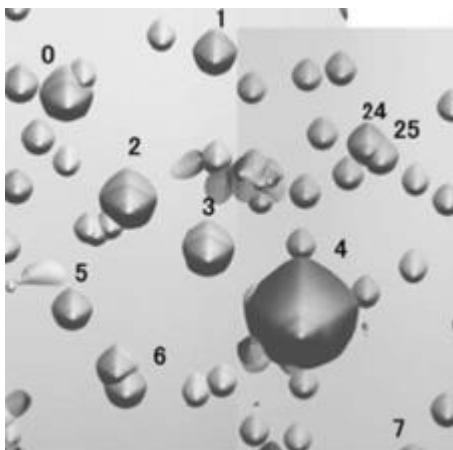


图 107 TED 位错及 BPD 位错

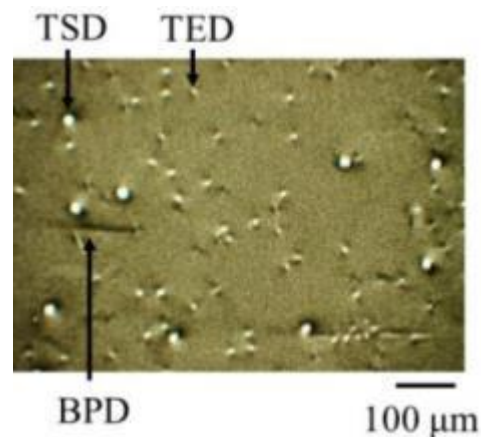


图 108 TED 位错的 X-射线形貌图像

6.9 基晶面位错

6.9.1 特征

BPD是4H-SiC晶体中位于基晶面内的一种常见的一维结晶缺陷。BPD位错的Burgers矢量为 $1/3[11-20]$ ，与TED位错相同，但远小于TSD的Burgers矢量，大约是 $1c$ 矢量的 $1/3$ 。

BPD的KOH蚀坑呈现壳形形状，如图109~图110所示，衬底中的BPD位错密度及其分布可用熔融KOH腐蚀方法来表征，如图111~图112所示。在X-射线形貌图像中，BPD呈现线状图像，如图113~图114所示。

6.9.2 产生原因

产生BPD位错的原因有两个，一个是由于晶体生长中存在热应力，另一个是籽晶中的位错向晶体中的贯穿。另外，生长过程中工艺的不稳定以及外延杂质都会导致BPD位错的产生。

6.9.3 对外延及器件的影响

4H-SiC衬底中大部分BPD位错在外延过程中会转化为TED位错，对于4°偏角衬底，转化效率达99%以上，只有1%左右的BPD会贯穿到外延层中并达到外延层表面。在后续器件制造中，BPD主要影响双极型器件的稳定性，如出现双极型衰退现象。

6.9.4 消除方法

减小工艺中径向温度梯度，改良籽晶与生长室壁之间的接触，尤其降低晶体外围区域的热应力。在晶体生长减少干扰，采用高质量籽晶材料。



图 109 BPD 位错蚀坑

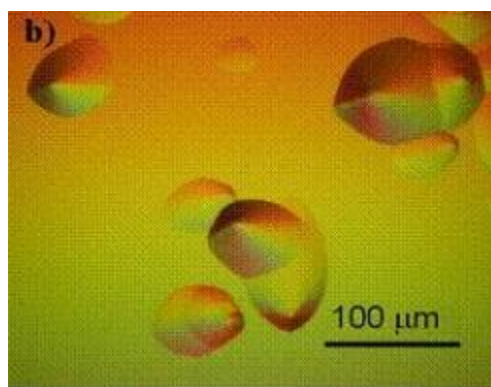


图 110 BPD 位错蚀坑

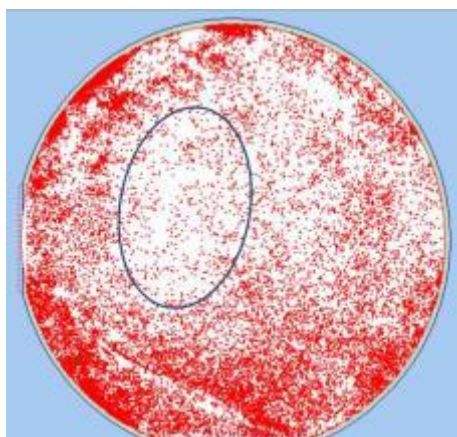


图 111 150mm 4H-SiC 晶片 BPD 腐蚀坑分布图

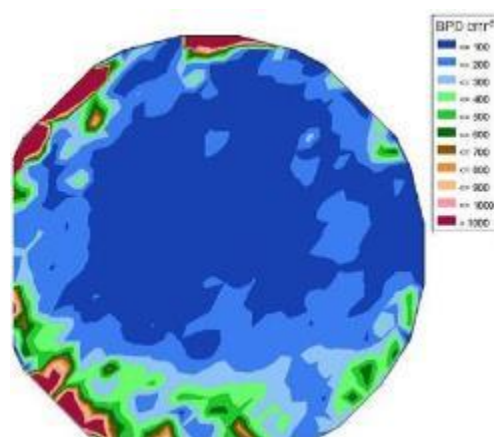


图 112 150mm 4H-SiC 晶片 BPD 密度分布图

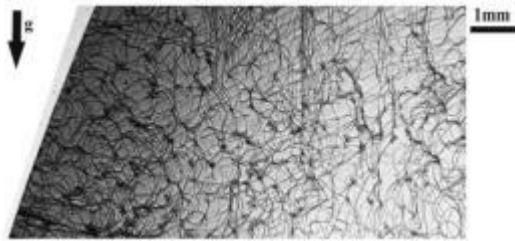
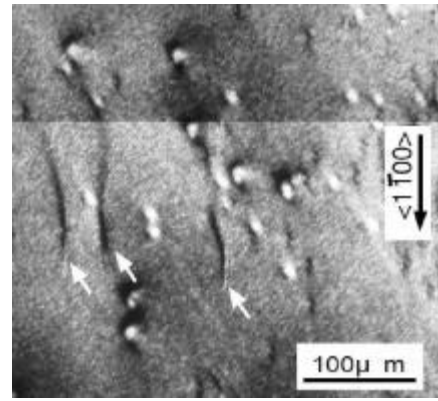


图 113 SWBXT 穿透形貌图像

图 114 X-射线形貌图像（白色箭头指向 BPD，衬底偏角方向为 $[1-100]$ 方向）

6.10 小角晶界

6.10.1 特征

晶粒间界是指固体中不同取向的晶粒间相接触的界面，简称晶界。晶界只有几个原子的厚度，相邻区域晶向差别在几分之一 $^\circ$ 到 1° 范围内。KOH化学腐蚀后呈现出腐蚀坑直线排列的位错组态，如图115~图120所示。

常观察到两种典型的LAGB，一是晶片边缘包裹小的高应变晶粒区域，二是晶片中央沿 $\langle 1-100 \rangle$ 方向由高密度TED和BPD位错构成的星形状LAGB区域，两者的Burgers矢量均为 $1/3\langle 11-20 \rangle$ 。

应力双折射图像中的明亮对比图像显示衬底中由应力、LAGB或MP引起的晶格紊乱。该缺陷一旦形成，难以消除或愈合。

6.10.2 产生原因

LAGB通常起源于籽晶，在晶体生长中会一直传播，甚至会穿透到晶体表面。晶体生长过程中出现强烈干扰或工艺异常，甚至工艺的过渡修正等，都会产生LAGB。

6.10.3 对外延生长的影响

衬底中的LAGB会扩展到外延层中，并穿透到外延层表面。

6.10.4 消除方法

采用高质量籽晶，稳定生长工艺。

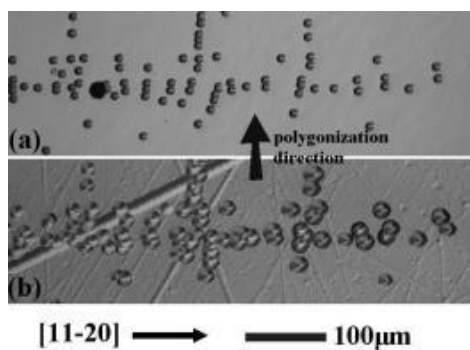


图 115 沿[11-20]方向排列的腐蚀坑图像

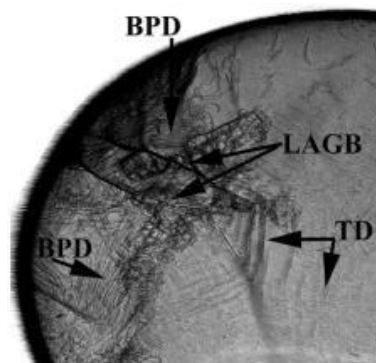


图 116 晶片边缘以 BPD 和 TED 构成的 LAGB 图像

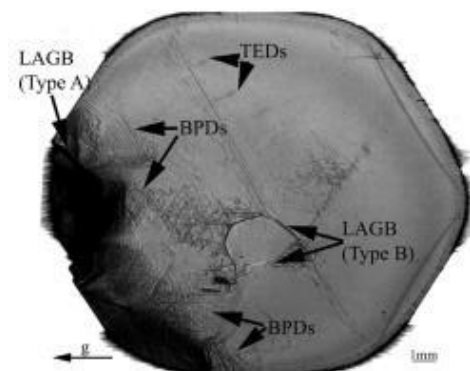


图 117 中央以<1-100>方向组成的星形缺陷 (具有高密度的位错)

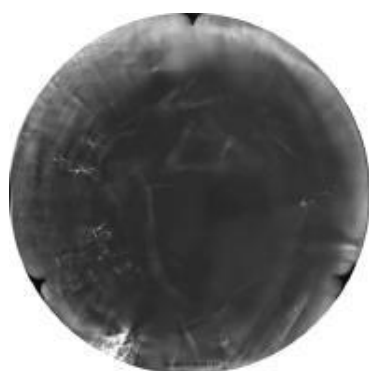


图 118 衬底的应力双折射图像

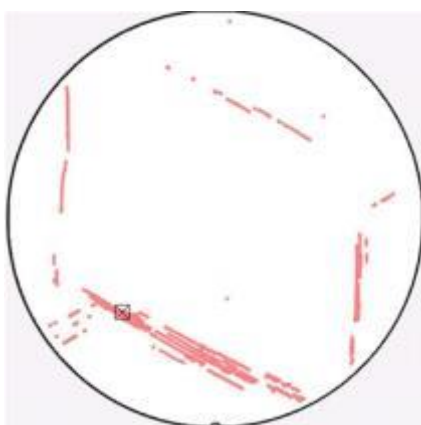


图 1196 英寸 (150mm) 衬底中小角晶界

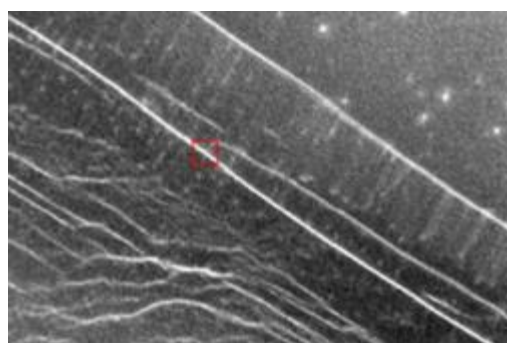


图 1206 英寸 (150mm) 衬底中小角晶界的局部放大图像

6.11 划痕

6.11.1 特征

在4H-SiC衬底表面加工中，遗留在衬底表面上的一种未完全消除的切、磨、抛遗留的随机分布的线状或点状划痕，或由CMP引起的线状划痕，可用AFM观察，如图121~图124所示。

化学机械抛光（CMP）可基本去除由机械抛光（MP）遗留的划痕缺陷，表面光滑，如图125~图126所示。但是，包括CMP在内的抛光工艺都有可能在4H-SiC衬底表面引入损伤层。

一般情况下，划痕宽度很窄，仅有100nm左右，很难用光学方法来表征。但是由划痕引起的晶格损伤区却很宽，可达到800nm左右，这些损伤主要是形成了BPD位错环，具有很强的移动性，如图127~图132所示。

6.11.2 产生原因

SiC表面机械抛光（MP）主要是通过亚微观尺度的脆性微创方式进行的，由于使用金刚石粉抛光浆料，衬底表面上有大量随机分布的划痕。

6.11.3 对外延及器件的影响

衬底表面划痕在蚀刻和生长过程中会阻止平滑台阶流动表面的形成，并对外延生长影响，一是形成与划痕的方向有关的带状表面粗糙区或台阶聚集区，并在划痕附近产生高密度的TED位错缺陷；二是在较深的划痕处形成诸如三角形、胡萝卜及巨观小坑等表面形貌缺陷，如图133~图144所示。

6.11.4 消除方法

CMP抛光、H₂刻蚀或Si气相刻蚀可有效消除衬底表面的划痕，但外延后时常会观察到个别遗留划痕及其产生的表面形貌特征。

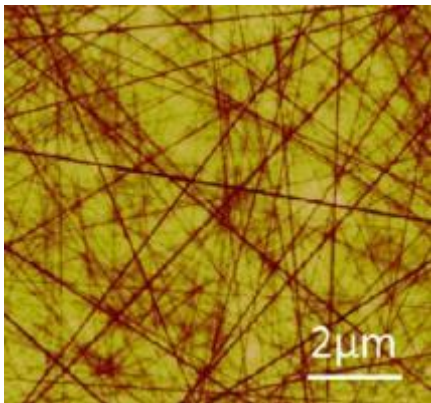


图 121 划痕（150 mm 4H-SiC）

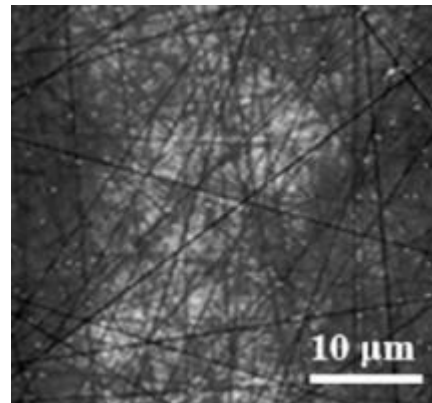


图 122 划痕（100 mm 4H-SiC）



图 123 AFM 图像



图 124 AFM 图像

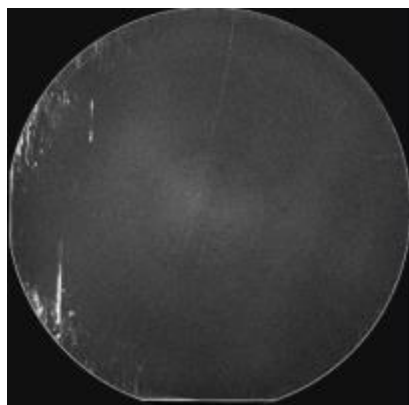


图 125 4 英寸 4H-SiC 晶体中划痕的 ScN 图像

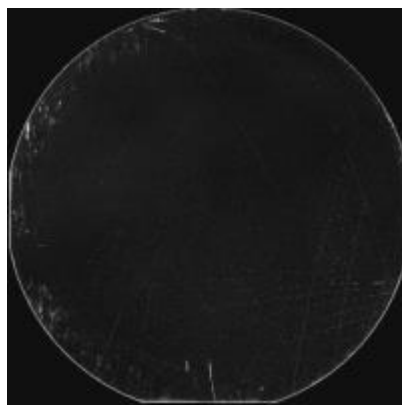


图 126 4 英寸 4H-SiC 晶体中划痕的 ScN 图像

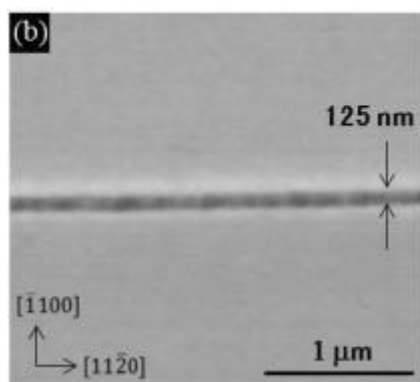


图 127 衬底表面划痕的 SEM 图像

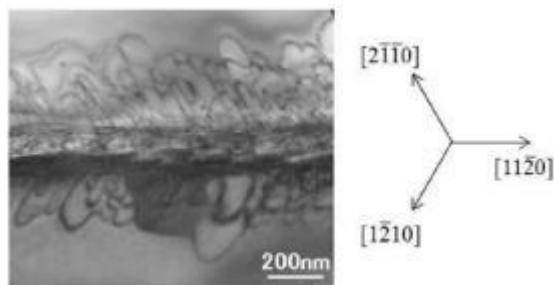


图 128 衬底表面划痕的 TEM 透射图像

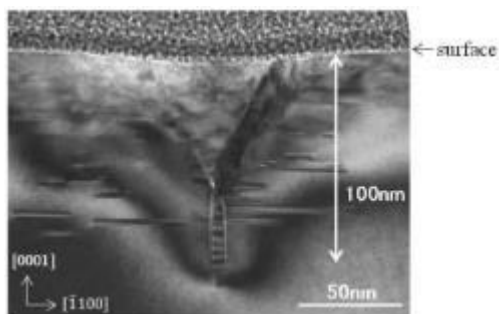


图 129 衬底表面划痕的截面 SEM 图像

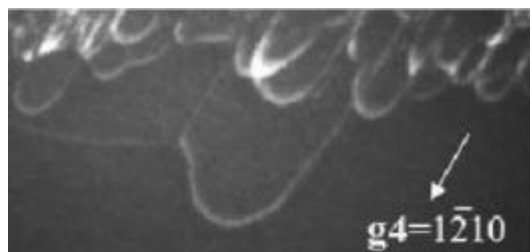


图 130 衬底表面划痕附近 BPD 位错

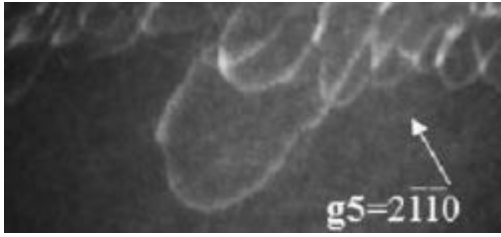


图 131 衬底表面划痕附近 BPD 位错

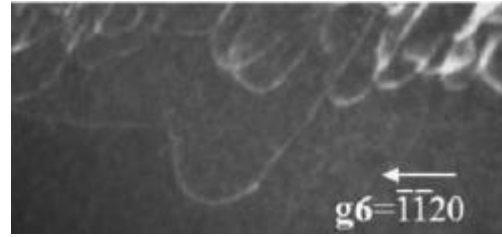


图 132 衬底表面划痕附近 BPD 位错

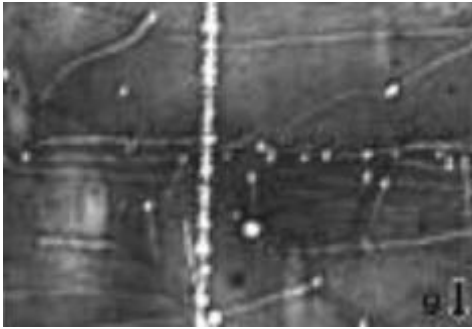


图 133 衬底表面划痕 X-射线形貌

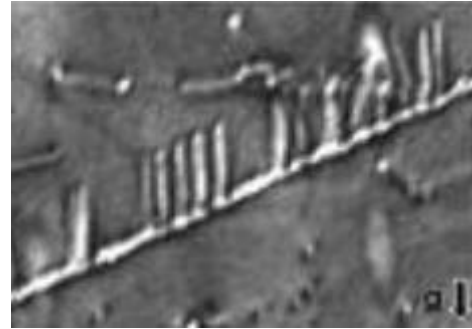


图 134 衬底表面划痕 X-射线形貌



图 135 衬底表面划痕 X-射线形貌

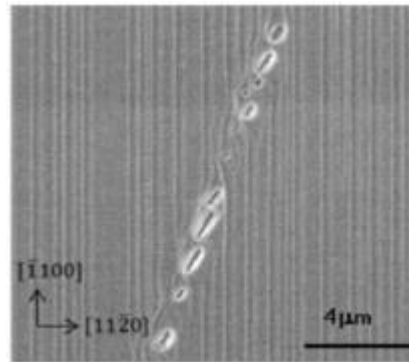


图 136 H₂刻蚀后的衬底表面划痕

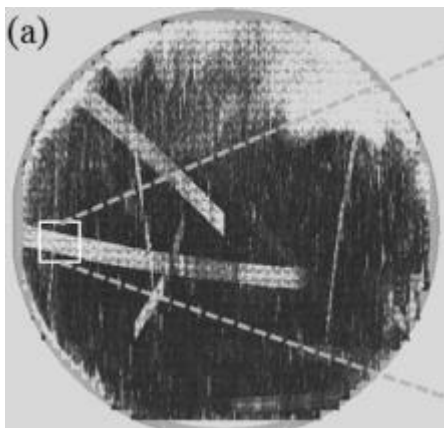


图 137 划痕引起的外延层表面形貌

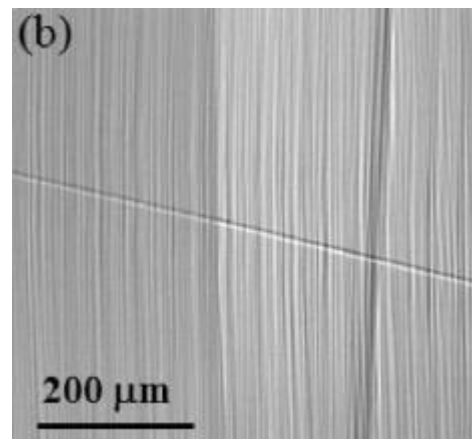


图 138 划痕引起的外延层表面粗糙区域或巨观台阶聚集区域

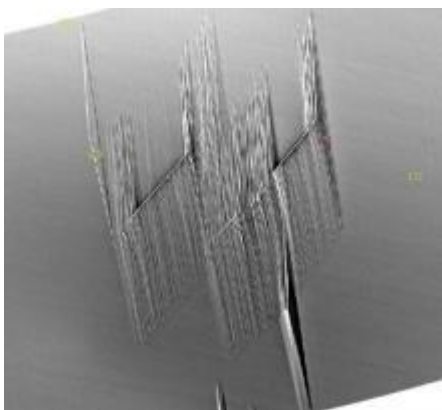


图 139 划痕引起的外延层表面粗糙区域或巨观台阶聚集区域

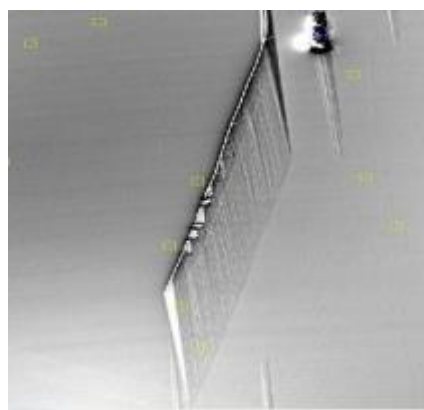


图 140 划痕引起的外延层表面粗糙区域或巨观台阶聚集区域

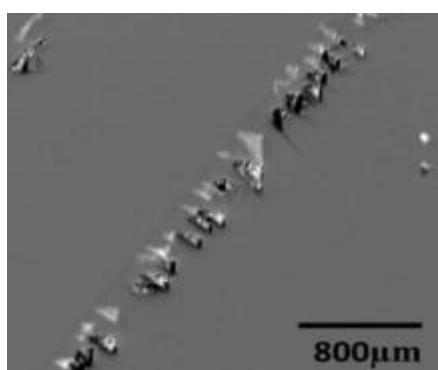


图 141 划痕引起的三角形缺陷



图 142 划痕引起的三角形缺陷

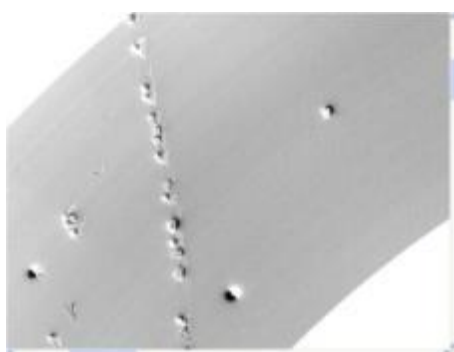


图 143 划痕引起的宏观小坑缺陷

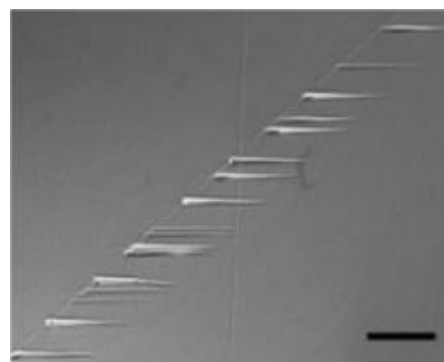


图 144 划痕引起的胡萝卜缺陷

6.12 CMP 隐含划痕

6.12.1 特征

在SiC晶片表面加工过程中，由CMP诱发的残余线状划痕，或未完全消除的切、磨、抛划痕，该类划痕具有亚微米尺度，不易用光学或微分干涉显微技术观测，经过一定工艺后显现，如高温H₂刻蚀，如图145~图146所示。

6.12.2 对外延及器件的影响

在外延生长过程中，易引起外延层结晶缺陷。

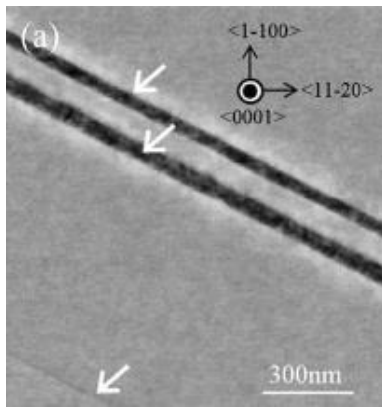


图 145 CMP 表面隐含划痕

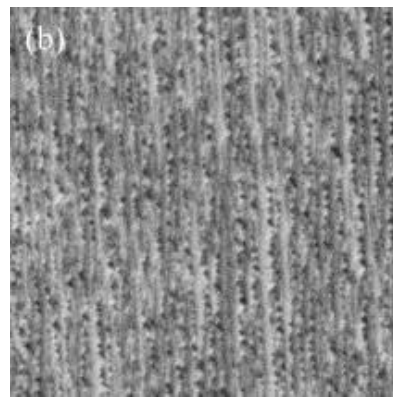


图 146 无划痕表面

6.13 亚表面损伤

在衬底表面亚微米深度区域内，因晶片加工而导致的非本征结晶缺陷，如BPD位错及其团簇等，如图147~图150所示。包括常规化学机械抛光（CMP）在内的各种机械加工工艺，都有可能在SiC衬底表面和亚表面引入损伤层。亚损伤层会在4H-SiC外延层表面产生各种形貌的台阶聚集线区、表面无形貌特征的原生型层错等缺陷。

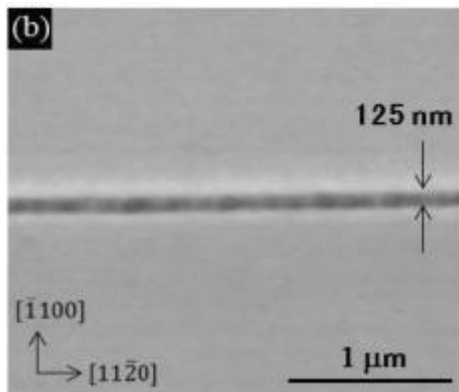


图 147 划痕 TEM 图像

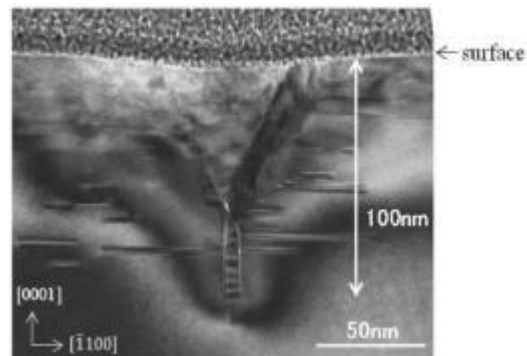


图 148 亚表面损伤层

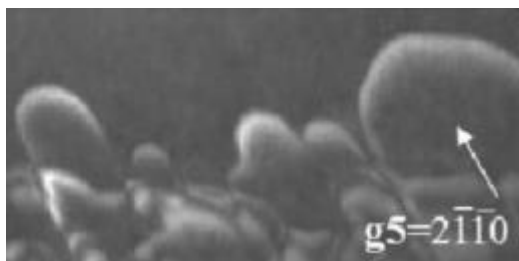


图 149 衬底表面划痕附近 BPD 位错

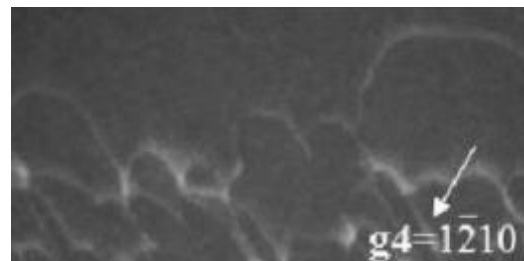


图 150 衬底表面划痕附近 BPD 位错

7 4H-SiC 外延缺陷

7.1 表面形貌缺陷

外延生长结束后，因偏晶向4H-SiC衬底表面存在外来颗粒物、衬底结晶缺陷、衬底表面抛光划痕或亚损伤层，在台阶流动控制生长机理下而在4H-SiC外延层表面形成的规则或不规则形状的表面不完整性形貌特征，借助强光束或显微镜可直接用肉眼观察，如图151~图152所示。

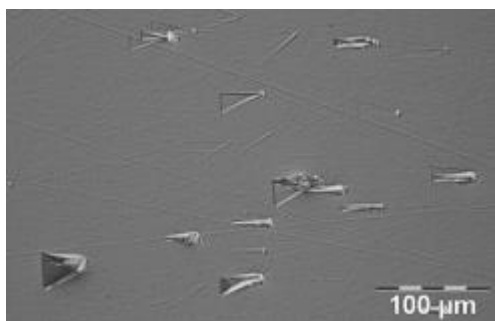


图 151 4H-SiC 外延层表面上的高密度形貌缺陷区的光学显微图像

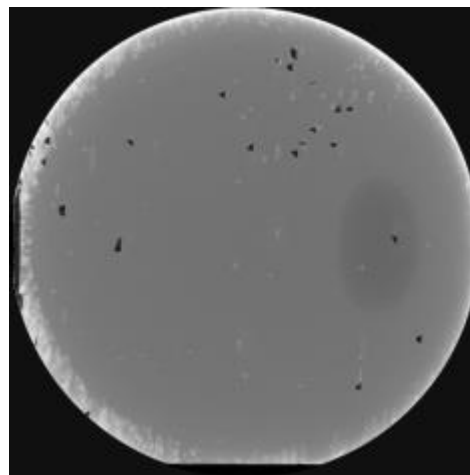


图 152 4 英寸 4H-SiC 外延晶片表面上的形貌缺陷分布图像（VIS-PL 图像，黑色点为三角形缺陷）

7.2 掉落颗粒物

7.2.1 特征

掉落颗粒物是外延生长前或生长过程中掉落在衬底表面上的黑色无定形碳、SiC或其它尘埃颗粒，在外延生长结束之后局部或全部地陷于4H-SiC外延层中，形成大小不一、形状各异的外延形貌缺陷，如图153~图156所示。

掉落颗粒物缺陷有两种典型形貌，一是大型点状形貌，二是以颗粒物为头的三角形形貌，如图4所示，掉落颗粒物缺陷可借助强光束或显微镜用肉眼直接观察。

7.2.2 产生的原因

4H-SiC外延生长前或生长过程中，从反应生长室内壁上掉落在衬底或外延层表面上的黑色不定形碳、SiC小颗粒物或其它尘埃颗粒物。

7.2.3 对器件的影响

掉落颗粒物缺陷对4H-SiC功率器件性能及成品率影响较大，可能会导致器件失效，因此掉落颗粒物缺陷是4H-SiC功率器件的致命性缺陷。

7.2.4 消除方法

定期清理反应室部件，避免使用易脱落颗粒物部件。

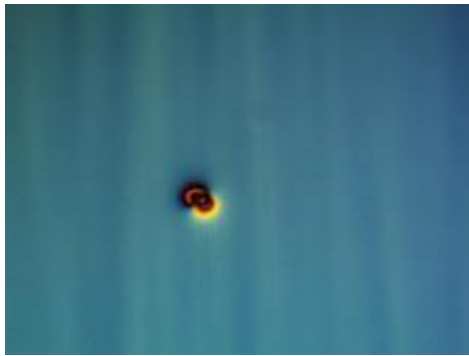


图 153 深陷于 4H-SiC 外延层内的掉落颗粒物显微镜图象 (100 倍)

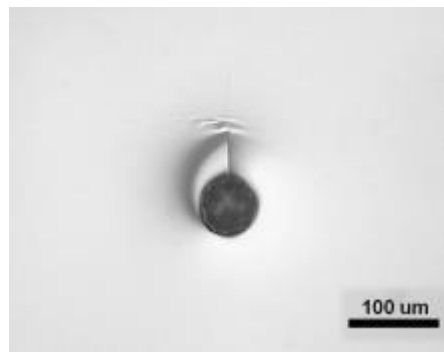


图 154 深陷于 4H-SiC 外延层内的掉落颗粒物显微镜图象



图 155 附着在 4H-SiC 外延层表面上的掉落颗粒物显微镜图象 (100 倍)



图 156 在 4H-SiC 外延层表面形成的以颗粒物为头三角形貌缺陷图像

7.3 三角形缺陷

7.3.1 特征

外延生长过程中，由外来颗粒物、表面划痕或诸如TSD等晶体结晶缺陷影响原子台阶流动而在4H-SiC外延层表面上所形成的具有三角形形状或图案的外延形貌缺陷，借助强光束或光学显微镜可以用肉眼直接观察，如图157~图164所示。

三角形缺陷由变形的4H-SiC晶型边界和含有3C晶型夹层的三角形区域构成，在{0001}晶面上形成3C-SiC区域，即在三角形区域是3C-SiC和4H-SiC混合晶型区。

三角形缺陷起始于外延层/衬底界面处，在基晶面内延伸到外延层表面，沿台阶流动方向三角形缺陷的高度满足 $L=d/\sin(4^\circ)$ ，其中d为4H-SiC外延层厚度。由于3C-SiC与4H-SiC晶格常数有差异，在三角形缺陷周围通常存在应力场。

7.3.2 产生原因

外来颗粒物、衬底中的TSD位错、表面划痕等都会产生三角形缺陷。

7.3.3 对器件的影响

三角形缺陷是功率器件的一种致命性缺陷，是限制SiC功率器件性能与成品率的主要缺陷。在极低反向偏压下，三角形缺陷会引起较大反向漏电流；正向低压偏置条件下，电流出现新的导电通道，也导致电流快速增大。

7.3.4 消除方法

改善衬底表面质量，采用高质量衬底晶片，可有效消除外延层表面三角形形貌缺陷。



图 157 三角形缺陷的光学形貌图像

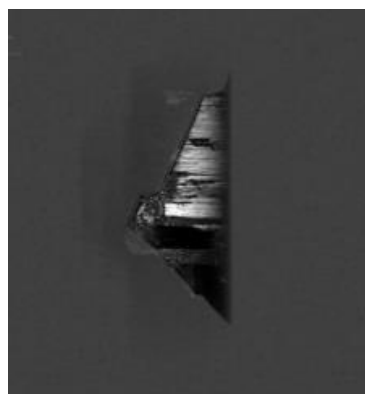


图 158 三角形缺陷的 UVPL 图像

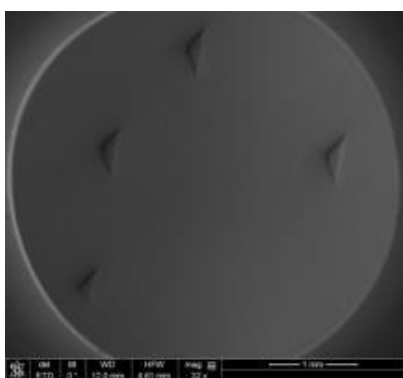


图 159 三角形缺陷光学图像（尺度 1mm）

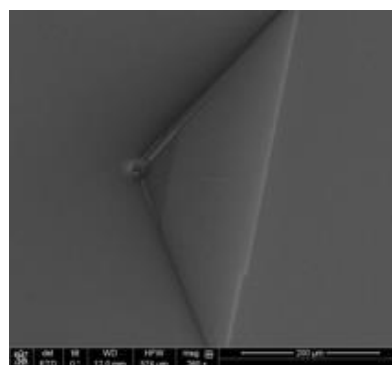


图 160 三角形缺陷光学图像（尺度 200µm）

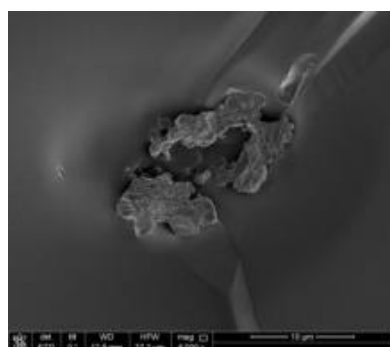


图 161 三角形缺陷头部放大图像（尺度 10µm）



图 162 位错引起的三角形缺陷光学图象

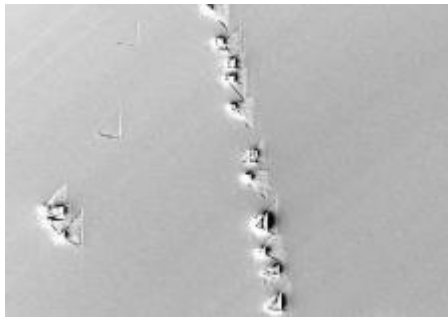


图 163 划痕引起的三角形缺陷

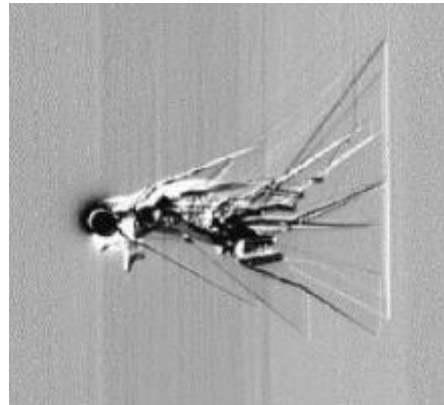


图 164 掉落颗粒物引起的三角形缺陷

7.4 彗星缺陷

4H-SiC外延层表面出现的外形为彗星状的形貌缺陷，通常它有独立的“脑袋”和“尾巴”。外延晶片上的彗星缺陷平行排列，与主参考边[11-20]方向平行，长度相近，基本满足 $L=d/\sin 4^\circ$ 关系，其中d为4H-SiC外延层厚度。可起始于掉落颗粒物、位错、或微管，彗星头部和尾部由多晶3C-SiC颗粒构成，表面具有较大的粗糙度，对功率器件性能有较大影响，即功率器件的一种致命性缺陷，如图165~166所示。

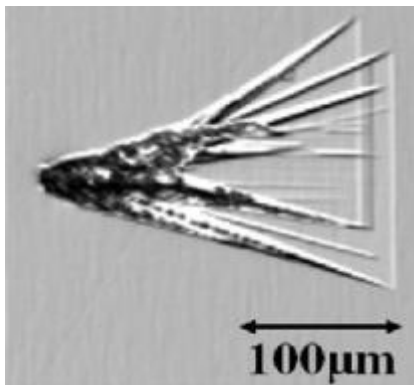


图 165 彗星缺陷的光学图像



图 166 彗星缺陷的光学图像

7.5 胡萝卜缺陷

7.5.1 特征

位于4H-SiC外延层表面上的一种胡萝卜状外延缺陷或形貌缺陷，如图167~图169所示。外延晶片上的胡萝卜缺陷平行排列，如图169所示，随着外延层厚度的增大，胡萝卜缺陷沿[11-20]方向延伸，且与主平边[11-20]方向平行。胡萝卜缺陷起始于外延层/衬底界面处，长度基本相同，满足关系式 $L=d/\sin(\theta)$ ，其中d为4H-SiC外延层厚度， θ 为衬底表面的偏转角度($\theta=4^\circ$)。

胡萝卜缺陷由三个缺陷组成，即基晶面层错、棱柱面层错和两者交界处的阶梯杆状位错，基晶面层错是插入一个双原子层的Frank型层错，层错的一个边界为Frank型不全位错，如图

170所示，层错堆垛序列为(2232)，而棱柱面层错与3C-SiC包裹体相同，与外延层表面相交形成胡萝卜形形貌。

7.5.2 产生原因

胡萝卜缺陷通常起因于衬底中的TSD位错，衬底表面上的划痕也会产生胡萝卜缺陷，参见划痕缺陷。

7.5.3 对器件的影响

胡萝卜缺陷对PN结二极管和Schottky二极管的反向特性有负面影响，具体表现为增大二极管的反向漏电流。

7.5.4 消除方法

优化缓冲层生长工艺，降低外延生长速率。

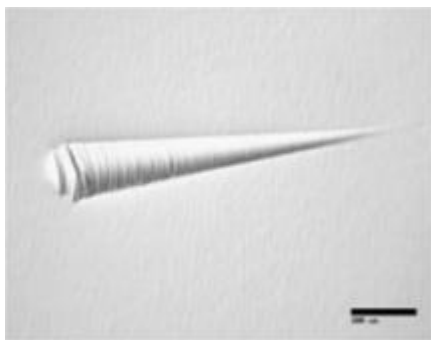


图 167 胡萝卜缺陷



图 168 脊背清晰的胡萝卜缺陷



图 169 胡萝卜缺陷的显微图像

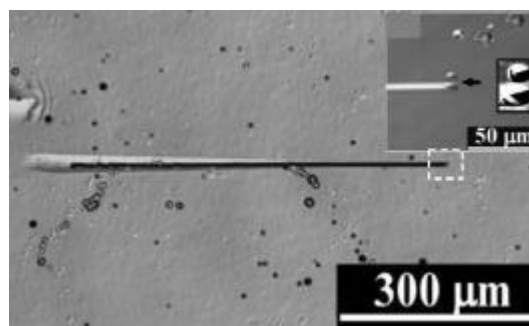


图 170 胡萝卜缺陷的 KOH 腐蚀图像

7.6 直线型缺陷

4H-SiC外延层表面出现的外形为直线形的形貌缺陷，有多种形状，如图171~图176所示。随着外延层厚度的增大，直线型缺陷沿[11-20]方向延伸，不一定与参考边[11-20]方向平行。直线型缺陷起始于外延层/衬底界面处，[11-20]方向的投影长度基本相同，满足关系式 $L=d/\sin(\theta)$ ，其中d为4H-SiC外延层厚度， θ 为衬底表面的偏转角度($\theta=4^\circ$)。

直线型缺陷通常起因于衬底中的TSD位错，衬底表面上的划痕也会产生直线型缺陷，如图176所示。在UVPL图像中，伴随直线型缺陷的是一个三角形层错缺陷，如图177~图178所示。优化缓冲层生长工艺，降低外延生长速率，可降低直线型缺陷的数量。

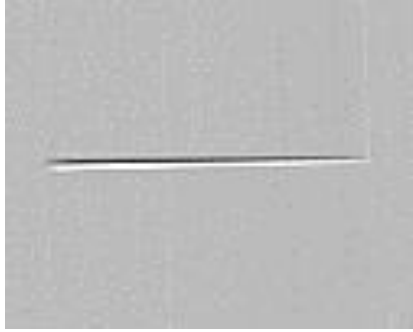


图 171 水平直线型缺陷

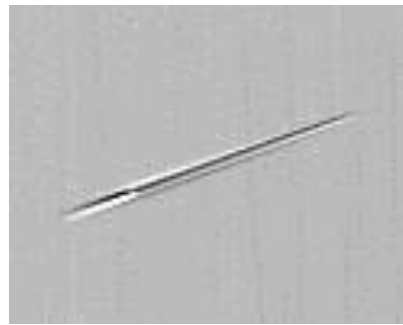


图 172 向上倾斜的直线型缺陷

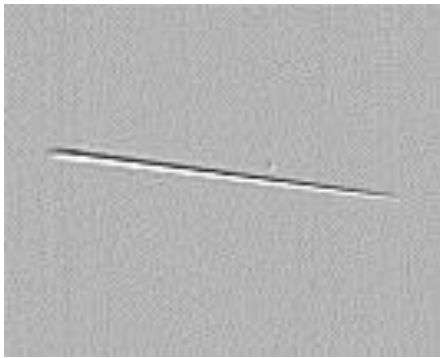


图 173 向下倾斜的直线型缺陷

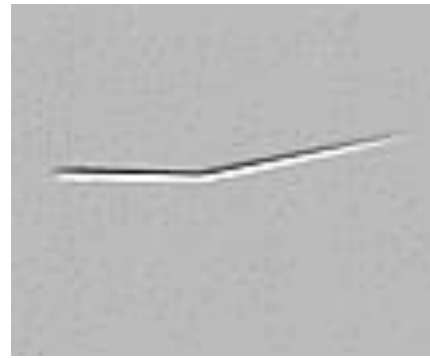


图 174 向上弯曲的直线型缺陷



图 175 向下弯曲的直线型缺陷



图 176 隐含划痕引起的直线型缺陷

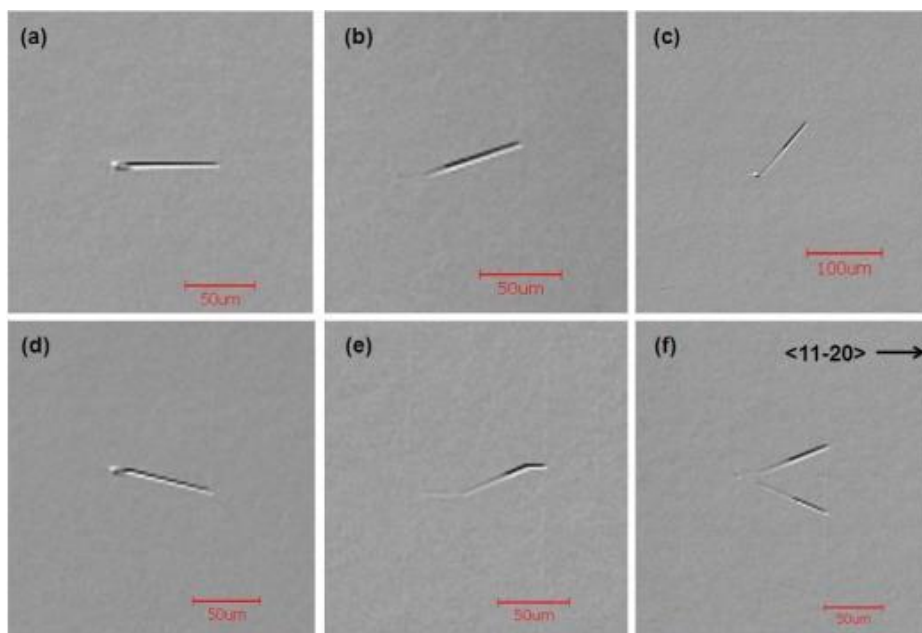


图 177 直线型缺陷

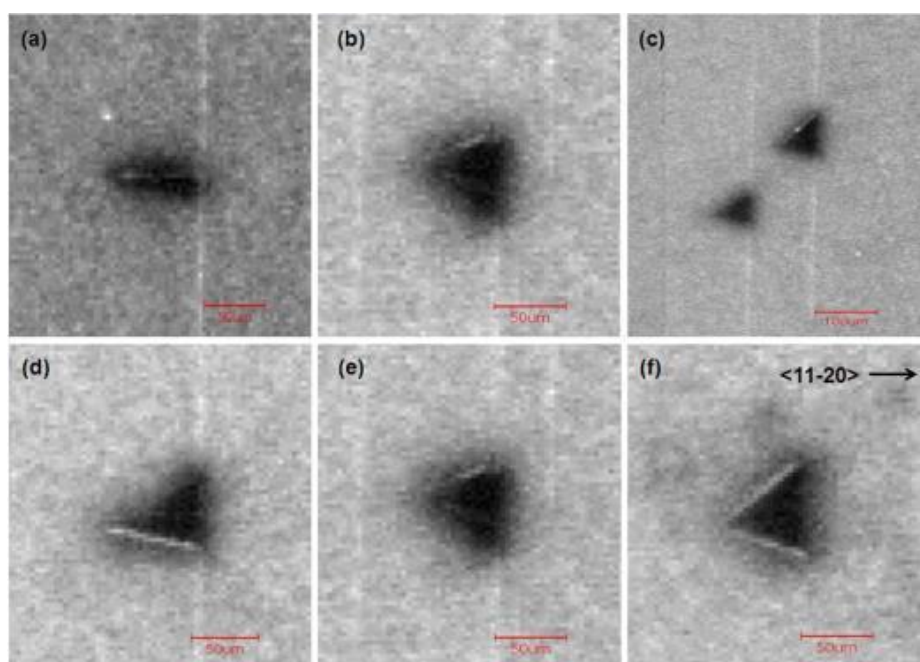


图 178 与图 177 直线型缺陷相对应的 UVPL 图像

7.7 小坑缺陷

7.7.1 特征

4H-SiC外延层表面出现的外形为小凹陷或小坑状的形貌缺陷。小坑的深度在20nm左右，沿[11-20]方向的尺度小于5微米。在台阶流动方向的上游端，小坑缺陷有陡峭的倾斜侧面，在下游端，侧面相对平缓，如图179所示。

小坑缺陷是4H-SiC外延层表面出现在TSD位错顶端，密度大约在 $10^3\sim 10^4\text{ cm}^{-2}$ ，与4H-SiC衬底中的TSD密度接近，如图180~图181所示。

在利用光学方法检测小坑缺陷时，由于小坑之间的形状有差异，会得到不同的特征，如图182~图186所示。

7.7.2 产生原因

小坑缺陷由衬底内的螺位错TSD引起，如图187~图188所示。

7.7.3 对器件的影响

已有实验证实TSD位错对SBD器件影响不大，MOS电容器的经时击穿（TDDB）寿命也没有改变。

7.7.4 消除或降低方法

在外延生长中，减小气相中的C/Si比率，可有效降低外延层表面小坑缺陷密度。

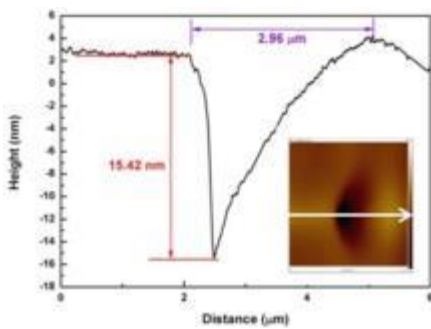


图 179 小坑缺陷的形状与尺寸

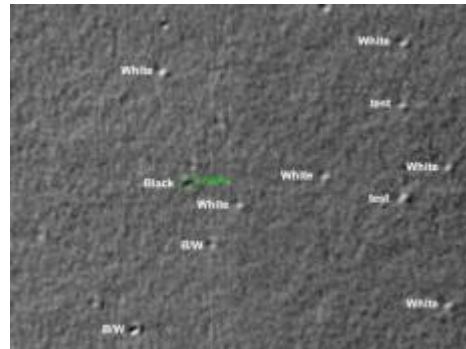


图 180 小坑缺陷（放大倍数 1000）



图 181 小坑缺陷（放大倍数 1000）

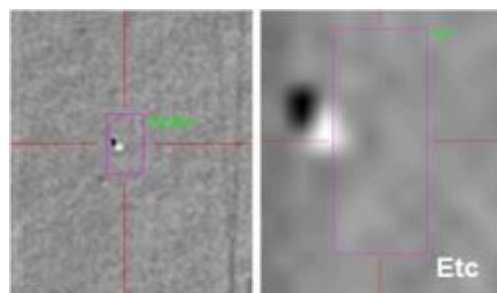


图 182 Etc 小坑缺陷及放大图像

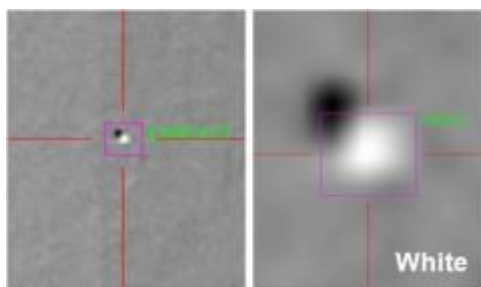


图 183 white 小坑缺陷及放大图像

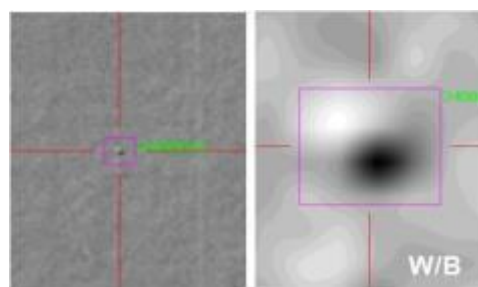


图 184 W/B 小坑缺陷及放大图像

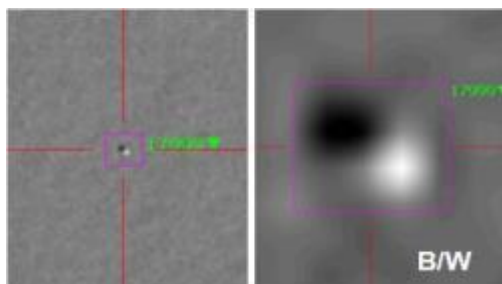


图 185 B/W 小坑缺陷及放大图像

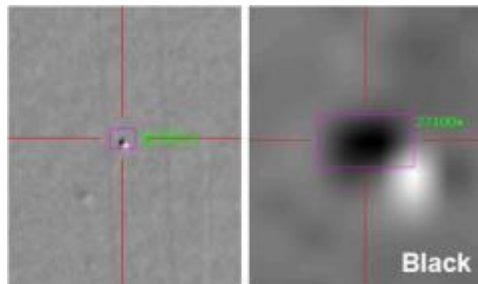


图 186 Black 小坑缺陷及放大图像

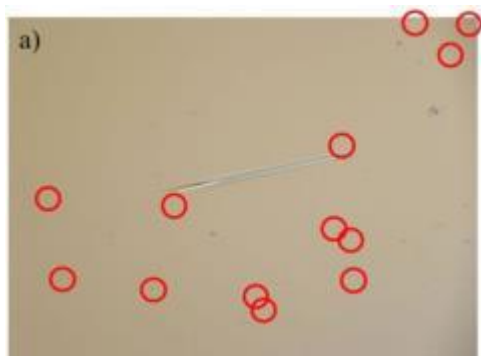


图 187 KOH 腐蚀前，4H-SiC 外延层表面小坑缺陷及其腐蚀坑图像

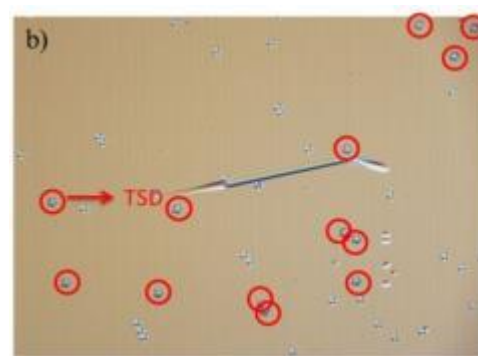


图 188 KOH 腐蚀后，4H-SiC 外延层表面小坑缺陷及其腐蚀坑图像

7.8 梯形缺陷

7.8.1 特征

梯形缺陷是4H-SiC外延层表面平行于[1-100]方向、两条长度不等的上游短‘U-GSB’坡堤线和下游长‘D-GSB’宏观台阶线构成的梯形表面形貌缺陷，如图189~图194所示。

U-GSB和D-GSB之间距随外延层厚度增加而增大，可用 $d/\tan(4^\circ)$ 表示，其中d是外延层厚度，4是衬底偏角。

4H-SiC衬底表面一般是通过CMP工艺完成，表面光滑、平整，但外延后经常会观察到划痕及沿划痕扩展的台阶聚集区域，如图195~图196所示，这是CMP在晶片表面产生或遗留隐含划痕等非本证型结晶缺陷所致。

7.8.2 产生原因及机理

梯形缺陷起因于线位错（BPD、TED或TSD）及划痕周围的位错环。刻蚀过程中GSB的产生是Schwoebel效应所致，而生长过程则是由于团簇效应所致。

7.8.3 对器件的影响

U-GSB对MOSFET的影响小，D-GSB对MOSFET影响较大。

7.8.4 消除方法

优化表面处理工艺，使用高质量无划痕衬底。

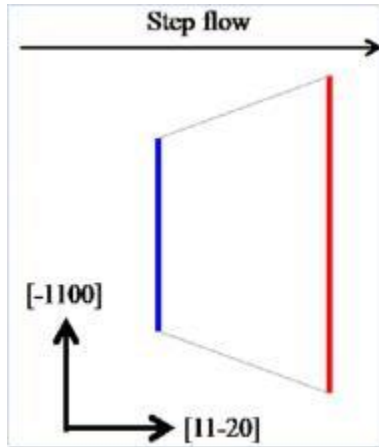


图 189 梯形缺陷示意结构

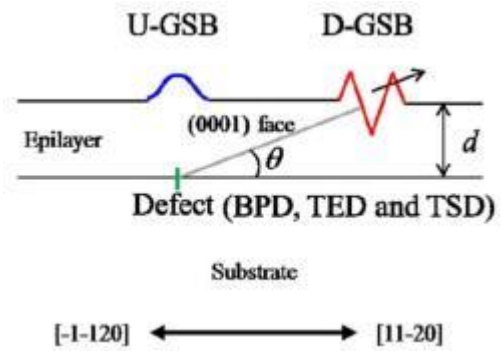


图 190 梯形缺陷截面模型

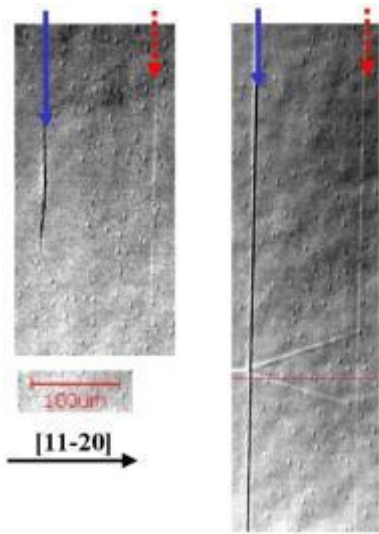


图 191 梯形缺陷

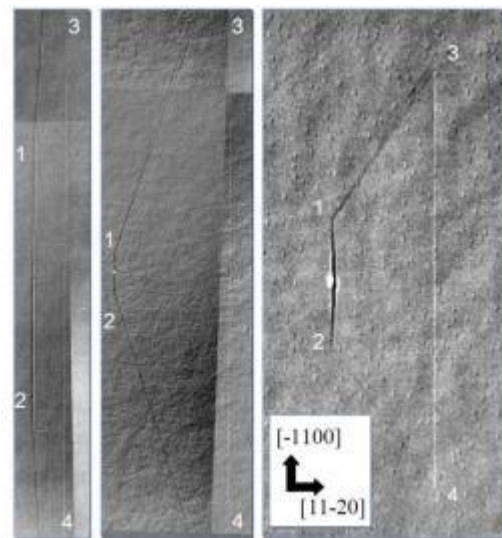


图 192 梯形缺陷

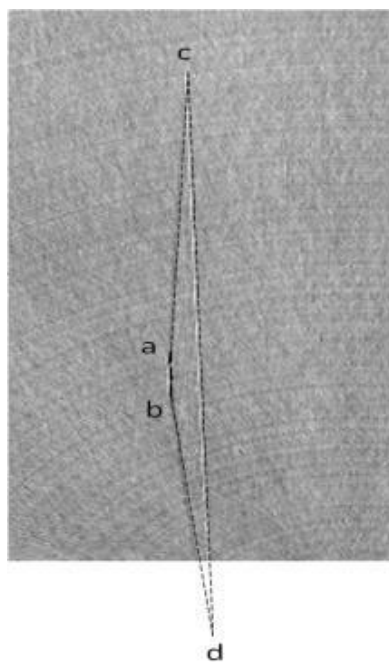


图 193 梯形缺陷

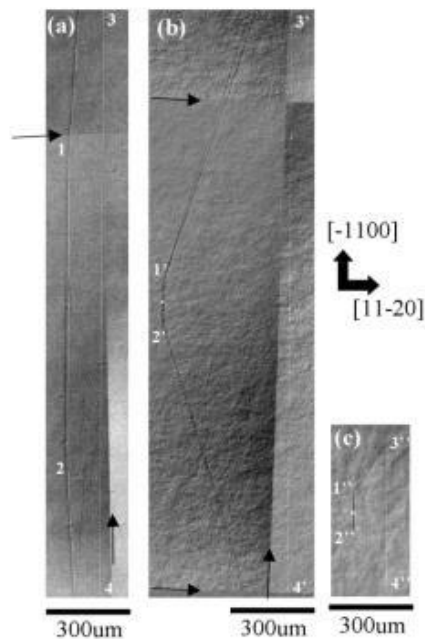


图 194 梯形缺陷

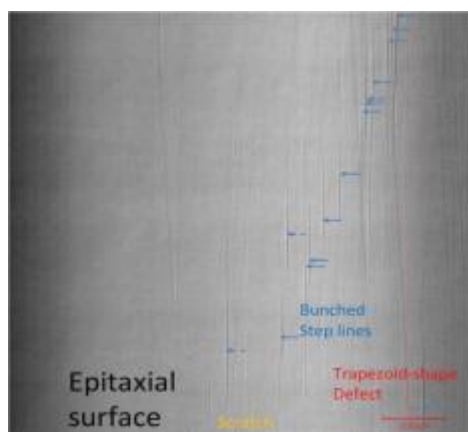


图 195 梯形缺陷



图 196 梯形缺陷

7.9 台阶聚集

7.9.1 特征

4H-SiC外延层表面出现的平行于 $\langle 1-100 \rangle$ 方向的有多个原子台阶汇聚在一起而形成的平行线簇，如图197~图200所示。台阶聚集是外延层表面出现的一种形貌特征，自身不存在结晶缺陷。

三角形缺陷底边和梯形缺陷底边也是台阶聚集线，又称为局部台阶聚集，如图201~图204所示

CMP经常引入光学方法难以观察的晶格缺陷，H2刻蚀可将大部分晶体缺陷去除，但局部出现由小坑和聚集台阶构成的粗糙区域，这些粗糙区域所表现出的形状与衬底划痕相对应，如图205~图208所示。

7.9.2 产生原因

台阶聚集由衬底结晶缺陷或衬底表面划痕及潜在划痕引起，产生于 H_2 刻蚀过程中。

7.9.3 对器件的影响

在SBD器件中，台阶聚集导致外延层表面粗糙度增大，可引起器件漏电流增大。台阶聚集对MOSFET沟道迁移率或氧化层击穿特性有负面影响。

7.9.4 消除方法

采用高质量无划痕衬底，降低外延生长温度及气相中C/Si原子比率。

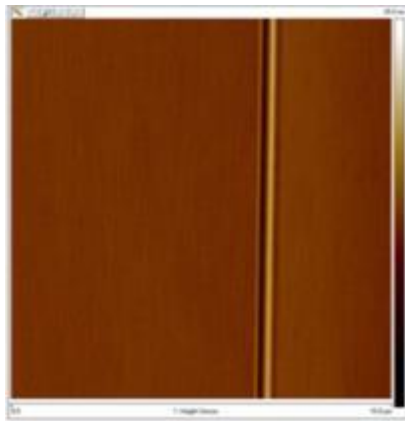


图 197 单条台阶聚集线 ($10 \times 10 \mu m^2$)

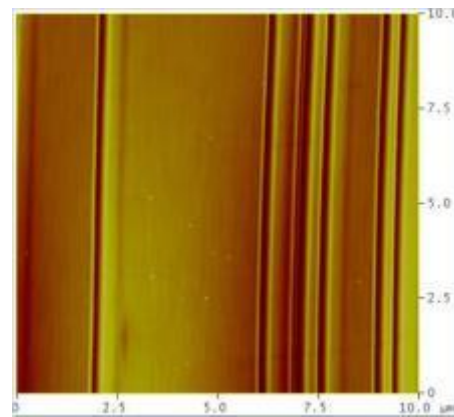


图 198 5条台阶聚集线 ($10 \times 10 \mu m^2$)

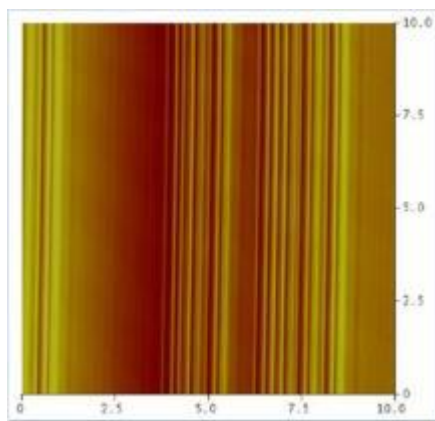


图 199 多条台阶聚集 ($10 \times 10 \mu m^2$)

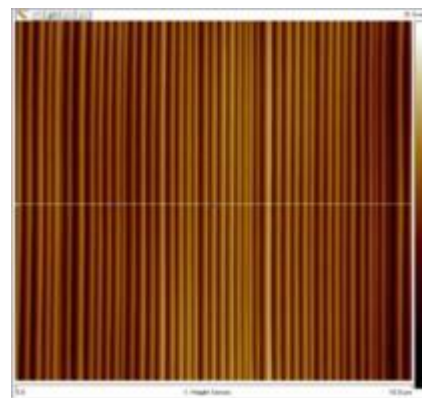


图 200 台阶聚集区域 ($10 \times 10 \mu m^2$)

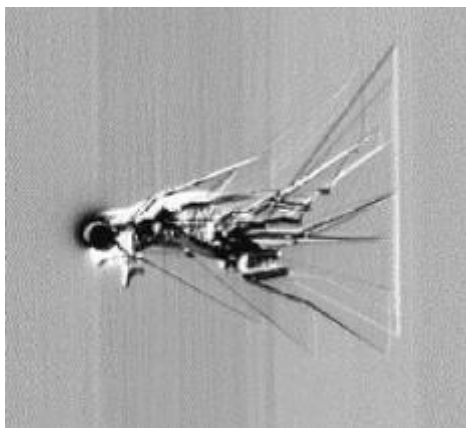


图 201 三角形缺陷底边

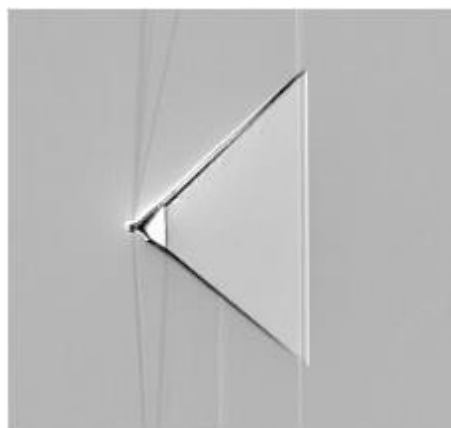


图 202 三角形缺陷底边

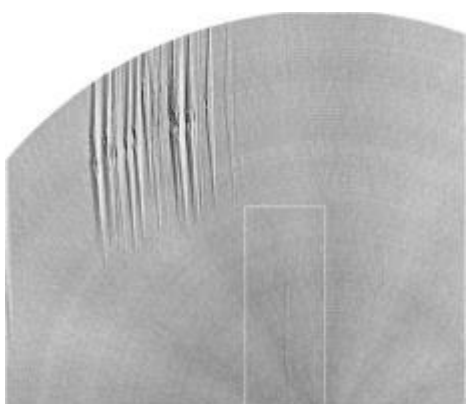


图 203 梯形缺陷底边

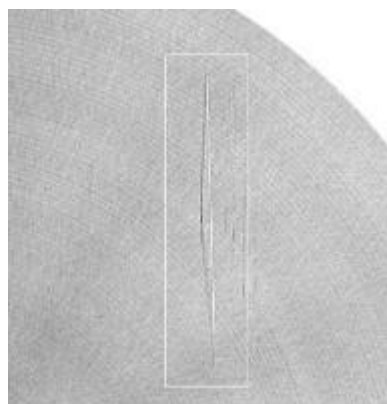


图 204 梯形缺陷底边

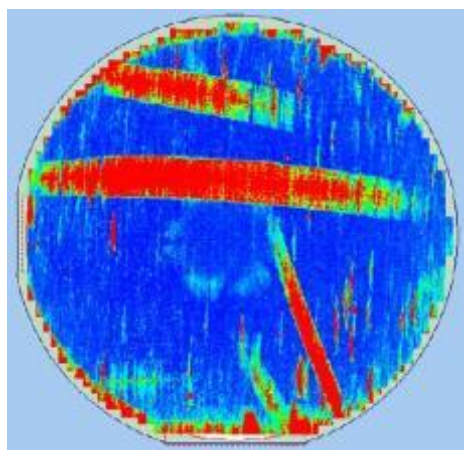


图 205 划痕引起的台阶聚集区分布

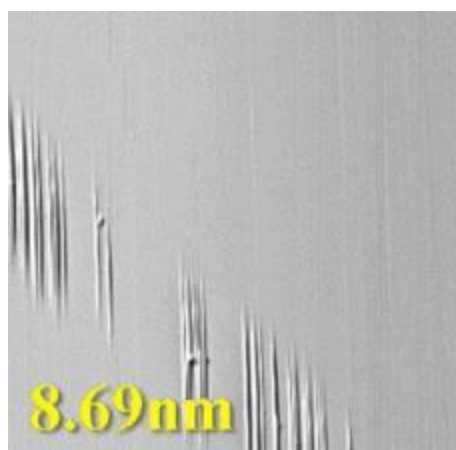


图 206 隐含划痕引起的台阶聚集区

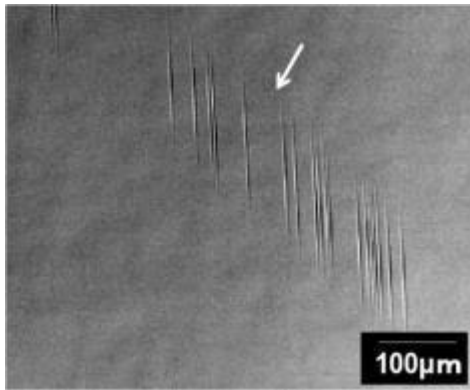


图 207 隐含划痕引起的台阶聚集区

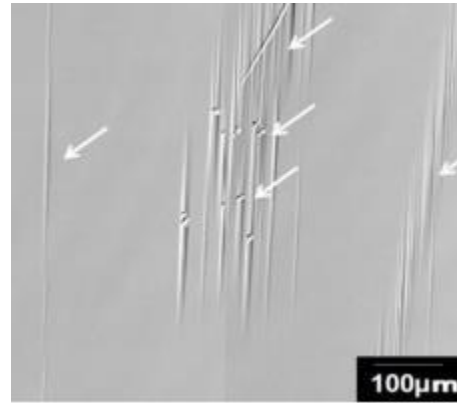


图 208 划痕引起的台阶聚集区

7.10 外延凸起

在4H-SiC外延生长过程中，位于4H-SiC外延晶片上游端边缘区域，因无原子台阶补充而出现的外延层表面高度与晶片边缘的高度差，如图209~图210所示：



图 209 外延凸起缺陷

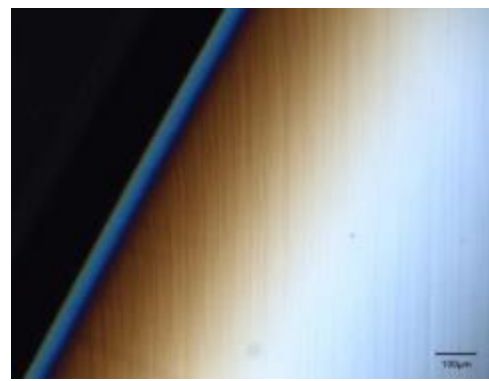


图 210 无外延凸起缺陷

7.11 乳凸

4H-SiC外延层表面出现的外形为凸点或凸起状的形貌缺陷。碳包裹体是导致乳凸缺陷主要原因之一。

7.12 界面位错

4H-SiC外延晶片边缘区域出现在外延层/界面处基晶面内的线状位错或团簇，会伴随有半环列阵（HLA）的形成，如图211~图216所示。

界面位错（ID）形成原因之一可能与4H-SiC外延层与衬底之间有较大的掺杂浓度差异所致，另一个原因是晶片内存在因不均匀加热而导致的热弹性应力。失配应力是通过引入ID弛豫的，ID在外延层/衬底界面处基晶面内的扩展方向平行于[1-100]方向，该ID是贯穿到外延层中的BPD位错的一部分，ID的形成归因于温度的径向分布在外延时作用在了BPD位错上。ID的形成会造成4H-SiC外延晶片质量的劣化，提高温度分布均匀性可防止ID的形成。

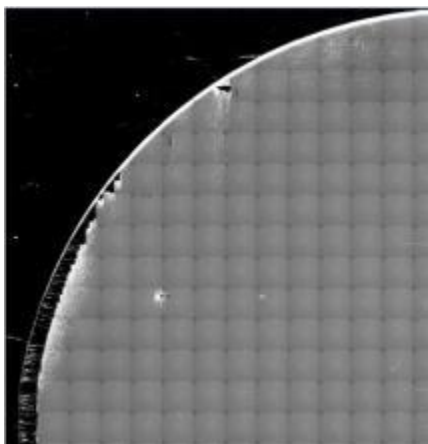


图 211 界面位错

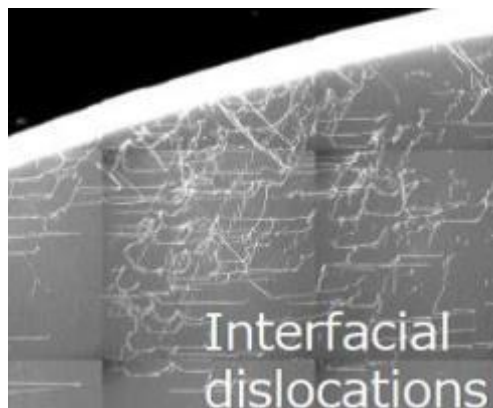


图 212 界面局部放大图像

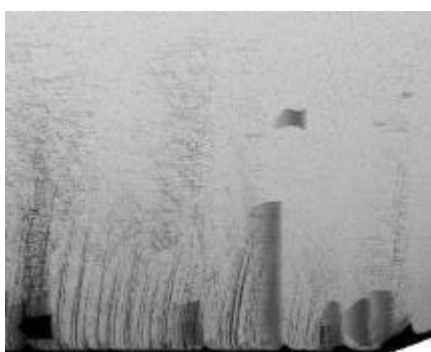


图 213 界面位错 NUV-PL 图像

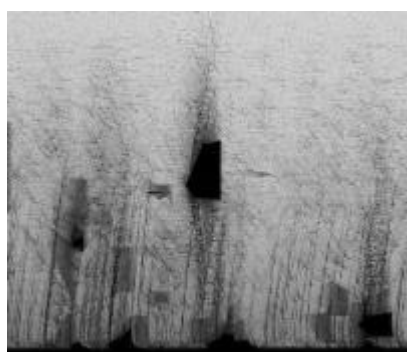


图 214 界面位错 NUV-PL 图像



图 215 NUV-PL 图像

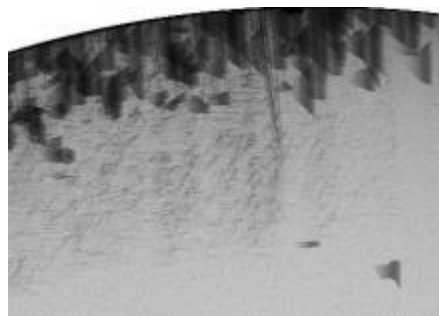


图 216 界面位错 NUV-PL 图像

7.13 原生型层错

7.13.1 特征

外延生长期间，4H-SiC外延层中产生的位于(0001) Si晶面内的2维结晶缺陷称为原生型层错(IGSF)，大部分IGSF的成核点位于外延层/衬底界面附近，并与外延层表面产生一条不易被观察的[1-100]方向的交界线，如图217~图218。由于SF形成能量小，在4H-SiC CVD外延生长中，会容易地引入到外延层中。

经过KOH腐蚀，交界线两端出现的壳形蚀坑是IGSF存在的标志，这两个蚀坑分别是包围IGSF的两个不全位错与外延层表面相交的结果，如图219~图220所示。值得注意的是，外

延层表面的交界线并不总是能够被观察到，在这种情况下，可能会将IGSFs误认为两个孤立的BPD位错。

有两种形状的IGSF，一种是三角形IGSF（T-IGSF），一种是条形IGSF（B-IGSF）。如图221~图222所示。无论是三角形层错还是条形层错，在外延层表面上都观察不到相对应的形状或特征，即不能借助于光学显微镜用肉眼直接观察，但可借助紫外发光成像手段来观测。

T-IGSF有多种结构，如1SSF、2SSF、3SSF、8H以及3C包裹体等，如图223~图225所示。

B-IGSF是在4H-SiC外延层中形成的不可用肉眼直接观察的条形原生Frank型层错，Zhdanov 标记为(5,2)，是由于[0001]方向的堆垛缺少了一个Si-C双原子层所致，源于衬底层错向外延层的贯穿，如图226~图228所示。因B-IGSF较T-IGSF面积大，所以对器件性能的影响也较T-IGSF大。

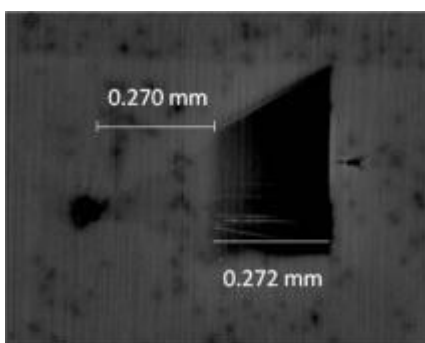


图 217 原生型三角形层错 UVPL 图像
(4°偏角衬底)

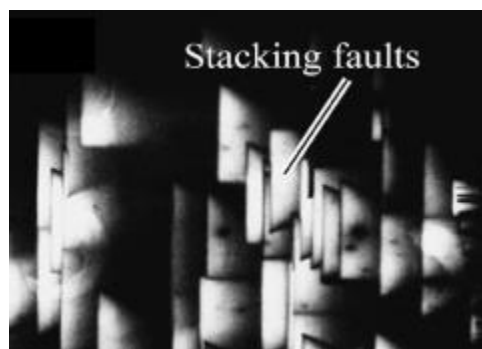


图 218 高密度原生型三角形层错全色 CL 图像
(8°偏角衬底)



图 219 不全位错蚀坑

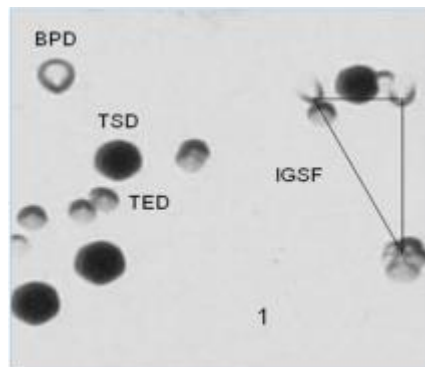


图 220 不全位错蚀坑

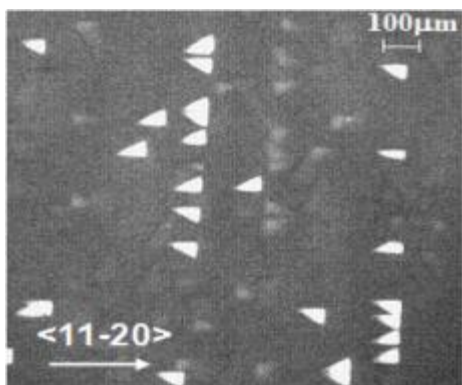


图 221 原生型三角形层错

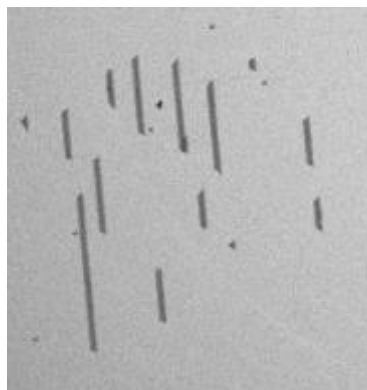


图 222 原生型条形层错

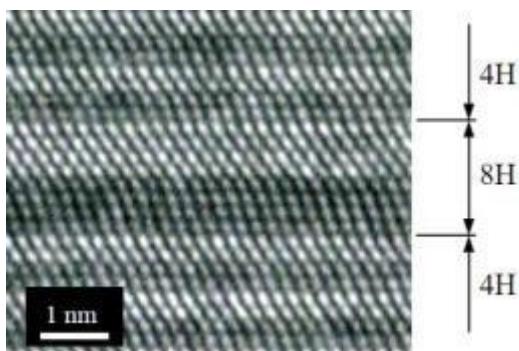


图 223 8H 型层错 (4SSF, Zhdanov 标记为 (4, 4), 呈现 4H/8H/4H 结构)



图 224 单 Shockley 型层错 (1SSF, Zhdanov 标记为 (1, 3), 呈现 4H/3C/4H 结构)

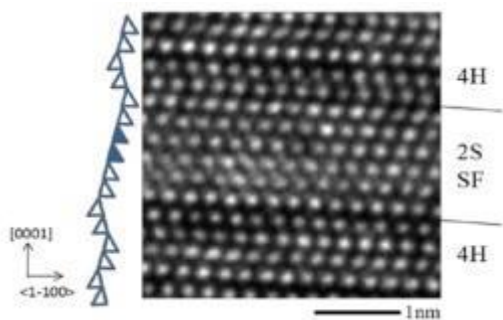


图 225 双 Shockley 型层错
(Zhdanov 标记为 (6, 2))

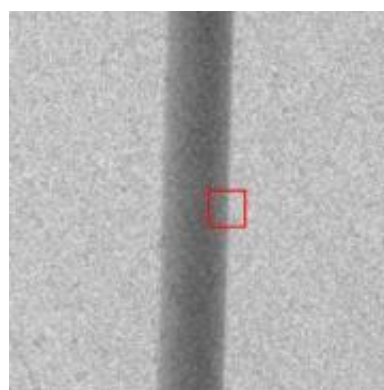


图 226 原生型条形层错

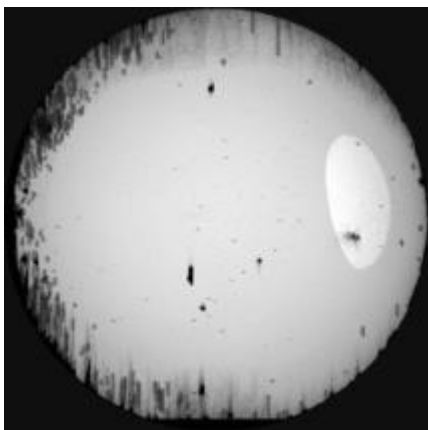


图 227 4 英寸外延晶片边缘条形层错的
NUV-PL 图像

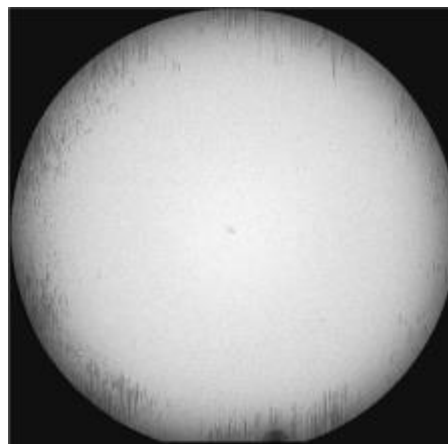


图 228 6 英寸外延晶片边缘条形层错的
NUV-PL 图像

7.13.2 产生原因

由于4H-SiC中T-IGSF的形成能很小，因此任何微小干扰都会在4H-SiC外延层中产生IGSF，如CVD生长室的清洁度和衬底的表面状态等。另外，外延生长中，位错形变导致非点阵平移矢量的滑移、全位错在晶面内的分解而后扩展，以及偶然事件及工艺不稳定性等都会引起堆垛序列的错误。

7.13.3 对器件的影响

在双极型器件中，IGSF主要起陷阱中心作用，可引起载流子寿命的降低，进而增大器件漏电流。对于单极型器件，IGSF对SBD二极管反向漏电流影响较小，会降低SBD的肖特基势垒高度。通常原生型三角形层错对正向特性曲线的影响可以忽略。

7.13.4 消除或抑制方法

提高外延生长速率，在较高温下引入反应气体，可有效去除衬底表面的亚损伤层，进而抑制IGSF的形成。

7.14 不全位错

Burgers矢量不等于单位点阵矢量或其整数倍的位错称为“不全位错”或“部分位错”。在4H-SiC中，不全位错构成了层错的两条终止边界，如图229所示。

不全位错有Shockley型和Frank型两种，这两种不全位错的Burgers矢量方向不同，前者平行于层错面，而后者则垂直于层错面，因此，前者可滑移，而后者不可动。

不全位错的类型可用X-射线拓扑形貌来区分。

在反射X-射线拓扑形貌图像中，不全位错的对比度不随反射条件而变化，说明不全位错的Burgers矢量不在基晶面内，因此该不全位错和层错被分别认定为Frank型不全位错和层错，如图230~图232所示。相反，对于Shockley型层错，构成三角形边界的两条不全位错的对比度在反射X-射线拓扑形貌图像中随反射条件而变化，如图233~图236所示。

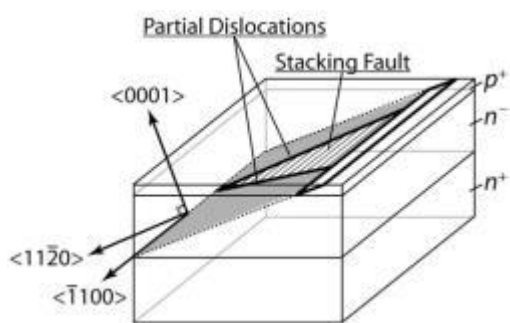


图 229 层错及其两个不全位错

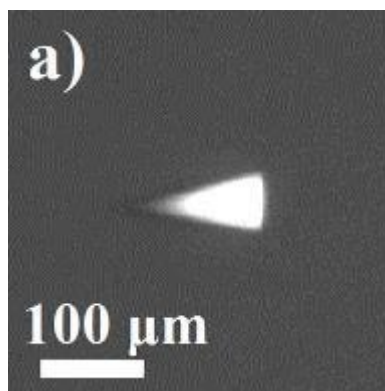


图 230 Frank 型层错的 PL 发光图像

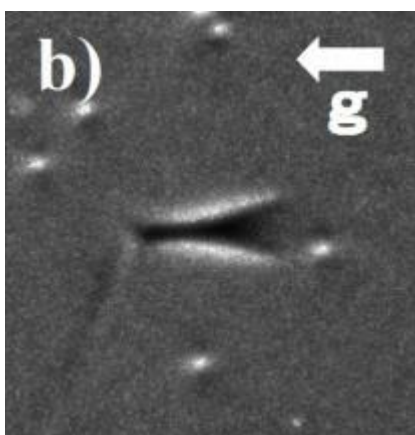


图 231 X-射线形貌图像

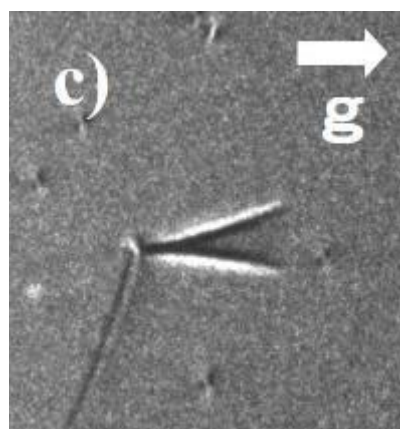


图 232 X-射线形貌图像

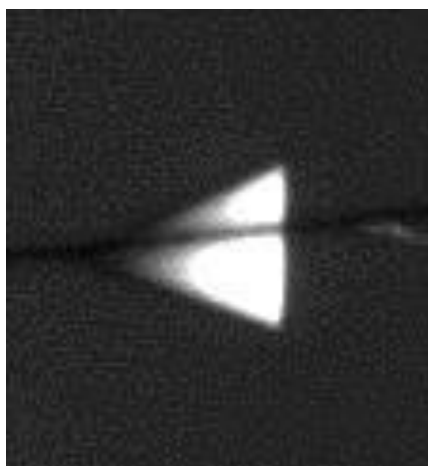


图 233 Shockley 型层错的 PL 发光图像

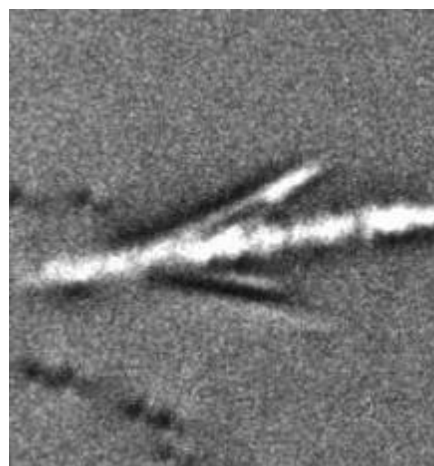


图 234 Shockley 型层错的 X-射线拓扑形貌图像

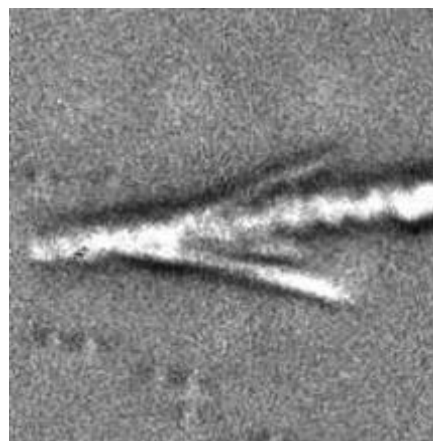
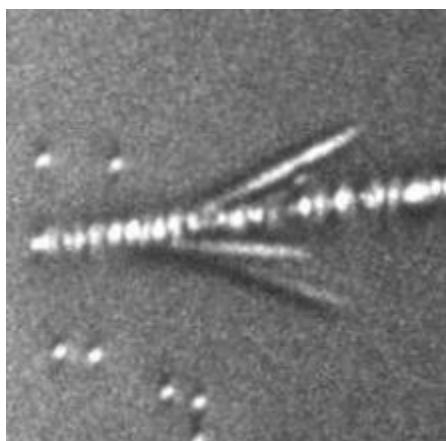


图 235 Shockley 型层错的 X-射线拓扑形貌图像 图 236 Shockley 型层错的 X-射线拓扑形貌图像

7.15 半环列阵

半环列阵（HLA）起因于外延过程中BPD位错的滑移。当BPD滑移时，沿途留下一系列的BPD碎片，随着外延的进行，每个BPD碎片进而转变为半环缺陷。半环列阵对载流子寿命影响较大。

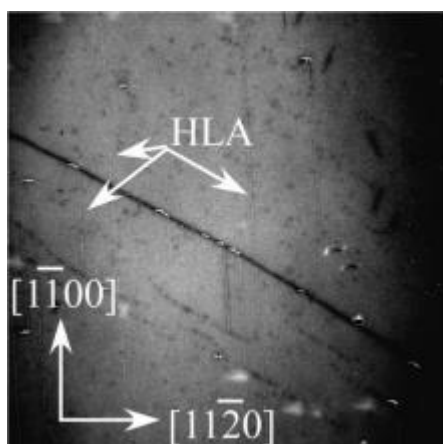


图 237 HLA 的 PL 发光图像

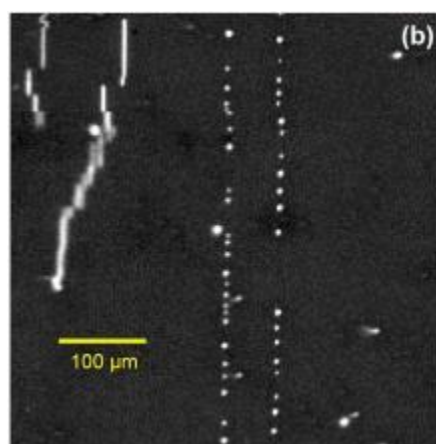


图 238 局部放大的 HLA 的 PL 发光图像

7.16 点缺陷

点缺陷是一种局部的结晶缺陷，如晶格空位，间隙原子，反位原子或其复合体。4H-SiC外延层中的点缺陷有：C空位（ V_C ）、Si空位（ V_{Si} ）、反位原子、间隙原子及其复合体等。在Si-、C-晶格上，原子键合能不同，因此与Si-和C-相关的点缺陷也有明显差异。4H-SiC外延层中的点缺陷在带隙中引入深能级，以不同的电荷态存在，室温下稳定，起复合中心或陷阱中心作用，如图239~图242所示。

V_C 密度很高，比 V_{Si} 高，并且其存在形式有两种不同的电荷态，负电荷态是著名的 $Z_{1/2}$ 中心，位于导带边下方0.7eV处，起复合中心的作用，它主要影响载流子寿命。由于总是同时检测到 $Z_{1/2}$ 和 $EH_{6/7}$ ，且热稳定性很高 $\sim 2000^\circ\text{C}$ ，它们是同一缺陷的两个不同荷电态。计算

表明其与立方晶位上的C空位 (V_C) 特性一致。即 $Z_{1/2}$ 和 $EH_{6/7}$ 分别是 V_C 的负电荷态和正电荷态。

点缺陷限制了双极型功率器件的性能。任何载流子寿命的降低, 都会增大耗尽层空间电荷的产生, 即导致双极型器件漏电流增大。

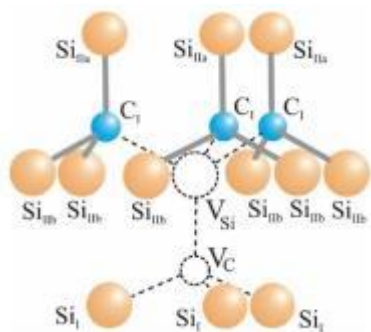


图 239 V_C 、 V_{Si} 或 $V_C V_{Si}$ 对

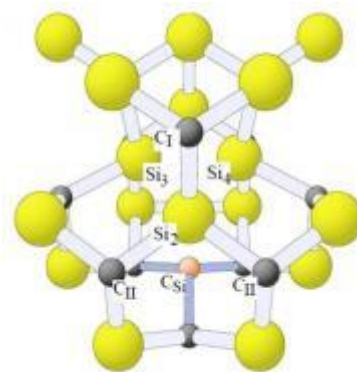


图 240 C 反位

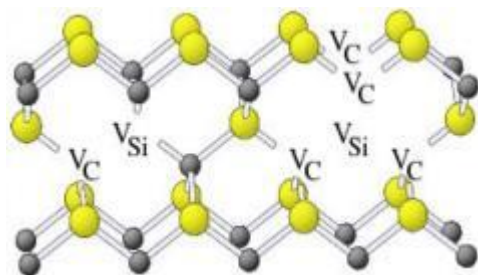


图 241 $V_C V_{Si}$ 对及 C 空位 V_C 团簇

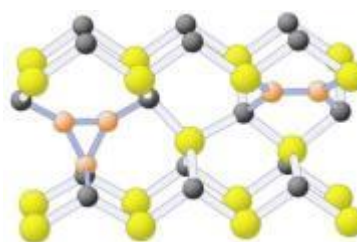


图 242 反位团簇

7.17 碳空位

4H-SiC晶格中正常C晶位上的C原子被移去后遗留下来的空位, 标记为 V_C 。

V_C 是SiC中的一种点缺陷, 从其双正电荷态到其双负电荷态, 所有能级都位于4H-SiC带隙内。n-型4H-SiC外延层中有两类陷阱, 即 $Z_{1/2}$ 和 $EH_{6/7}$, 它们分别位于 $E_C-0.62\text{eV}$ 、和 $E_C-1.6\text{eV}$ 处。 V_C 具有负相关能, 其受主能级归因于 Z_1/Z_2 缺陷, Z_1/Z_2 分别对应于4H-SiC晶体中六角晶位上的双受主能级和立方晶位上的单受主能级。施主能级归因于 $EH_{6/7}$ 缺陷, 具有类施主行为。外延生长中, 衬底温度的不均匀性、气相中化学组分的变化以及生长工艺的不稳定, 都会产生 V_C 。

$Z_{1/2}$ 和 $EH_{6/7}$ 中心是n-型4H-SiC外延层载流子寿命限制缺陷, 决定了SiC外延层载流子寿命大小。较小的载流子寿命会导致器件漏电流的增大。对于n-型外延层, C空位可用(1) C离子注入/退火和(2) 高温氧化方法降低或消除, 对于p-型外延层, 还要再进行氢气退火。

7.18 外延层螺位错

外延层中的螺位错 (TSD) 主要来自于衬底TSD向外延层的贯穿, 其Burgers矢量为 $1c[0001]$, 其密度与衬底TSD密度接近。TSD位错经常在外延层表面引起小坑缺陷, 小部分

TSD会引起胡萝卜缺陷、台阶聚集或三角形缺陷，如图243~图250所示，对器件漏电流、性能与可靠性有影响。



图 243 TSD 的 KOH 蚀坑图像 (400 倍)

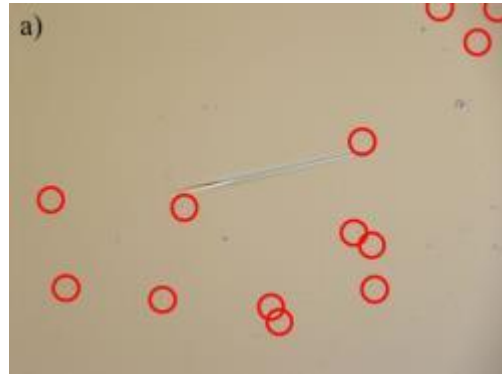


图 244 TSD 引起的外延层表面小坑缺陷

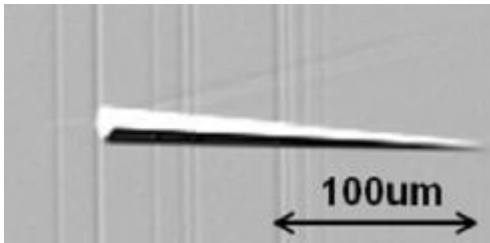


图 245 TSD 引起的胡萝卜缺陷

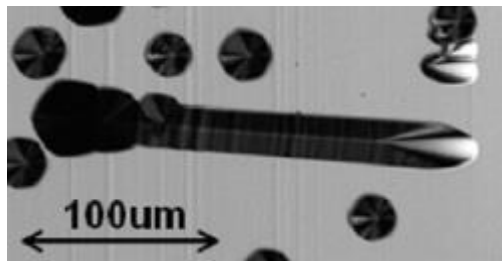


图 246 图 245 的腐蚀坑图像

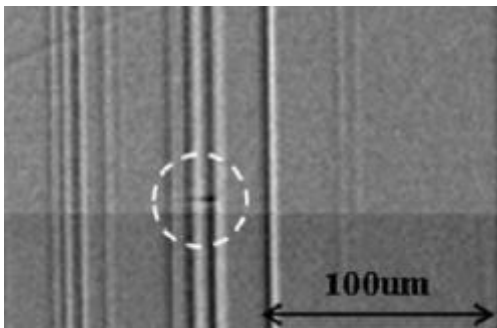


图 247 TSD 引起的台阶聚集

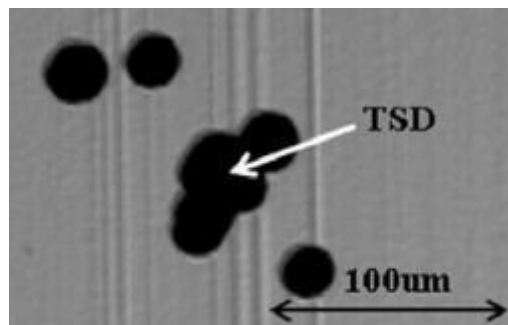


图 248 图 247 的腐蚀坑图像

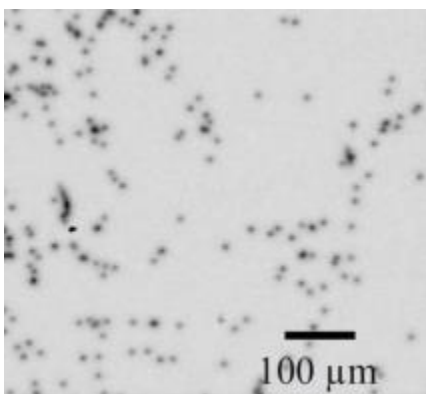


图 249 TSD 和 TED 位错 EL 发光图像

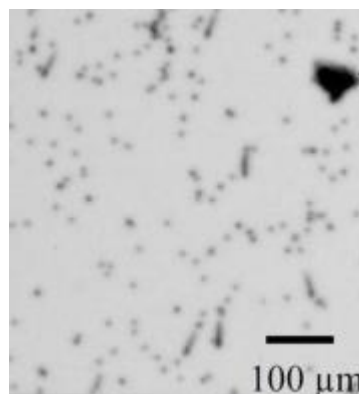


图 250 TSD 和 TED 位错 EL 发光图像

7.19 外延层刃位错

外延层中的刃位错(TED)来自于衬底TED向外延层的贯穿,其Burgers矢量为 $1/3[11-20]$,如图251~图254。因BPD的转化,外延层中TED位错密度略大于衬底中的TED位错密度。TED是一种良性位错,其对器件性能的影响可以忽略。



图 251 外延层中 TED 位错的 KOH 腐蚀坑图像



图 252 外延层中 TSD、TED 及 BPD 位错的 KOH 腐蚀坑图像



图 253 贯穿到外延的 TED 蚀坑图像



图 254 贯穿到外延的 TED 蚀坑图像

7.20 外延层基晶面位错

从衬底贯穿到外延层中的螺型BPD位错,其Burgers矢量为 $1/3[11-20]$ 。衬底中只有近乎平行于 $[11-20]$ 方向的BPD位错才有可能贯穿到外延层中,如图255~图259所示。

对于 4° 偏角的4H-SiC衬底,外延生长初期衬底中BPD在镜像力的作用下向TED的转化效率可达到99%以上,贯穿到外延层中的BPD密度一般小于 10cm^{-2} ,最低可到 0.1cm^{-2} 以下。

另外,在厚外延层中,由于三角形缺陷或3C包裹体与4H-SiC基体之间存在应力,为了释放应力,沿 $[1-100]$ 方向诱发BPD位错团簇,如图260~图262所示。

BPD主要对双极型器件产生影响。在正向导通状态下,漂移层中载流子的复合驱动BPD扩展为层错缺陷,降低少子寿命,使双极型器件的正向导通电压(V_F)发生漂移,并随时间不断增大,引起双极型器件的稳定性问题。

降低4H-SiC衬底的偏转角度,提高BPD向TED转化效率,可有效降低外延层BPD位错密度。



图 255 贯穿到外延层中 BPD 位错蚀坑图像

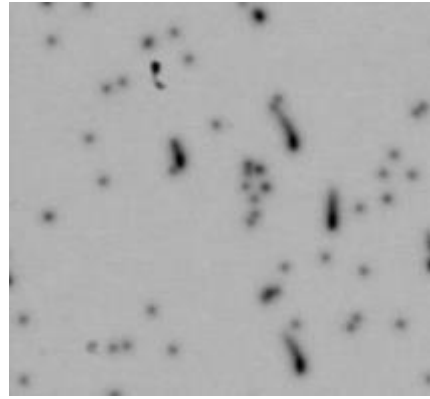


图 256 基晶面位错 EL 发光图像

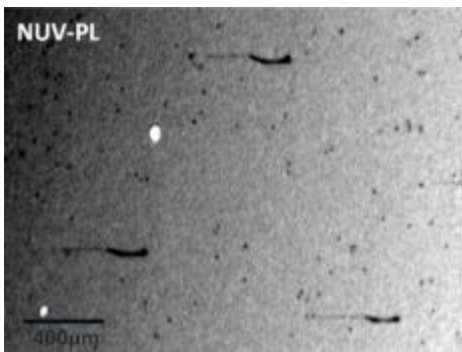


图 257 BPD 的 NUV-PL 图像(BPD 长度 400μm)

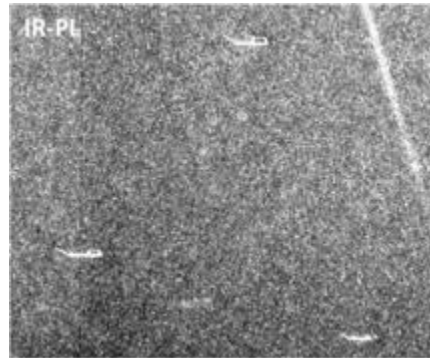


图 258 图 5 同一位置处 BPD 的 IR-PL 图像 (BPD 长度 400μm)

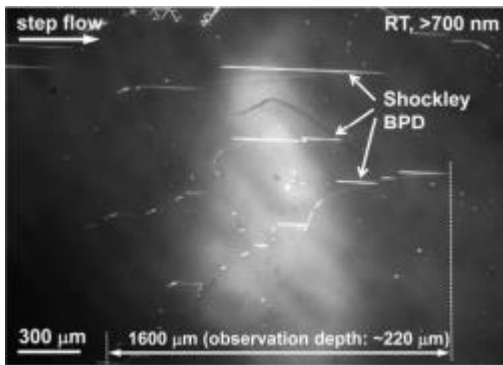


图 259 厚外延层中的 BPD 位错

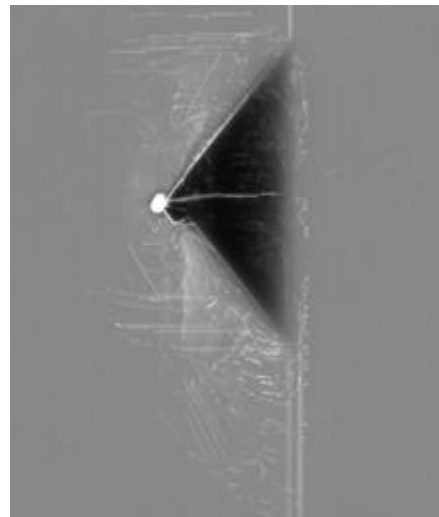


图 260 三角形缺陷周围的 BPD 团簇(白色线条)

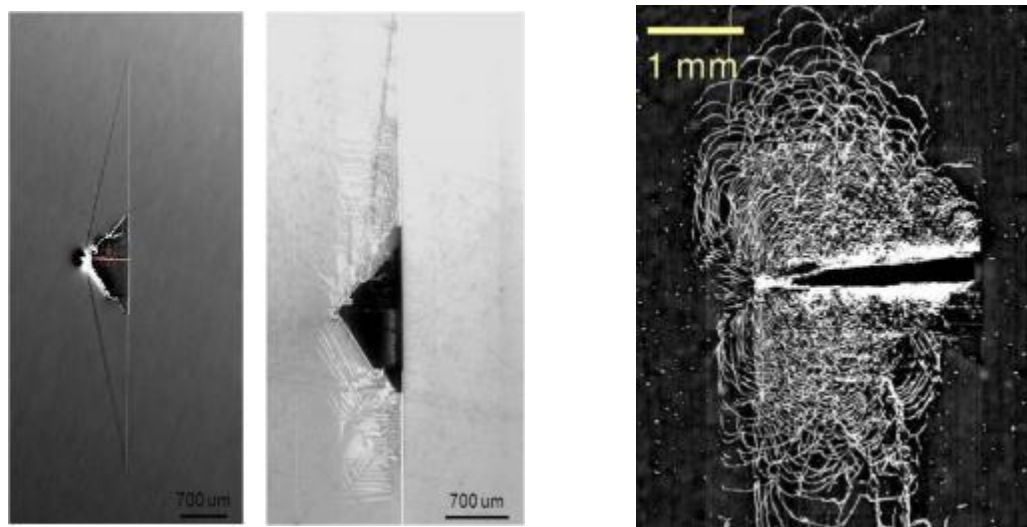


图 261 三角形缺陷周围的 BPD 团簇(白色线条) 图 262 3C 包裹体周围的 BPD 团簇 (白色线条)

8 4H-SiC 工艺缺陷

8.1 高温退火缺陷

因高温退火而在4H-SiC中产生的深能级中心等点缺陷或层错等结晶缺陷。

高温退火工艺有SiC晶体退火、离子注入后退火PIA和氧化后退火POA等。SiC晶体退火温度很高,接近SiC形成温度,退火后SiC中会形成与C或Si有关的深能级,降低载流子寿命。另外,高温退火产生层错缺陷或使层错扩展。PIA不仅能恢复晶体损伤,而且还能提高掺杂效率,增强载流子寿命。POA可使来自衬底的TSD转化为表面缺陷,如Frank型SF或胡萝卜缺陷。

8.2 氧化缺陷

在高温氧化过程中形成的深能级中心或SF缺陷,氧化诱导的SF是1SSF,如图263所示。在热氧化MOS结构界面处,产生与C有关的缺陷,如C间隙原子、C族或C悬挂键。

SiC能形成与Si相同的SiO₂介质膜,虽然Si悬挂键可通过H₂退火来补偿,但该工艺对SiC/SiO₂界面没有效果。氧化后N₂退火或在N气氛中氧化是降低SiC/SiO₂界面态密度的最有效方法,其机制是在界面处饱和了C悬挂键或形成了C-N络合物。

与C有关的界面缺陷会限制MOSFET器件的沟道迁移率,牺牲氧化层可产生C间隙原子(C_i),通过向体内扩散与V_C复合,降低寿命限制中心Z_{1/2}浓度。

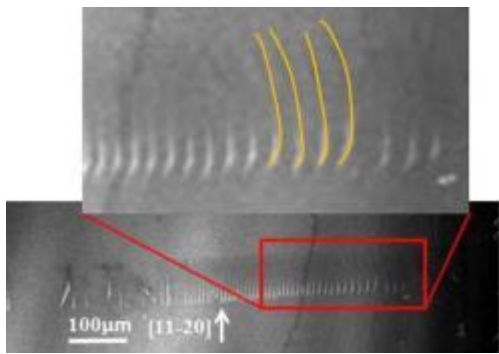


图 263 热氧化后 PL 图像。热氧化使得位错向 $[1-100]$ 或 $[-1100]$ 方向发生变形

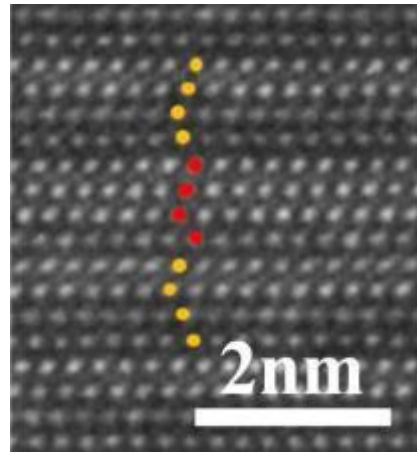


图 264 热氧化 SF 的高分辨 TEM 图像。Zhdanov 标记为 $(1, 3)$, 1SSF 层错

8.3 电应力诱导缺陷

电应力诱导缺陷是指双极型4H-SiC器件，如PiN二极管等，在正向导通状态下因电子空穴对复合导致漂移层中的BPD位错扩展成为Shockley型层错（SSF），如图265~图272所示。

电应力诱导缺陷有两种形状，一是激活能约为0.27eV的单Shockley型三角形层错，二是激活能约为0.23eV的条形层错，其中条形层错的扩展速度大，几乎是三角形层错的4倍。由于条形层错的面积远远大于三角形层错，因此条形层错对器件性能的影响将更大。

对于单Shockley型三角形层错（1SSF），包围层错的两个不全位错，其Burgers矢量分别为 $1/3[10-10]$ 和 $1/3[01-10]$ ，成核于Burgers矢量为 $1/3[11-20]$ 的BPD位错。

从衬底贯穿到外延层中的BPD位错是电应力诱导缺陷产生的主要原因，即层错的形成是由于漂移层中BPD或位错环在电子空穴复合驱动下分解为两个不全位错并滑移。

正向导通状态下，新产生的Shockley型层错行为像势垒，可降低电流，使器件正向电压增大，出现所谓的双极型衰退现象。提高衬底中BPD在外延中向TED的转化效率，降低外延层中BPD位错密度；在衬底与漂移层之间插入一厚缓冲层或增强载流子复合缓冲层，降低外延层/衬底界面附近少数载流子浓度，减少电子-空穴对的复合，都可有效降低双极型衰退。

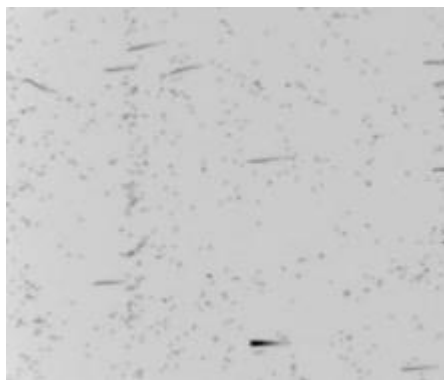


图 265 漂移层中 BPD 位错的 EBIC 图像

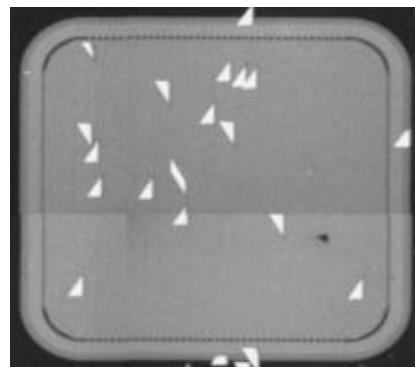


图 266 电流应力后 PiN 二极管中三角形层错的 PL 图像

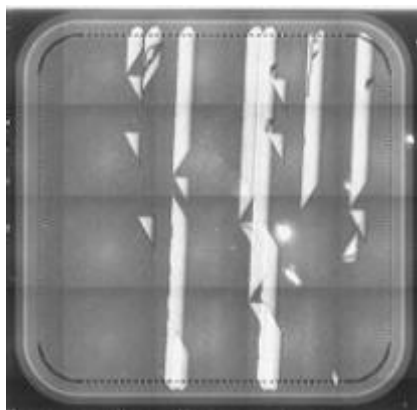


图 267 电流应力后 PiN 二极管中条形层错和三角形层错的 PL 图像

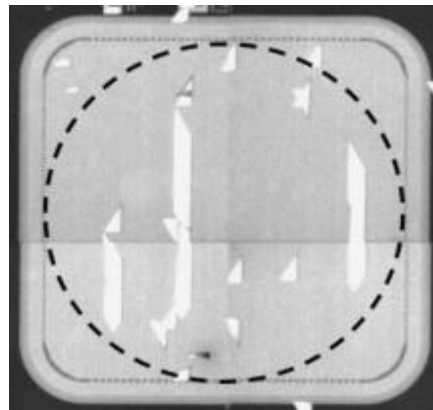


图 268 电流应力后 PiN 二极管中条形层错和三角形层错的 PL 图像

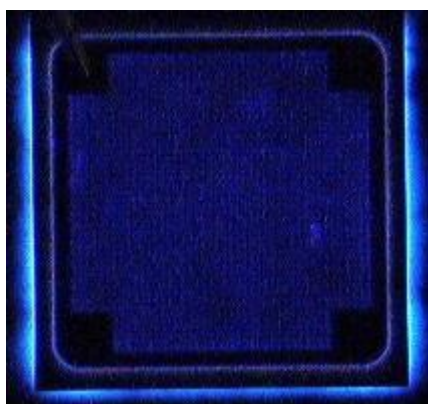


图 26910kV PiN 二极管层错产生的 EL 图像

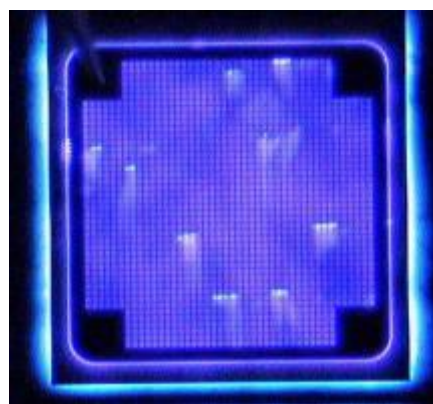


图 27010kV PiN 二极管层错产生的 EL 图像



图 27110kV PiN 二极管层错产生的 EL 图像



图 27210kV PiN 二极管层错产生的 EL 图像

8.4 电应力诱导三角形层错

SiC双极型器件在正向偏置条件下，漂移层中因电子空穴复合产生了三角形单Shockley型层错（T-SSF），如图273~图274所示。

T-SSF的成核点有两个，一是BPD，二是TED。对于前者，T-SSF初始呈现三角形形状，随着时间的推移，三角形层错最终从成核点扩展到外延层表面。对于后者，T-SSF初始呈现

菱形形状，随着时间的推移，菱形层错在电应力作用下，最终在整个外延层内扩展成为三角形层错，如图275~图276所示。

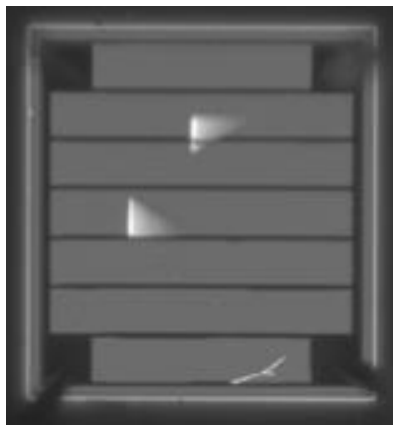


图 273 TSF 缺陷的 EL 图像

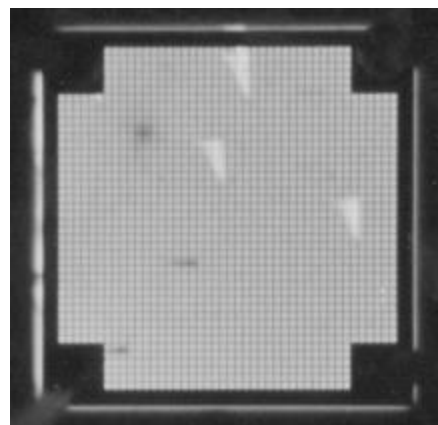


图 274 TSF 缺陷的 EL 图像

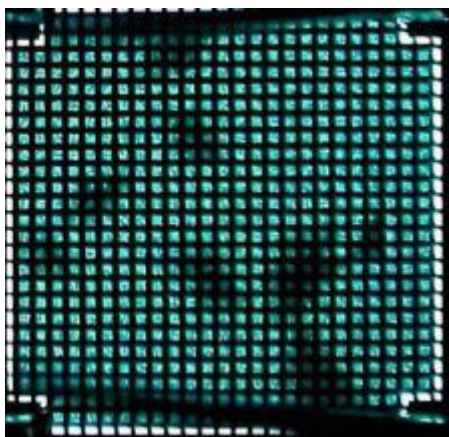


图 275 电应力诱导三角形层错 (2min)

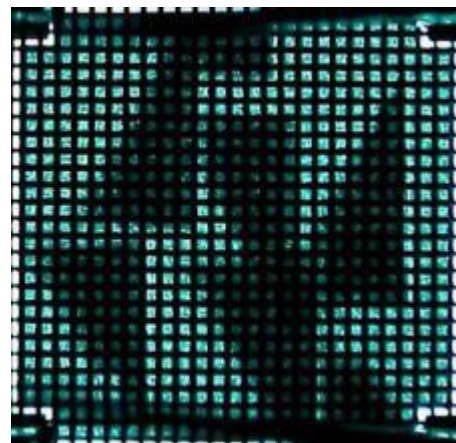


图 276 电应力诱导三角形层错 (6min)

这两种起因导致的T-SSF尺寸受其不全位错和PN界面的限制，电应力后，新产生的T-SSF会增大双极型器件正向电压，出现双极衰退现象。降低偏晶向衬底的偏转角度，提高衬底中BPD在外延中向TED的转化效率，降低外延层中BPD位错密度；在衬底与n-漂移层之间插入一厚缓冲层或增强载流子复合（短寿命）缓冲层，降低外延层/衬底界面附近少数载流子浓度，减少电子-空穴对的复合。

8.5 电应力诱导条形层错

SiC双极型器件在正向偏置条件下，漂移层中因电子空穴复合产生了条形Shockley型层错（B-SSF），如图277~图280所示。B-SSF主要起因于外延层/衬底界面转化为TED的BPD位错。

扩展开始时，层错呈现等腰三角形形状，当层错与PN界面接触后，转化成梯形或条形层错，并随电应力沿 $[1-100]$ 方向继续扩展，最终长度可达器件有源区宽度。

条形层错面积要远远大于三角形层错，因而其对器件稳定性影响也较大。为了消除器件的退化现象，在衬底与漂移层之间插入一厚缓冲层或增强载流子复合缓冲层，降低外延层/衬底界面处少数载流子浓度，进而降低电子-空穴对复合几率。

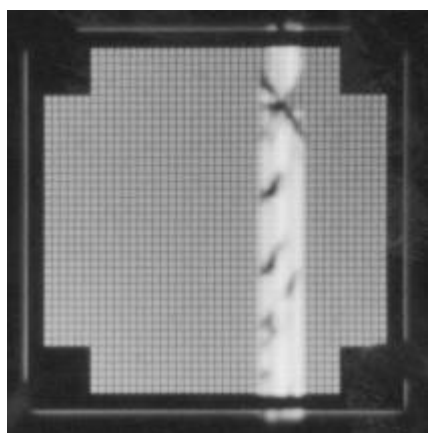


图 277 薄缓冲层 PiN 中 BSF 的 EL 图像

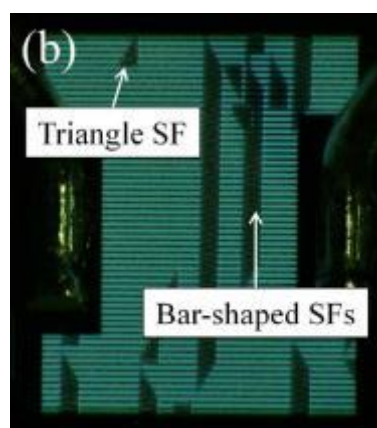


图 278 6.1 百万个脉冲应力后 PN 二极管的 EL 图像，BPD-TED

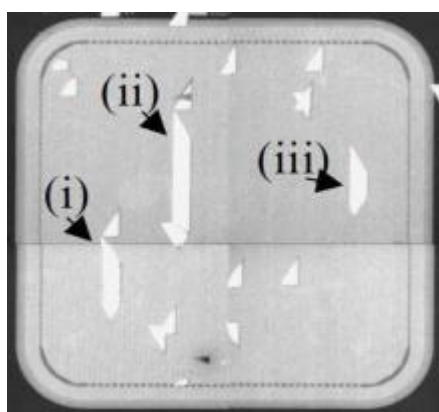


图 279 电流应力后 PiN 二极管中条形层错和三角形层错的 PL 图像

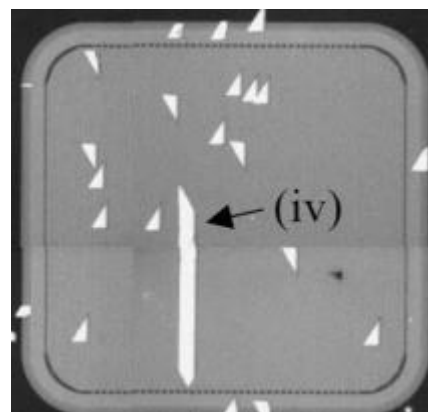


图 280 电流应力后 PiN 二极管中条形层错和三角形层错的 PL 图像

8.6 干法刻蚀缺陷

蚀刻工艺在4H-SiC外延层表面和侧壁产生不可逆的结晶缺陷或扩展缺陷。

CF₄基反应离子刻蚀（RIE）刻蚀，在4H-SiC表面以下0.3-1.0 μm的深度范围内产生深能级或点缺陷，这些深能级是Z_{1/2}、S中心、EH₅和EH_{6/7}。另外RIE和ICP等是制造台面二极管和沟槽MOSFET的基本工艺，在侧壁上会产生位错环缺陷。点缺陷或位错环会产生位错对，引起局部应变，PN结处的局部应变或热应力可诱发SF及其扩展，如图281~图284所示。

RIE离子轰击造成晶格损伤，产生点缺陷和结晶缺陷或位错环，对SiC SBD二极管正向特性产生影响，点缺陷或位错环引起局部应变，在PiN二极管中会诱发层错及其扩展。

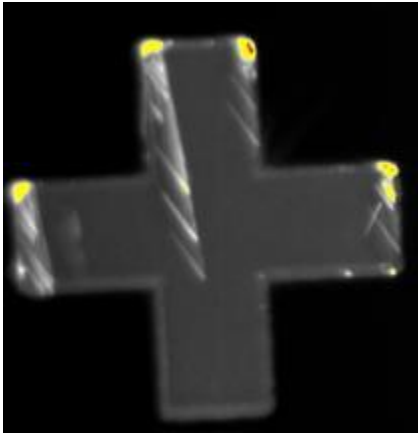


图 281 源于台面侧壁的缺陷传播
(p+nn+二极管, 10min)

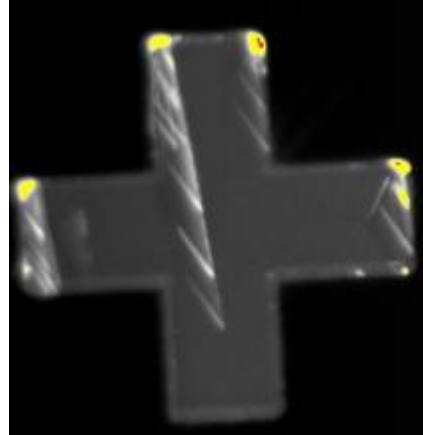


图 282 源于台面侧壁的缺陷传播
(p+nn+二极管, 20min)



图 283 源于台面侧壁的缺陷传播
(p+nn+二极管, 30min)

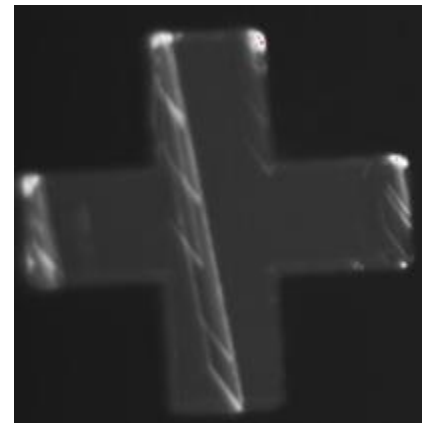


图 284 源于台面侧壁的缺陷传播
(p+nn+二极管, 40min)

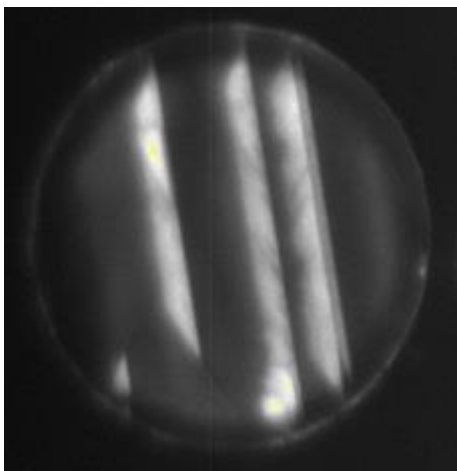


图 285 $10\text{kA} \cdot \text{cm}^{-2}$ 应力下的缺陷传播
(500nm 滤光片)

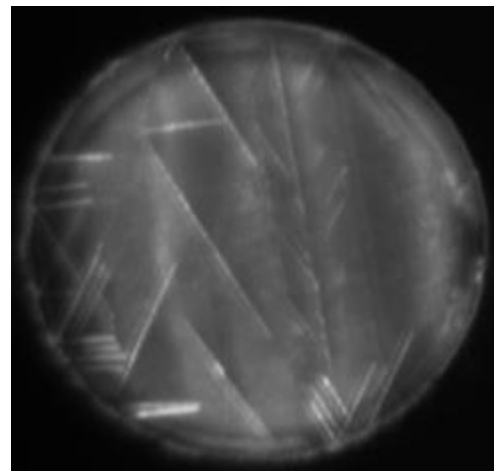


图 286 $10\text{kA} \cdot \text{cm}^{-2}$ 应力下的缺陷传播
(700nm 滤光片)

