

技 术 报 告

T/CASAS/TR 002—2023

SiC MOSFET 功率器件的应用可靠性评价 技术体系报告

Report on Applied Reliability Evaluation Technology System
of SiC MOSFET Power Devices

版本：V01.01

2023-05-26 发布

第三代半导体产业技术创新战略联盟 发布

目 录

前 言.....	V
引 言.....	VI
1 概述.....	1
1.1 SiC MOSFET 功率器件.....	1
1.1.1 SiC MOSFET 功率器件产品的商业化.....	1
1.1.2 SiC MOSFET 功率器件发展趋势.....	1
1.2 SiC MOSFET 功率器件可靠性评价的挑战.....	3
参考文献.....	4
2 SiC MOSFET 器件可靠性因素分析.....	6
2.1 SiC 晶圆关键工艺可靠性因素分析.....	6
2.1.1 SiC 晶体缺陷.....	6
2.1.2 SiC MOSFET 离子注入、刻蚀、欧姆接触.....	7
2.1.3 SiC MOSFET 栅氧界面.....	8
2.2 SiC MOSFET 芯片发展趋势与可靠性分析.....	10
2.2.1 结终端技术.....	10
2.2.2 沟槽型 SiC MOSFET.....	11
2.2.3 SiC MOSFET 特征参数及芯片失效模式.....	13
2.2.4 SiC MOSFET 芯片的一些评估方法.....	15
2.3 SiC MOSFET 封装级可靠性问题.....	17
2.3.1 SiC MOSFET 封装结构.....	17
2.3.2 SiC MOSFET 封装材料.....	24
2.3.3 SiC MOSFET 封装级失效模式.....	25
参考文献.....	25
3. SiC MOSFET 开关应力可靠性.....	28
3.1 动态栅极偏置应力可靠性研究.....	28
3.1.1 概述.....	28
3.1.2 试验方法和电路.....	28
3.1.3 可靠性机理研究现状.....	29
3.2 短路应力可靠性研究.....	32
3.2.1 概述.....	32
3.2.2 短路类型和测试平台.....	32
3.2.3 可靠性机理研究现状.....	36

3.3 雪崩可靠性研究.....	39
3.3.1 概述	39
3.3.2 试验方法和电路	40
3.3.3 可靠性机理研究现状	42
3.4 浪涌可靠性研究.....	45
3.4.1 概述	45
3.4.2 试验方法和电路	45
3.4.3 可靠性机理研究现状.....	48
3.5 辐照可靠性研究.....	49
3.5.1 概述	50
3.5.2 测试原理及测试方法	51
3.5.4 可靠性机理研究现状.....	54
参考文献	57
4 SiC MOSFET 应用与可靠性提升方法.....	60
4.1 SiC MOSFET 应用概况	60
4.1.1 SiC MOSFET 应用预测分析.....	60
4.1.2 典型应用的拓扑电路	61
4.1.3 SiC MOSFET 应用中的典型工作状态	62
4.1.4 SiC MOSFET 应用电路的主要设计参数	63
4.2 面向汽车应用的典型场景	63
4.2.1 车载用 SiC 功率器件需求分析.....	63
4.2.2 车载充电机 OBC	64
4.2.3 电机控制器	66
4.2.4 直流充电桩	66
4.3 面向能源领域电力转换应用场景	67
4.3.1 能源领域 SiC 功率器件需求分析.....	67
4.3.2 典型应用的拓扑电路	70
4.3.3 光伏逆变器	71
4.3.4 柔直换流阀	72
4.3.5 高压直流断路器	73
4.3.6 其他能源领域的应用	74
4.4 SiC MOSFET 驱动层面提升应用可靠性.....	75
4.4.1 SiC MOSFET 驱动——隔离要求.....	75
4.4.2 SiC MOSFET 驱动——串扰.....	77
4.4.3 Kelvin 连接.....	78
4.5 SiC MOSFET 过流和短路保护提升应用可靠性.....	79

参考文献.....	82
5 SiC MOSFET 车规级可靠性评价标准分析	85
5.1 现有标准概述.....	85
5.1.1 AEC Q101 简介	85
5.1.2 AQG 324 简介.....	86
5.2 可靠性及寿命试验种类.....	88
5.2.1 功率循环 PC	88
5.2.2 高温反偏 HTRB	96
5.2.3 高温栅偏 HTGB.....	98
5.2.4 高温高湿反偏 H3TRB	100
5.2.5 动态偏置可靠性试验.....	101
5.3 SiC 可靠性及寿命试验中的挑战.....	103
参考文献.....	107
6 SiC MOSFET 的寿命预测研究	110
6.1 多物理场耦合仿真模拟.....	110
6.2 寿命及可靠性预测模型及方法.....	111
6.2.1 基于失效物理的寿命预测研究.....	112
6.2.2 基于人工智能算法的寿命预测研究	115
6.2.3 数字孪生技术.....	117
6.3 寿命及可靠性预测方法研究展望.....	120
参考文献.....	121
7 SiC MOSFET 可靠性评价标准体系建立的工作建议.....	124
7.1 Si 器件标准体系不完全适用于 SiC，可靠性评价方法是评价体系建立的基础.....	124
7.1.1 国际标准化组织积极推出 SiC MOSFET 可靠性评价指南.....	124
7.1.2 不同产业链环节、不同的目的标准侧重点各有不同	125
7.2 SiC MOSFET 可靠性评价方法建立	127
7.2.1 SiC MOSFET 可靠性试验的标准建立思路.....	127
7.2.2 覆盖应用工况	127
7.2.3 覆盖使用周期.....	128
7.2.4 考虑碳化硅 MOS 器件与硅基器件的差异.....	128
7.2.5 SiC MOSFET 标准布局建议	128
7.3 标准化工作建议	129

前 言

请注意本文件的某些内容可能涉及专利。本文件的发布机构不承担识别专利的责任。

本文件由北京第三代半导体产业技术创新战略联盟（CASA）制定发布，版权归 CASA 所有，未经 CASA 许可不得随意复制；其他机构采用本文件的技术内容制定标准需经 CASA 允许；任何单位或个人引用本文件的内容需指明本文件的标准号。

本文件主要起草单位及起草人：

复旦大学 樊嘉杰 雷光寅 刘 盼 侯欣蓝 陈 威

复旦大学宁波研究院 祝 曦 左元慧

东南大学 魏家行

浙江大学 邵 帅 王珩宇 董泽政 任 娜

中电科第十三研究所 迟 雷

重庆大学 李 辉

华北电力大学 赵志斌

北京智慧能源研究院 李金元

北京工业大学 郭春生

合肥工业大学 邓二平

中国科学院微电子研究所 侯峰泽

深圳市禾望电气股份有限公司 谢 峰

泰科天润半导体科技(北京)有限公司 李志君

泰克科技（中国）有限公司 孙 川

第三代半导体产业技术创新战略联盟 高 伟

感谢工业和信息化部电子第五研究所陈媛研究员、中国科学院电工研究所张瑾副研究员、浙江大学吴新科教授、北京世纪金光半导体有限公司于坤山副总裁、智新半导体有限公司王民研发部工艺工程师等专家的热心指导。

文件起草过程中，得到了很多老师的不计回报的无私帮助，收获感动无数，不一一细数。心所向，同携手，共未来！

引 言

经过 10 余年的发展，SiC 功率器件逐步成熟，为进入大众市场打开了大门。SiC MOSFET 功率器件的高频、高压、耐高温、开关速度快、损耗低等特性，使电力电子系统的效率和功率密度朝着更高的方向前进。

希望以此报告的编写，衔接 SiC MOSFET 产业链上中下游，助力产业对该器件可靠性的统一认识，凝聚力量，助力 SiC MOSFET 电力电子应用的规模开启。

由于时间仓促，编写者水平有限，恳请广大的产业一线工作人员及专家们批评指正。

SiC MOSFET 功率器件的应用可靠性评价技术体系报告

1 概述

1.1 SiC MOSFET 功率器件

1.1.1 SiC MOSFET 功率器件产品的商业化

功率器件是电力电子技术的核心，在电力电子技术朝着高频、高功率密度发展的方向上扮演着至关重要的角色。目前，硅(silicon, Si)器件的发展已经十分成熟，在 600V 以下的应用，Si 基金氧半场效晶体管(Metal-Oxide-Semiconductor Field Effect Transistor, MOSFET)占据主流，而 Si 基超级结器件和绝缘栅双极型晶体管(Insulator Gate Bipolar Transistor, IGBT)则主导了 0.6~6.5kV 的高压应用市场。尽管如此，受限于硅材料特性的限制，硅器件的发展空间已经较为有限。例如，目前 Si 基 IGBT 耐压极限为 6.5kV，工作温度低于 175℃，且由于双极性导通模式，器件开关速度较低，限制了其在高频应用中的推广。

近 20 多年来，碳化硅(Silicon Carbide, SiC)作为一种宽禁带功率器件，受到人们越来越多的关注。与硅相比，碳化硅具有很多优点，如：碳化硅的禁带宽度更大，这使碳化硅器件拥有更低的漏电流及更高的工作温度，抗辐照能力得到提升；碳化硅材料击穿电场是硅的 10 倍，因此，其器件可设计更高的掺杂浓度及更薄的外延厚度，与相同电压等级的硅功率器件相比，导通电阻更低；碳化硅具有高电子饱和速度的特性，使器件可工作在更高的开关频率；同时，碳化硅材料更高的热导率也有助于提升系统的整体功率密度。碳化硅器件的高频、高压、耐高温、开关速度快、损耗低等特性，使电力电子系统的效率和功率密度朝着更高的方向前进。

SiC MOSFET 是一种具有绝缘栅结构的单极性器件，关断过程不存在拖尾电流，降低了开关损耗，进而减小散热器体积；并且其开关速度快，开关频率高，有利于减小变换器中电感和电容的体积，提高装置的功率密度，有效降低装置的系统成本。然而器件因为在栅氧界面会引入碳团簇，引起栅氧界面态密度较高，导致沟道电阻大。针对栅氧界面，国际上众多团队在 20 多年的时间中进行了大量实验，2000 年 Chung 等人报道了通过一氧化氮(NO)退火的方式将沟道迁移率提高至接近 $20\text{cm}^2/\text{V}\cdot\text{s}$ 的方案，栅氧可靠性也因为界面态的钝化工艺而得到了提升。随着栅氧工艺的日益成熟，2010 年起各公司相继推出 SiC MOSFET 产品^[1]。

经过 10 余年的发展，SiC MOSFET 器件基本成熟，为进入大众市场打开了大门。

1.1.2 SiC MOSFET 功率器件发展趋势

(1) 芯片结构不断优化

按照芯片栅极结构，SiC MOSFET 功率器件可分为平面型栅极结构、沟槽型栅极结构，如图 1-1 所示；平栅型 SiC MOSFET 技术相对成熟，已经获得了广泛应用，但平面栅型 MOSFET 沟道迁移率低，且导通电阻较大，不利于电子器件向小型化、轻量化发展。沟槽型 MOSFET 需要在外延层上刻蚀形成沟槽，在沟槽表面通过氧化形成栅氧化层，沟槽结构可以增加单元密度，没有 JFET 效应，寄生电容更

小，开关速度快，开关损耗非常低；而且，通过选取合适沟道晶面以及优化设计的结构，可以实现最佳的沟道迁移率，明显降低导通电阻。因在 SiC MOSFET 的发展过程中，不断面临挑战，例如工艺水平、栅氧可靠性等问题，产业界也不断有厂商提出新的器件结构解决部分问题，设计出高性能沟槽型 SiC MOSFET 是 SiC 器件发展的必经之路。

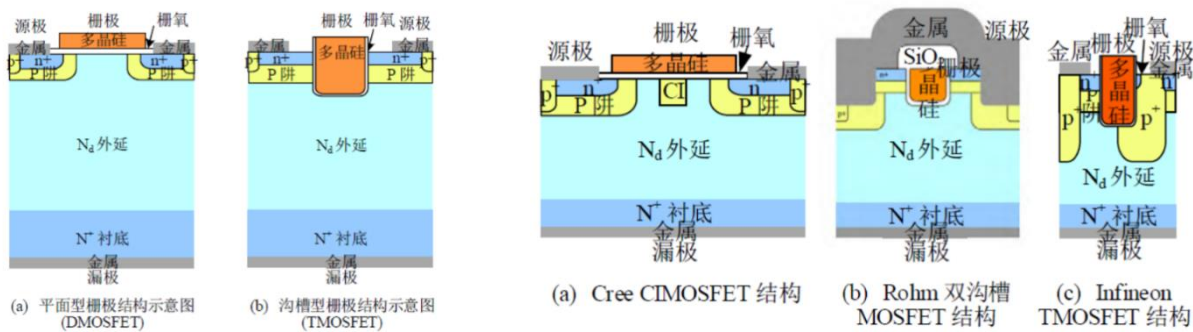


图 1-1 SiC MOSFET 平面型和沟槽型栅极结构示意图

图 1-2 不同企业 SiC MOSFET 结构示意图

总体上，国际上多家企业已经实现 SiC MOSFET 器件的商业化，不同企业的典型结构如图 1-2 所示。而国内的 SiC MOSFET 器件基本采用平面栅 MOSFET 结构，研发进度相对落后，工艺技术的不成熟与器件可靠性是国内 SiC MOSFET 器件的主要问题。

(2) 适用于高频高温高功率密度的封装材料与结构是研究热点

目前已有的大部分商用 SiC 器件仍采用传统 Si 器件的封装方式，而传统封装技术应用于碳化硅器件时面临着一些关键挑战。

碳化硅器件的结电容更小，栅极电荷低，因此，开关速度极快，开关过程中的 dv/dt 和 di/dt 均极高。虽然器件开关损耗显著降低，但传统封装中杂散电感参数较大，在极高的 di/dt 下会产生更大的电压过冲以及振荡，引起器件电压应力、损耗的增加以及电磁干扰问题。在相同杂散电容情况下，更高的 dv/dt 也会增加共模电流。针对上述问题，国内外学者们研究开发了一系列新的封装结构，用于减小杂散参数，特别是降低杂散电感。

除开关速度更快外，碳化硅器件的工作温度可达到 300°C 以上。而现有适用于硅器件的传统封装材料及结构一般工作在 150°C 以下，在更高温度时可靠性急剧下降，甚至无法正常运行。解决这一问题的关键在于找出适宜高温工作的连接材料，匹配封装中不同材料的热性能。此外，多功能集成封装技术以及先进的散热技术在提升功率密度等方面也起着关键作用。

表 1-1 列出了典型的碳化硅器件封装结构^[2]，由表可知，消除金属键合线可以有效减小杂散电感值，将其大小控制在 5nH 以下。

表1-1 碳化硅器件典型封装结构

器件	金属键合线	封装方式	功率等级	杂散电感大小/nH	制造商
分立元件	有	TO247、TO220、TO263等	650V~1700V/5A~100A	10~20	Wolfspeed、Rohm、Infineon等
	无	翻转贴片	650V~1200V/15A~35A	<5	阿肯色大学
功率模块	有	传统封装	1200V~1700V/20A~500A	20~30	Wolfspeed、Rohm、Infineon等
		DBC+PCB混合封装	1200V~1700V/20A~100A	<5	CPES, 华科等
	无	SKiN	1200V/400A	<1.5	Semikron
		DLB、Cu-Clip、SiPLIT	650V~1200V/100A~300A	<5	Silicon Power, IR, Siemens
		双面焊接(烧结)	650V~10kV/50A~300A	<5	橡树岭实验室、中车时代电气、天津大学、CPES等
		压接	1200V/100A~200A	<10	浙江大学、阿肯色大学、阿尔堡大学
三维封装	1200V/80A	<1	格勒诺布尔-阿尔卑斯大学		

(3) SiC MOSFET 功率器件典型电路不断被开发应用

SiC MOSFET 器件中0.65~1.7kV 电压等级的器件已经商业化，由于SiC MOSFET能增加系统的开关频率，可以降低无源器件的体积，同时SiC的导热特性较强，其散热系统的体积降低，导致设计也更为简易，逐步在光伏逆变、风力发电中应用。

通过SiC MOSFET器件对Si 器件的替代，带来了设备体积的降低以及功率密度的提高，适合电动汽车等对系统体积与重量敏感的应用场合。国外厂家的SiC MOSFET器件有陆续通过可靠性检验，并使用在电动汽车的主驱动逆变器、车载充电器上；但是在高铁等大功率，高可靠性的应用场景，器件还存在提升空间。

在实际碳化硅器件应用或潜在应用场合中，电动汽车电驱动模块主要使用0.6~1.2kV/50~400A的器件，用于车载直流充电器、直流-直流变换以及交流-直流变换；光伏发电系统中，光伏逆变器模块使用0.6~1.2kV/20A的器件；风力发电使用1.2~3.3kV电压等级，电流不低于20A的器件；高铁应用场合中需要3.3~6.5kV 电压等级，电流不低于100A的器件；直流输电的应用场合，需要6.5kV电压等级且导通电流不低于100A的器件。

目前电动汽车模块、光伏逆变器、风力发电已经逐步使用SiC MOSFET代替硅基器件；而鉴于器件可靠性以及良率的问题，高铁以及直流输电等需要可靠性的场合，SiC 器件存在进一步研究和提高的空间。

1.2 SiC MOSFET 功率器件可靠性评价的挑战

验证Si功率器件长期稳定性的方法很多可以直接用在SiC上，但不同的地方体现在：（1）材料本身及其具有的特定缺陷结构、各向异性、机械性能和热性能等；（2）更大的带隙及其对MOS器件的界面陷阱密度和动力特性的影响；（3）材料本身及外部界面——如器件边缘（包括新边缘端设计）—

—最多增强10倍左右的运行电场，以及这对氧化层寿命的影响；（4）高压运行（ $V_{DS}>1000V$ ）与快速开关（ $>50V/ns$ ）相结合的新运行模式^[1]。

SiC MOSFET 器件在汽车和工业应用中应用前景广阔，在向更高温度、更高功率密度以及更高频率等应用领域拓展时，将承受更高的反偏电压，更大的导通电流，更快的开关速度，更强的体内及表面电场^[4]。工业应用相对广泛，使用寿命更长（5-30年），工作环境条件恶劣，基准质量测试多参考 JESD 47 *Stress-Test-Driven Qualification of Integrated Circuits IC* 集成电路应力测试考核，必要时增加满足特定应用条件的可靠性验证试验。汽车应用方面，一般包括牵引逆变器、交流和直流 AC/DC 变换器、低压和高压 DC/DC 变换器、电动助力转向的电力电子设备等，其使用条件和负载变化广泛，设计寿命要求大于 15 年，ppb 级的质量目标（或 OEM 不能有任何一个产品失效），基准质量测试方面，分立器件为 AEC Q101 车用分立半导体元器件的基于失效机理的应力测试验证，模块使用 AQG 324 机动车辆电力电子转换器单元用功率模块的验证，需要时，增加实际应用中可靠性验证。

与 Si 相比，SiC MOSFET 可靠性评价主要面临以下技术难度：

（1）阈值电压漂移量的判定：栅氧界面更加脆弱，SiC/SiO₂ 界面存在大量的缺陷带来阈值电压的漂移，正向漂移会使器件的导通电阻 R_{DS-on} 增大，增大器件的导通损耗；阈值负向漂移会导致器件提前导通，SiC MOSFET 的开关速度快，一旦误开通，可能会导致整个系统崩溃；

（2）开通状态下体二极管退化：SiC MOSFET 导通状态下，SiC 晶体上存在的基底面位错（BPD）触发体二极管退化。在双极运行器件，电子与空穴的复合所释放的能量导致堆垛层错在 BPD 处蔓延，一旦蔓延到芯片表面，被扩大的堆垛层错覆盖的区域，无法导电，因此芯片的有效有源区缩小。

（3）低杂感高温封装技术可靠性验证：低杂散电感封装结构综合性能有待进一步研究验证；耐高温、高导热系数、热膨胀系数匹配的新型封装材料，如有望取代焊锡的烧结银焊膏、覆铜陶瓷基板 DBC（覆铝陶瓷板 DBA、活性金属钎焊 AMB）等；将驱动芯片及相关保护电路与 SiC MOSFET 集成在一起的 SiC 智能功率模块 IPM 的可靠性需要更多的研究验证。

（4）高频高压带来开关过程中高 dv/dt 、高 di/dt 的应力：功率开关器件工作状态可分为导通状态、关闭状态、开关过程；SiC MOSFET 高频高压大电流的工作特点，作为开关使用时，高电压与大电流的交叠而产生的瞬时高功率带来应力的评价；其栅极在高电平与低电平之间频繁切换，长期承受高速动态栅应力的评价。

（5）应用异常工况下瞬态电、热应力聚集承受能力：电力电子系统运行期间，会有非预期工作状态的异常工况出现；①短路：SiC MOSFET 连接的负载发生短路时，电路中流过漏极的电压、电流突然增大，产生瞬时超高功率，会导致结温急剧上升，如果不及时关断就会导致器件老化或失效；②雪崩：负载为电感或者某种杂散电感可能会导致器件承受的电压高于器件本身的击穿电压，发生雪崩击穿承受瞬时高压、大电流能量泄放能力；③浪涌：电路突然开启，或电路中突然接入一个大电容，使得漏极承受的瞬时大电流，从而导致器件退化或损坏冲击状况下器件可承受的瞬态应力能力。

参考文献

[1] 盛况，任娜，徐弘毅，碳化硅功率器件技术综述与展望，中国电机工程学报，第 40 卷 第 6 期 2020

年 3 月 20 日.

- [2] 盛况, 董泽政, 吴新科 碳化硅功率器件封装关键技术综述及展望 中国电机工程学报, 第 39 卷 第 19 期 2019 年 10 月 5 日.
- [3] 《英飞凌如何控制和保证基于 SiC 的功率半导体器件的可靠性》, 白皮书, 2020 年 7 月.
- [4] D. Sadik, H. Nee, F. Giezendanner, and P. Ranstad, "Humidity testing of SiC power MOSFETs." pp. 3131-3136.

2 SiC MOSFET 器件可靠性因素分析

2.1 SiC 晶圆关键工艺可靠性因素分析

2.1.1 SiC 晶体缺陷

SiC 晶体缺陷会极大地影响最终器件的良率。国际上，目前影响器件性能的致命缺陷—微管得到了有效控制，提高 SiC 单晶材料质量的研究焦点及重点已经转移到如何减少衬底材料中的位错密度，并取得了较好进展。其中，量产的 6 英寸 n 型 SiC 衬底微管密度(MP) <0.1 个/cm²，基平面位错密度(BPD)为 500 个/cm²，螺位错密度(TSD)为 200 个/cm²，翘曲度 $\leq 40\mu\text{m}$ ；量产的 6 英寸半绝缘 SiC 衬底基平面位错密度为 600 个/cm²，螺位错密度为 250 个/cm²。国内供应商主流产品仍以 4 英寸为主，逐步量产 6 英寸，与国际先进水平仍有一定差距。

碳化硅外延层缺陷与衬底和生长过程有关，外延层缺陷有表面形貌缺陷、微管缺陷、位错等类型。其中表面形貌缺陷包含胡萝卜缺陷（某些情况下为彗星型）、浅坑、三角形缺陷、掉落物，衬底中的微管缺陷会被复制到外延层中。普通位错以及胡萝卜缺陷等外延引入的缺陷是影响碳化硅外延质量的重要问题。

如图 2-1 所示，在外延生长过程中，衬底中的 TSD 约 98%转化为 TSD，其余转换为 Frank 层错（SF）；TED 则 100%转化为 TED；BPD 约 95%转化为 TED，少量维持 BPD。图 2-2 为 BPD 的转化示意图，在衬底中存在的 BPD 缺陷，在外延表面的会转换为更严重的缺陷。

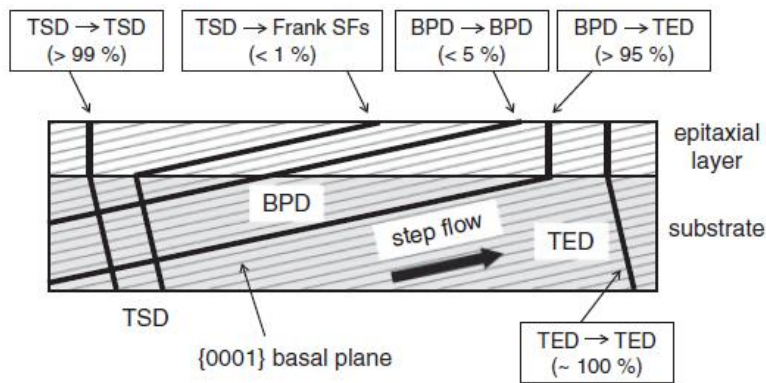


图2-1 SiC衬底外延之间位错缺陷的转化^[25]

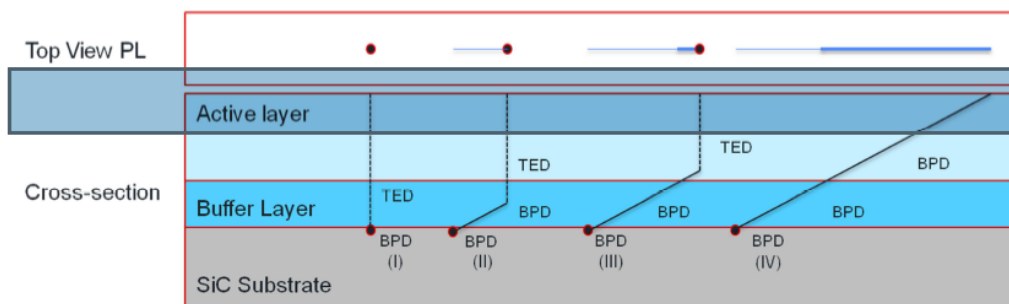


图2-2 SiC衬底外延之间BPD缺陷的转化^[24]

TSD 和 TED 基本不影响最终的碳化硅器件的性能，而 BPD 会引发器件性能的退化，因此人们对 BPD 的关注度比较高。堆垛层错，胡萝卜缺陷，三角形缺陷，掉落物等缺陷，属于杀手级缺陷，一旦出现在器件上，这个器件的功能就会出现故障，导致良率降低。

籽晶中的贯穿螺型位错（TSD）会贯穿到晶体中，同样 4H-SiC 衬底中的 TSD 也会贯穿到外延层中，使得器件的反向漏电流增长；同时 TSD 还可能会导致外延层形成诸如三角型缺陷和胡萝卜缺陷等对器件性能有危害的形貌缺陷。TED 位错对双极型功率器件性能影响相对较小，不会导致 V_F 漂移。4H-SiC 外延层中的 TED 位错主要来自于衬底 TED 位错在外延生长过程向外延层中的贯穿。

SiC 晶体上存在的基底面位错（BPD）会引起双极退化效应。在双极运行期间，电子与空穴的复合所释放出的能量导致堆垛层错在 BPD 处蔓延。该堆垛层错将蔓延至芯片的表面，然后停止蔓延。如图 2-3 所示，被扩大的堆垛层错覆盖的区域，已经无法再导电，因此芯片的有效有源区域缩小，进而使得 MOSFET 的动态导通电阻 $R_{DS(on)}$ 变大，体二极管的 V_{SD} 变大，其他基本参数（如击穿电压、开关行为和氧化层可靠性）基本未发生改变。当器件不存在 BPD 时，将不存在双极退化效应^[1]。

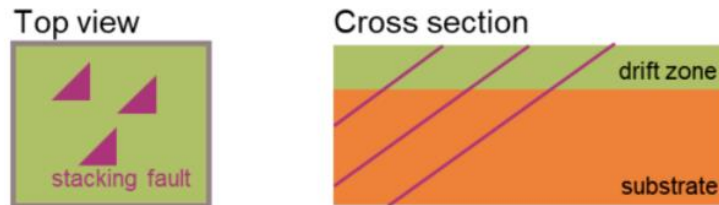


图2-3 SiC器件中的叠层缺陷^[1]

产生 BPD 位错的原因有两个，一个是由于晶体生长中存在热应力，另一个是籽晶中的位错向晶体中的贯穿。另外，生长过程中工艺的不稳定以及外延杂质都会导致 BPD 位错的产生。4H-SiC 衬底中大部分 BPD 位错在外延过程中会转化为 TED 位错，对于 4° 偏角衬底，转化效率达 99% 以上，只有 1% 左右的 BPD 会贯穿到外延层中并达到外延层表面。

厚的外延层、好的表面形貌和较低的掺杂浓度对提高击穿电压有重要意义。这样的外延片用于制造功率器件，可以极大提高参数稳定性和良率。

2.1.2 SiC MOSFET 离子注入、刻蚀、欧姆接触

当温度在 1800°C 以下时，SiC 材料中杂质原子(除硼原子)的扩散系数非常小，其扩散常数为 $10^{-17}\sim 10^{-15}\text{cm}^2\text{s}^{-1}$ 。为了获得有效的扩散常数，需要 2000°C 以上的超高温。因此，很难使用硅材料类似的扩散方式对 SiC 材料进行选区掺杂，离子注入是目前实现 SiC 选区掺杂的唯一方式，并能通过控制离子注入的能量与剂量实现箱形、埋层和突变结等掺杂分布。但是，高能高剂量的离子注入会造成 SiC 材料严重的晶格损伤，导致 SiC 材料的非晶化，高温激活退火亦不能修复。因此，为了防止离子注入过程中 SiC 材料的非晶化，高能高剂量离子注入常在高温下进行，温度范围一般在 $500\sim 1000^\circ\text{C}$ 。

由于离子注入一方面会对 SiC 材料内部晶格造成一定的损伤，另一方面大部分注入的杂质离子都将处于间隙位置，无法发挥施主或受主的作用。因此，离子注入后常进行高温激活退火以修复晶格损伤，同时将间隙位置的杂质离子移至活性的硅或碳空位，从而激活杂质离子。为了获得高晶格修复

率和高电激活率，高温激活退火温度常大于 1600℃，这会造成 SiC 材料表面硅原子升华从而导致 SiC 表面粗糙度增加，不利于 SiC MOSFET 器件的制造。因此，高温激活退火过程中常在 SiC 表面覆盖碳膜以防止硅原子的升华。粗糙度的增加，会带来栅氧界面态密度的增加，降低器件性能和稳定性。

欧姆接触方面，N 型 SiC 欧姆接触理想接触金属的功函数应低于 4eV，P 型 SiC 欧姆接触理想的功函数应高于 7eV。因此，只能找到少数几种势垒高度合适的接触金属。此外，金属-SiC 的势垒高度还涉及复杂的界面反应，这也反映了形成 SiC 欧姆接触的难度。采用重掺杂氮离子($>5 \times 10^{18} \text{cm}^{-2}$)的 SiC 与 Ni 制备 N 型 SiC 欧姆接触、采用重掺杂 Al 离子($\geq 1 \times 10^{20} \text{cm}^{-3}$)的 SiC 与 Ni 制备 P 型 SiC 欧姆接触已经广泛应用于 SiC 功率器件工业制造中^[2]。

在器件制备工艺过程中，高温退火工艺涉及 SiC 晶体退火、离子注入后退火 PIA 和氧化后退火 POA 等，SiC 晶体退火温度很高，接近 SiC 形成温度，退火后 SiC 中会形成与 C 或 Si 有关的深能级，降低载流子寿命。同时，高温退火可能产生层错缺陷或使层错扩展。POA 可使来自衬底的 TSD 转化为表面缺陷，如 Frank 型 SF 或胡萝卜缺陷。

2.1.3 SiC MOSFET 栅氧界面

尽管 SiC MOSFET 产品的商业化趋势更加明显，但研究者对 SiC MOSFET 器件界面机理等解释尚未成熟，栅氧可靠性问题仍旧是 SiC MOSFET 研究领域关注的热点。

SiC MOSFET 器件栅氧界面处的势垒高度较低，较低的势垒高度使沟道中的载流子更容易穿过势垒来到氧化层中，影响栅氧化层的质量。另一方面，SiC 在氧化过程中残留在界面处的 C 元素会 SiC/SiO₂ 的界面处带来较高的界面态密度。高密度的界面态会影响 SiC MOSFET 器件的性能和可靠性。界面处的电荷陷阱通过俘获电荷降低载流子密度，通过库伦散射降低载流子迁移率，影响 SiC MOSFET 的电流能力和跨导等特性；界面态电荷陷阱在器件开启和关断的过程中俘获和释放载流子，使得 SiC MOSFET 的阈值电压发生漂移。栅氧化层和界面态电荷陷阱增大 SiC MOSFET 在高电场下的隧穿电流，增大漏电流、击穿栅氧介质导致器件失效^[3]。

利用先进的氧化物钝化技术，目前 SiC/SiO₂ 界面中的界面态密度 D_{its} 可以达到 10^{11} - $10^{12} \text{cm}^{-2}/\text{eV}$ ，而对于典型的 Si/SiO₂ 界面中的界面态密度 D_{its} 通常为 10^9 - $10^{10} \text{cm}^{-2}/\text{eV}$ ，比 Si 器件高得多 2-3 个数量级。由于 SiC 器件工作温度和电场高于 Si 器件，因此性能优良的 SiC/SiO₂ 界面对器件的高温可靠性至关重要。

目前，主要采用的方法有氧化后退火、选用其他晶面等。在氧化工艺后，立即在高温 H₂ 环境中退火，可以降低界面态密度。氧化后进行氮化工艺是将碳化硅片放在 NO、N₂O 等含氮的气体环境中退火或直接在 NO、N₂O 中进行氧化工艺，可以有效降低界面态，改善界面质量。科锐和罗姆公司在它们的商业化 MOSFET 中采用的正是这种方式。选用 (000 $\bar{1}$)、(11 $\bar{2}$ 0) 等非基矢面制作时，采用湿氧氧化工艺可以改善界面；选用 SiC(0001) 晶面进行高温干氧氧化可以有效降低导带边缘附近的界面态^[4]。

对于 SiC MOSFET，SiC-SiO₂ 界面存在大量的缺陷，会导致在栅极施加电压之后导致电荷之间的库仑作用受到影响，从而造成阈值电压漂移，阈值电压正向漂移会使器件的导通电阻 $R_{\text{DS(on)}}$ 增大，增大器件的导通损耗；阈值负向漂移会导致器件提前导通，SiC MOSFET 的开关速度快，一旦误开通，可能会导致整个系统崩溃。阈值电压漂移是 SiC MOSFET 的可靠性评价的核心指标之一。

由于高禁带宽度以及高的 P 区掺杂浓度，SiC MOSFET 需要相对于 Si MOSFET 更薄的栅极氧化物

2.2 SiC MOSFET 芯片发展趋势与可靠性分析

2.2.1 结终端技术

结终端技术可以缓解主结边缘的电场集中效应，提高击穿效率的同时，降低漏电和面积消耗、降低电荷敏感性。目前结终端技术有很多比如场限环（FLR）、场板（FP）、结终端扩展（JTE）、横向变掺杂（VLD）和槽形终端等。

（1）场限环（FLR）技术

场限环(field limiting ring, FLR)技术是目前 VDMOS 器件普遍采用的一种结终端技术，其在器件有源区的边缘（结终端）处，通过扩散方式增加一些 p 结的延伸结构(FLR)，在器件主结和衬底之间加反偏电压时，主结的耗尽层会向外侧扩展，当此耗尽层扩展到 FLR 时，对其所加电压将由 FLR 分担，因此 FLR 可以非常明显地增加主结耗尽区的曲率半径，改变表面电场曲率，从而增大击穿电压。

（2）场板

电场控制板简称为场板，按材料可以分为金属场板和阻性场板，按结构可分为斜坡形场板、多级场板等。通过采用多晶硅场板这种阻性场板不会在末端产生电场集中，使得非常适合高压器件的制造。

（3）p⁺偏移技术

如图 2-5 所示，该技术是在传统场限环技术上在其中增加一个 p⁺浅结偏移区，避免场限环表面耗尽造成提前击穿。

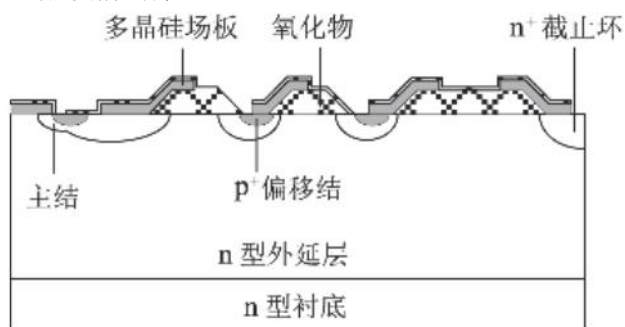


图 2-5 p⁺偏移技术示意图

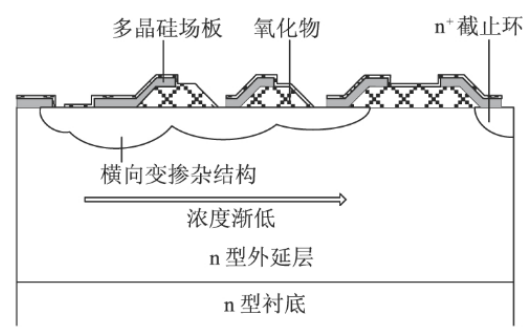


图 2-6 VLD 结构示意图

（4）横向变掺杂（VLD）

如图 2-6 所示，该 VLD 技术通过在器件轻掺杂区域的表面做一个随距离变化的掺杂来降低表面电场，当器件形成反偏时，整个 VLD 全部耗尽，由于 pn 结的耗尽层就会沿着表面向器件外侧扩展，从而大大提高反向击穿电压。

（5）结终端扩展技术（JTE）

如图 2-7 所示，该技术是通过在器件主结重掺杂的一侧，通过轻掺杂而增加结内电荷的方法，通过控制离子注入的条件，以达到精确控制所需要的电荷。

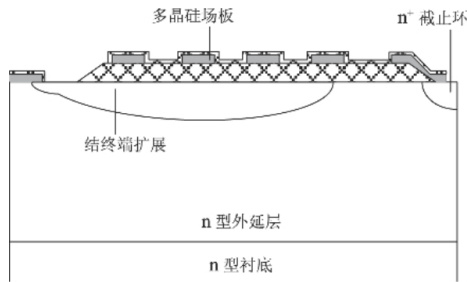


图 2-7 JTE 结构示意图

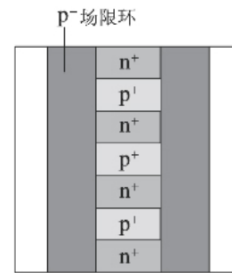


图 2-8 RESURF 结构示意图

(6) RESURF (REduced SURface Field, 降低表面电场) 技术

如图 2-8 所示，该技术是在 p 型场限环重掺杂 p+/n+ 相间的漂移浅结形成的。该技术可以当器件反偏时，这些交替的漂移浅结会相互耗尽，从而大幅降低表面电场峰值，提高了器件的耐压性能，可以有效解决终端区面积过大和器件制作过程中引入过多的界面电荷造成器件雪崩能量退化的问题。

2.2.2 沟槽型 SiC MOSFET

现代功率器件不断朝着更高功率密度、更高温度以及更高工作频率等方向发展，SiC MOSFET 具有高的击穿电压、开关速度和热导率，并且导通电阻低、驱动功率低等特性，是当前具有发展潜力的宽禁带半导体器件。平栅型 SiC MOSFET 技术相对成熟，已经获得了广泛应用，但平栅型 MOSFET 沟道迁移率低，且导通电阻较大，不利于电子器件向小型化、轻量化发展。沟槽型 MOSFET 需要在外延层上刻蚀形成沟槽，在沟槽表面通过氧化形成栅氧化层，沟槽结构可以增加单元密度，没有 JFET 效应，寄生电容更小，开关速度快，开关损耗非常低；而且，通过选取合适沟道晶面以及优化设计的结构，可以实现最佳的沟道迁移率，明显降低导通电阻。但在 SiC MOSFET 的发展过程中，不断面临挑战，例如工艺水平和栅氧可靠性等问题，在产业界也不断有厂商提出新的器件结构解决部分问题，设计出高性能沟槽型 SiC MOSFET 是 SiC 器件发展的必经之路。

(1) Rohm 双沟槽结构

Rohm 公司在 2011 年提出了双沟槽 SiC MOSFET 结构（如图 2-9 所示），并在 2015 年实现量产。栅、源极均采用沟槽结构，反偏时利用源槽底部的 P 阱耗尽耐压的同时调制沟槽底部栅氧电场分布，改善击穿特性，但器件的栅漏交叠面积大，反馈电容较大。栅极沟槽底部氧化层外二侧 P-体区下移，下移 P-体区和沟槽底部附近的 N-区漂移层的 PN 结，形成耗尽层，也就是空间电荷区，通过仿真结果可以看出该结构有效降低栅极沟槽底部氧化层内的工作电场强度，并且该结构相比 Rohm 上一代产品导通电阻降低了 70%。

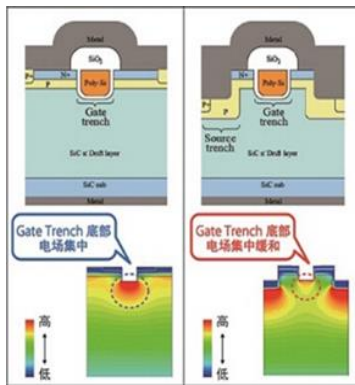


图 2-9 Rohm 双沟槽型 SiC MOSFET 结构与一般单沟槽 MOSFET 对比

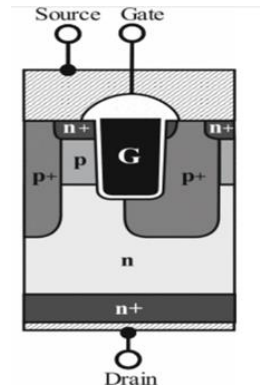


图 2-10 Infineon 单槽型 SiC MOSFET 结构

(2) Infineon 单沟槽结构

Infineon 公司在 2017 年 29 届 IEEE ISPSD 会议上提出了 1200V/45mΩ 的非对称沟槽结构 SiC MOSFET，如图 2-10 所示。利用 4H-SiC 迁移率更大的(11 $\bar{2}$ 0)晶面研制了击穿电压 1200V，导通电阻 45mΩ 的功率器件，栅极沟槽底部氧化层外 P - 体区单侧下移，半包裹栅极沟槽底部区域，下移 P - 体区和沟槽底部附近 N - 区漂移层的 PN 结，形成耗尽层。该结构在减小芯片面积的同时提高了短路可靠性，但较大的栅源电容影响着器件的开关性能。

(3) 普渡大学 Integral Oxide Protection 综合氧化保护结构

普渡大学 J. A. Cooper 团队设计了 P 型屏蔽区完全包裹栅槽的沟槽型 SiC 功率 MOSFET，并结合结终端扩展技术显著提高了器件阻断特性，如图 2-11 所示。该结构改进的部分有三个：整个栅极沟槽氧化层外，包括底部和侧壁，使用低掺杂薄层 N - 型 SiC，把栅极氧化层隔开；栅极沟槽下部，再增加一层 P + 型 SiC；P - 体区和 N - 漂移层之间增加一层高掺杂 N + 型 SiC。器件处于反向偏置时，栅极沟槽下面新增 PN 结形成空间电荷区，也就是耗尽层，可以对栅极氧化层起到屏蔽电场作用，将栅极氧化层内最大电场转移到 PN 结，减小栅极氧化层内的工作电场，甚至让栅极氧化层电场减少到 0，有效消除栅极氧化层被电场击穿可能性。栅极沟槽侧壁薄层低掺杂 N - 型 SiC，可以降低 SiC-SiO 界面态对沟道电子散射作用，提高电子迁移率，降低器件导通电阻。器件导通时，P - 体区和 N - 漂移层之间新增高掺杂 N + 型层，促进沟道电子进入漂移区后立即扩展，进一步降低导通电阻。

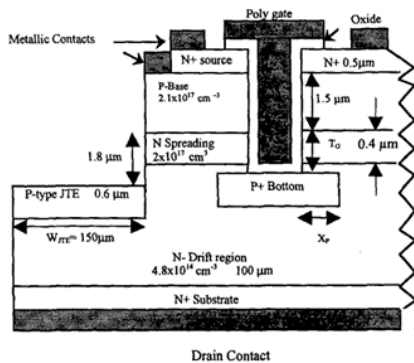


图 2-11 4H-SiC UMOSFET 结构截面

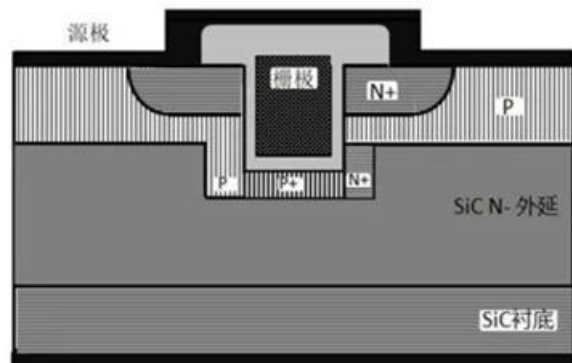


图 2-12 Mitsubishi 沟槽结构

(4) Mitsubishi 沟槽结构

采用非对称沟槽结构，栅极沟槽底部区域有 3 个结构：底部 P+ 电场限制结构，侧接地电场限制层（图 2-12 中沟槽底部左侧 P 区）、高浓度 N+ 掺杂导电区（图 2-12 中沟槽底部右侧 N+ 区）。栅极沟槽底部的 P+ 电场限制结构和 N-漂移层形成 PN 结，PN 结的耗尽层、也就是空间电荷区，将加在栅极氧化层的电场强度降低到普通平面结构的水平，侧接地电场限制层将电场限制层连接到源极，形成侧接地，实现高速开关。高浓度掺杂导电区，降低电流通路的导通电阻。

(5) 日本住友

如图 2-13 所示，2014 年日本住友 Keiji Wada 等人利用迁移率更大的 (0338)晶面研制了击穿电压 1700V、特征导通电阻 $3.5\text{m}\Omega\cdot\text{cm}^2$ 的 V 型槽栅结构，栅极沟槽二侧 P- 体区部分下移，使用高掺杂 P+，在沟槽底部氧化层外附近区域，下移 P+ 区截面积变宽，延伸到栅极沟槽底部氧化层外附近区域，让下移的 P+ 区和栅极沟槽底部附近的 N- 漂移层形成 PN 结，PN 结的耗尽层，降低栅极沟槽底部氧化层内的电场强度，沟槽采用 V 形结构。在漂移区引入 P 型埋层可以有效地将峰值电场从 V 槽拐角电场峰值转移至体内 PN 结，改善击穿特性。2015 年日本住友 Kosuke Uchida 等人在上述结构的基础上，加厚 V 槽底部栅氧并调整沟槽和 P+屏蔽区的孔径研制出击穿电压 1200V、特征导通电阻 $2\text{m}\Omega\cdot\text{cm}^2$ 的 4H-SiC V 型沟槽 MOSFET。然而(0338)晶面难以寻找，制备工艺比较复杂。这些结构核心就是在栅极沟槽底部或栅极沟槽底部附近区域，增加 P 型结构，形成耗尽层（空间电荷区），从而，把栅极沟槽底部氧化层电场，部分转移到耗尽层中，减小栅极沟槽底部的电场。

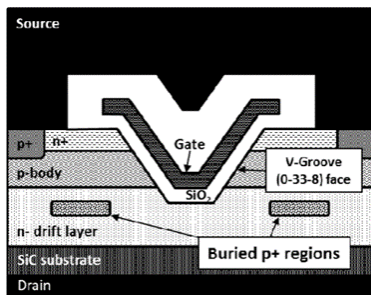


图 2-13 日本住友沟槽结构

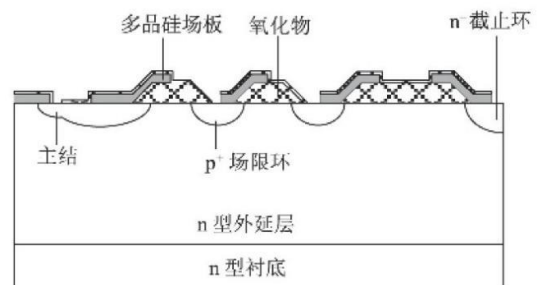


图 2-14 场限环技术

沟槽型 SiC MOSFET 还需要在实际应用场景中应对多变的负载情况以及极限条件，例如开关应力、短路应力等，沟槽结构栅极沟槽底部氧化层的工作电场强度高，在高的反向偏置电压下，此处成为器件最薄弱的环节。沟槽结构 SiC MOSFET 的技术演进方向，就是采用优化的内部结构，减小沟槽底部氧化层工作电场强度。

2.2.3 SiC MOSFET 特征参数及芯片失效模式

(1) 动静态参数

SiC MOSFET 器件静态特性相关参数的测量，对于器件的可靠、稳定生产和安全使用有重要意义。SiC MOSFET 器件的静态测量参数主要包括：器件漏源极击穿电压 $V_{BR(DS)}$ 、漏极漏电流 I_{DS} 、栅极阈值电压 $V_{GS(th)}$ 、栅极漏电流 I_{GSS} 、导通电阻 $R_{DS(on)}$ 、体二极管导通压降 V_T 等。由于器件的静态特性参数与器件结温存在强相关性，因此器件静态参数的测量均要在指定结温 T_{vj} 下完成。同时，为了全面的评估器件静态特性与温度的关系，其静态参数的测量，需要在不同结温下完成。SiC MOSFET 器件静

态参数的测量结果是器件出厂测试筛选合格器件的重要标准。同时，器件静态参数的变化也是器件老化以及可靠性测试的重要指征指标。

SiC MOSFET 在应用过程中，主要工作在开关模式下。相比于硅器件，碳化硅器件开关过程更快，开关损耗更低，导热性能更好。SiC MOSFET 的动态性能测量参数主要包括：栅极电荷 Q_G 、输入电容 C_{iss} 、输出电容 C_{oss} 、反馈电容 C_{rss} 、开通时间 ($t_{d(on)}$, t_r , t_{on})；关断时间 ($t_{d(off)}$, t_f , t_{off})；开通能量 E_{on} 与关断能量 E_{off} ；雪崩能量测试 E_{AS} 等。由于器件的动态特性参数与器件结温存在强相关性，因此测量均要在指定结温 T_{vj} 下完成。同时，为了全面的评估器件动态特性与温度的关系，其动态参数的测量，需要在不同结温下完成。

(2) 主要失效模式

① 栅氧可靠性失效

SiC/SiO₂ 界面质量是限制 SiC 器件发挥材料性能的主要障碍之一，热氧化工艺被广泛应用于栅氧化层的制备，但由于 SiC 器件表面在氧化时与 Si 器件不同，SiC/SiO₂ 界面的存在大量的悬挂键，使得在热氧化过程中界面存在大量缺陷。在热生长的氧化层过程中存在多种正电荷：(a) 可动离子；(b) 固定氧化物电荷；(c) 氧化物陷阱电荷；(d) 界面态电荷。由于 SiC 材料的特性，在制备氧化层时会产生大量界面态电荷，这些界面态电荷和陷阱电荷的存在会在器件工作时捕获沟道中的电荷，降低沟道迁移率，甚至不断损伤栅氧，导致栅氧的失效。

② 阈值电压漂移失效

SiC MOSFET 工作于高频状态下导致栅极频繁在高电平与低电平之间切换，同时由于栅氧化层的界面态电荷密度较大等问题，长时间的栅应力导致阈值电压产生漂移。正向漂移会使器件的导通电阻 R_{DS-on} 增大，增大器件的导通损耗；阈值负向漂移会导致器件提前导通，SiC MOSFET 的开关速度快，一旦误开通，可能会导致整个系统崩溃。

一般会受到高温反向偏置 (HTRB) 应力和高温栅偏置 (HTGB) 应力的影响。SiC MOSFET 在高温反向偏置应力下，其栅极氧化物会受到负向电场应力，在一定电场应力和时间范围内，该应力会使器件的阈值电压向负方向漂移，导致器件在关断时仍存在较大的漏电，加速器件特性退化。SiC MOSFET 在高温正栅偏置应力下，其栅极氧化物会受到正向电场应力，则导致器件的阈值向正漂移，使器件导通电阻增大、功耗增大。

③ 体二极管退化失效

在浪涌电流应力条件下，大电流会在短时间内正向注入体二极管；在非钳位感性开关 (UIS) 应力条件下，大电流会在短时间内反向注入体二极管并同时同时对器件施加高压。大电流在短时间内会产生大量的热能，导致器件发生热失效或者退化。这两种应力都对二极管的可靠性产生了威胁。

④ 高 dv/dt 、高 di/dt 带来的失效

在 SiC 器件研究中，SiC MOSFET 是其中的佼佼者，在电力电子多个应用领域得到研发人员的青睐。SiC MOSFET 具有耐高压、耐高温、开关速度快、散热能力强、开关损耗小等特点。所以基于 SiC MOSFET 的变换器可提高工作效率，减少电能的消耗；提高开关频率，改善输出电流的波形，减小滤波器体积；减小散热器体积，提高功率密度。但是，过快的开关速度使得 SiC MOSFET 开关瞬间的电压变化率 (dv/dt) 或电流变化率 (di/dt) 大幅提高，而对 dv/dt 的影响则较为严重，由此带来一系列问题。

串扰是桥式电路中的常见问题，当半桥中某个开关管动作时，上下管电压发生瞬间变化。互补管的驱动便会由于电压变化率过高在驱动端产生一个附加电压。当附加电压正向增加了驱动电压且使驱动电压达到器件的阈值电压，那么器件便会发生误开通现象，从而导致器件失效。当附加电压反向减小驱动电压且使驱动电压低于器件最大反向驱动电压，那么器件的栅源极便被反向击穿，造成器件失效。

器件开关瞬间，会产生较高频率的电流或电压。线路中的寄生参数与高频电流或电压作用，使得器件产生较严重的开关振荡。器件关断时，寄生电感感应出较大电动势，并带来较大电压振荡。器件开通时，寄生电容与开通电流作用，会带来较大电流振荡。振荡问题导致器件工作的安全区域受限，严重时会导致器件失效。所以如何减小寄生参数至关重要。

电磁干扰包括传导干扰和辐射干扰。当器件动作时，电压瞬间变化，开关管与散热器之间的等效电容感应出较大位移电流。若散热器与地相连，那么位移电流便通过地进入到电网中，从而影响到与之相连的其他设备，造成严重的电磁干扰。当这个位移电流足够大时，其产生的辐射干扰也会干扰附近的设备。除此之外，由此产生的共模电压亦会对负载造成损伤，如电机的轴电压和轴电流现象等。器件开关速度越快，电磁干扰问题越严重。

针对于 dv/dt 较大的问题，目前主要有三种方式：改善 SiC MOSFET 的门极驱动、增加滤波器及使用软开关技术。

2.2.4 SiC MOSFET 芯片的一些评估方法

(1) 加速经时击穿 (TDDB) 试验

加速经时击穿 (TDDB) 试验是目前广泛应用的可靠性试验，器件在不同应力作用下经过一定时间发生失效现象，通过试验所加应力条件以及所经时间的大小对器件的失效模式进行分析，通过试验结果进一步分析早期失效的内在失效机理。对于经时击穿测试 TDDB 的测试过程以及原理很简单，是通过在电介质两端加载一定的电压应力或电流应力，同时对电介质两端的电流或电压进行监控，直至形成导电通路，此时意味着在电介质中发生了击穿现象。为了缩短测试时间，加速电介质的退化过程，通常 TDDB 测试在高温下进行，并且加载的电应力要高于器件正常工作时的应力。图 2-15 为常见的氧化层 TDDB 测试的电流-时间曲线^[8]。

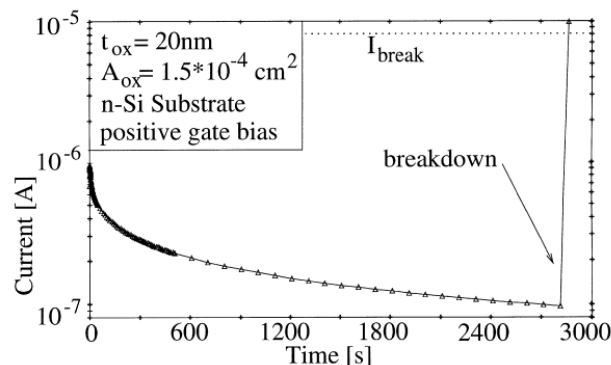


图 2-15 氧化层 TDDB 测试的电流-时间曲线^[8]

(2) 产品研发阶段的摸底试验

一些设计中并未定型的产品，或是需要试验得出产品的极限能力或分析其设计缺陷，需要开展摸底试验，则不能完全按照标准规定的方法和条件进行，需要设计师和可靠性研究人员灵活制定方案，其中步进应力试验是一种常用的方式。

栅极电压步进应力试验是用来评估介电层完整性以及非本征失效率的方法，主要是使用了不同栅压等级进行应力试验，测试时长较快。以高温栅偏试验为例，先将电压设置为最大使用栅电压 V_{GMAX} ，然后栅极电压按规定时间段（每 168 小时）逐步阶梯性递增。为了能够比较不同的设备，选择应用栅电压 V_G 和制造商推荐的使用栅电压 $V_{GUSE}(V_G - V_{GUSE})$ 之间的差异进行表征。通过使用 $V_G - V_{GUSE}$ 方法，可以在每个实验室复制试验结果。 $V_G - V_{GUSE}$ 用于评估应用中栅极过电压的影响。

(3) 老化筛选试验

为了保证 SiC MOSFET 器件产品的可靠性，需要提前挑选出有缺陷、在应用中有外在失效风险的器件，将其筛选出去。SiC MOSFET 的栅极可靠性是困扰器件进一步性能提升的难题之一，进行早期的失效筛选不但要尽可能去除掉具有明显缺陷的低可靠性器件，留下没有外部缺陷的、或只存在非关键外部缺陷的器件，确保高栅氧化层可靠性，通常使用的方法是对每个器件施加预定幅值和时间的高栅极电压应力脉冲来进行筛选^[1,5]。

老化是进行早期可靠性筛选应用最广泛的方法。老化的过程通过给半导体器件施加高应力，如高温、高压等条件，使得器件进行高负荷工作，从而诱导器件中存在的缺陷发生失效。进行老化筛选的器件会提前进入偶然失效区，器件失效率从而有明显的降低，起到失效筛选的作用。如图 2-16 为 SiC 与 Si 器件的浴盆曲线对比图，可以看出 SiC 器件的早期失效区虽然同样有着较高失效率，但是其偶然失效区并没有明显的稳定趋势，失效率随着时间的增加逐渐降低^[5,6]。对于 SiC 器件的早期筛选，老化方法有着明显的缺陷，除了在筛选时长以及成本上损耗过高，还可能出现由于长时间施加高温高压导致的阈值电压和导通电阻漂移现象^[1]。因此，如何能优化老化筛选方法，进行更高效更适合 SiC 器件的早期失效筛选，是器件可靠性研究的重点。

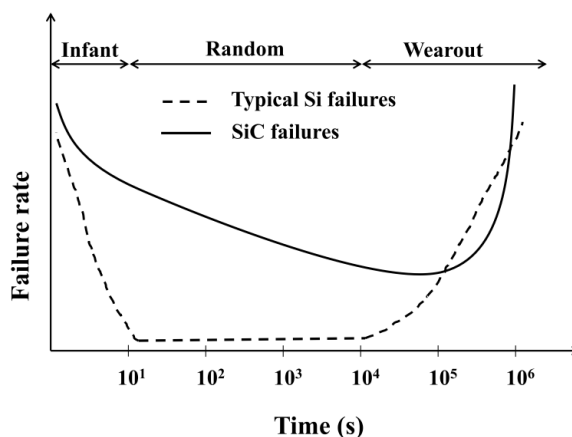


图 2-16 SiC 与 Si 可靠性浴盆曲线对比图^[6]

(4) 马拉松长期应力试验

为了进一步优化应力试验，英飞凌开发了马拉松应力试验，增加了试验的样本量以及试验时长，

如上图 SiC 与 Si 盆浴曲线对比所示，这样的试验使得结果更趋向偶然失效区域，从而一定程度上增大了外在失效概率^[1]。

英飞凌的马拉松试验条件明显区别于 TDDDB，主要是通过给数以千计的器件同时施加位于接近运行条件和类似于典型老化条件的参数区间内的应力来进行。为了满足马拉松试验样品多、时间长这一特点，英飞凌开发出了一种专门的试验系统^[1]，将许多器件放在一个封装里，将许多封装放在一个应力板上，再将多个应力板同时放进一个烘箱里，然后再同时运行多个烘箱，这样很大程度降低了由于大样本量带来的成本问题。图 2-17 是在利用拥有不同外在缺陷密度的、三组不同的 SiC 沟槽式 MOSFET 样品进行的马拉松应力试验中，获得的失效概率的韦伯分布图。

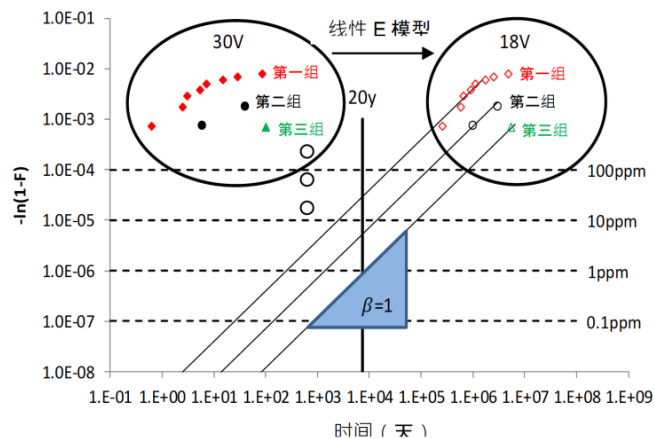


图 2-17 马拉松应力试验的失效概率韦伯分布图^[1]

2.3 SiC MOSFET 封装级可靠性问题

2.3.1 SiC MOSFET 封装结构

(1) 传统封装

SiC MOSFET 的封装主要起到以下作用：(1) 实现芯片的电连接；(2) 构建芯片的传热通道；(3) 保护芯片。良好的封装是保证 SiC MOSFET 芯片性能充分发挥的关键。目前大部分主流商用 SiC MOSFET 仍采用传统的 Si 器件的封装形式，其技术路线主要有两种：(1) 以晶体管轮廓（transistor outline, TO）系列封装为主的单芯片分立器件；(2) 以部件层叠结构为代表的多芯片功率模块。如图 2-18 (a) 所示，在分立器件中，SiC 芯片的漏极通过锡膏回流焊接与引线框架连接，源极和栅极则通过引线键合与对应引脚连接。如图 2-18 (b) 所示，在功率模块中，陶瓷覆铜板（Direct Bonding Copper, DBC）用来完成不同芯片之间的电路拓扑关系。使用焊料连接 SiC 芯片的漏极与 DBC 相应的区域，使用键合引线将源极和栅极连接至对应 DBC 焊盘。图 2-19 展示了目前各大功率器件厂商生产的 SiC MOSFET 分立器件以及模块。

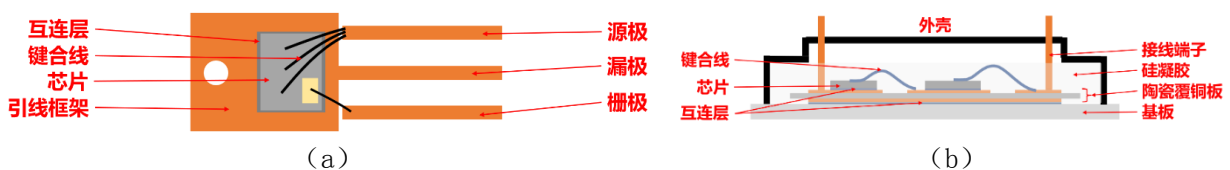


图 2-18 SiC MOSFET 典型的封装结构：(a)分立器件；(b)功率模块

封装形式	TO-247-3P	TO-247-4P	TO-263-7P	TO-268-2L	TOLL
尺寸 (mm)	直插	直插	表面贴装	表面贴装	表面贴装
焊接方式	16*41*5	16*41*5	10.2*15.4*4.5	15.95*18.9*5.0	10*11.5*2.3
封装照片					

(a)

封装形式	HPD	EASY1B	EASY2B	SEMITOP	SEMITRAN S	PIM18
尺寸 (mm)	155*143*29	63*34*16	63*57*12	55*31*15	80*42*30	63*34*16
外观						
封装形式	A1HPM	62mm (1)	45mm	62mm (2)	XM3	PIM18
尺寸 (mm)	55*68*16	106*62*30	108*45*21	110*65*17	80*53*19	94*34*29
外观						

(b)

图 2-19 主流商用 SiC MOSFET 器件：(a) 分立器件；(b) 功率模块

(1) 先进封装

① 先进封装的需求

SiC 材料具有超越 Si 材料的电学和热学性能，SiC MOSFET 芯片具有高开关频率、高工作温度、高击穿电压等特性。使用引线以及焊膏的传统封装方法无法满足 SiC MOSFET 芯片的封装需求。传统封装中的键合引线会产生较大的寄生电感（通常 $>10\text{nH}$ ）。由于开关速度快，SiC MOSFET 在开关瞬态中的 di/dt 值更大，过高的寄生电感会因此造成电压过冲以及振荡，进而引起芯片的电应力、损耗、热应力增以及电磁干扰等问题。由于 SiC MOSFET 源极寄生电流的存在，过大 di/dt 会在源极产生电压，进而造成器件的误导通或者误截止。相对于传统的硅基半导体，以 SiC 为代表宽禁带半导体可以在 500°C 以上的高温环境中正常工作。传统的钎焊料的熔点远低于 500°C ，无法满足高温 SiC 器件芯片互连的要求。

因其独特的性能，SiC 材料对封装提出更高的要求，具体来讲如下：（1）在封装材料选择方面：SiC 器件的工作温度高，芯片互连材料、塑封料、灌封料需要满足高温性能；（2）在电学性能方面：SiC 器件的开关频率高，使用铝带、铜带或者其他新型封装结构减小封装电感；（3）在热学性能方面：SiC 器件所产生的热功率高，需要减小封装中的热阻，增加散热路径。（4）在力性能方面：SiC 器件开关频率高、温度变化范围大，会对封装材料产生较大的疲劳应力。

② 先进封装形式

为了克服传统封装形式的不足，以低热阻、低电感、耐高温为特征的等一些先进 SiC 器件封装形式应运而生。针对 SiC 功率器件封装，国内外科研人员开展了诸多无引线互连技术研究，如倒装焊、

平面式、烧结式、压力接触式等。

新加坡微电子研究所的 Daniel Rhee Min Woo 团队^[9]介绍了使用鸥翼铜夹的双面散热封装形式。如图 2-20 所示，封装结构的底部存在着与散热板相连的 DBC，SiC MOSFET 的栅极与源极通过倒装焊技术与 DBC 连接，漏极使用鸥翼铜夹连接至 DBC；封装的顶部为塑封料(见图 2-20(a))，或者在塑封料里面镶嵌金属片作为散热板(见图 2-20(b))。

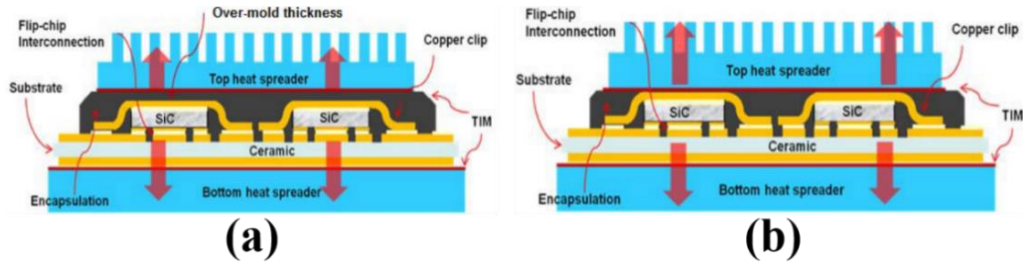


图 2-20 鸥翼铜夹双面散热封装：(a) 顶面为塑封料；(b) 顶面为金属片^[9]

美国橡树岭国家实验室的 Zhenxian Liang 团队^[10]开发了双面散热半桥模块。如图 2-21 所示，SiC MOSFET 的漏极和源极、栅极通过焊接分别于两块 DBC 相连，两个散热板直接连接至这两个 DBC 的外部，实现双面散热。

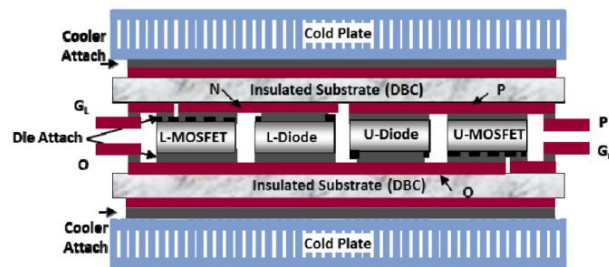


图 2-21 双 DBC 式双面散热封装^[10]

为了减小模块中因芯片与 DBC 刚性连接而产生的应力，陆国权团队^[11]在弗吉尼亚理工大学的团体提出了一种使用了纳米银缓冲块的双面散热半桥模块。如图 2-22 所示，两颗 SiC MOSFET 的漏极通过烧结银与下侧 DBC 连接；源极与上侧 DBC 之间引入了预先烧结好的纳米银缓冲块，通过烧结银实现缓冲块与源极、DBC 的连接；上下桥臂的连接也引入了缓冲块。

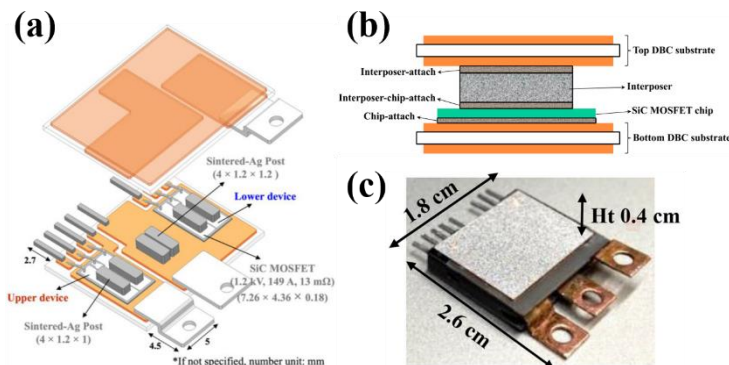


图 2-22 烧结银缓冲双面散热平面封装：(a) 结构图；(b) 截面图；(c) 样品图^[11]

在多芯片的封装中，会存在热耦合以及不均流等问题。西安交通大学的王来利团队^[12]提出了一种交错平面封装结构。如图 2-23 所示，通过铜铝铜金属块完成电气连接，实现高压、或者低压侧 4 个并联 SiC MOSFET 的电流交错分布。交错结构具有低回路电感、平衡电流、低热阻/耦合热阻等优点。

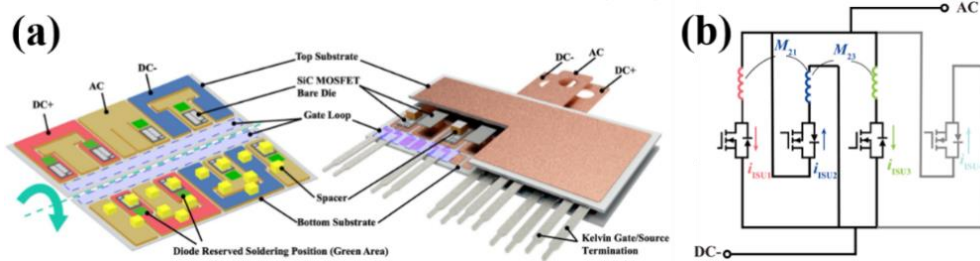


图 2-23 交错平面封装：(a)结构图；(b)电路图^[12]

王来利团队^[13]制造了使用铜夹的多芯片半桥模块。具体的封装形式如图 2-24 所示，SiC MOSFET 芯片的漏极通过烧结银连接至 DBC，芯片的源极和栅极分别通过 SAC305 与功率铜夹/栅极铜夹连接，铜夹的另一侧通过 SAC305 与 DBC 连接。为了减小热阻以及电感，该团队还优化了芯片分布以及电流传导路径。

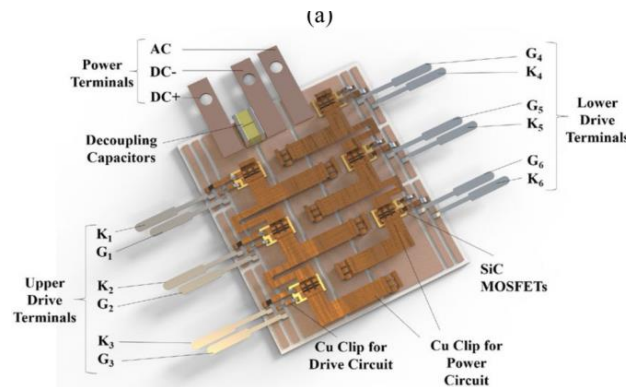


图 2-24 多芯片铜夹半桥模块^[13]

SiC 芯片体积小，功率高，因此热流密度集中。为了分散热流，提高散热效率，王来利团队^[14]将 SiC 芯片直接焊接于蒸汽腔相变散热器（图 2-25）。通过蒸汽腔相变散热器有效的提高散热能力，在热功率密度为 632 W/cm² 时，芯片的最高结温没有超过最大额定值。

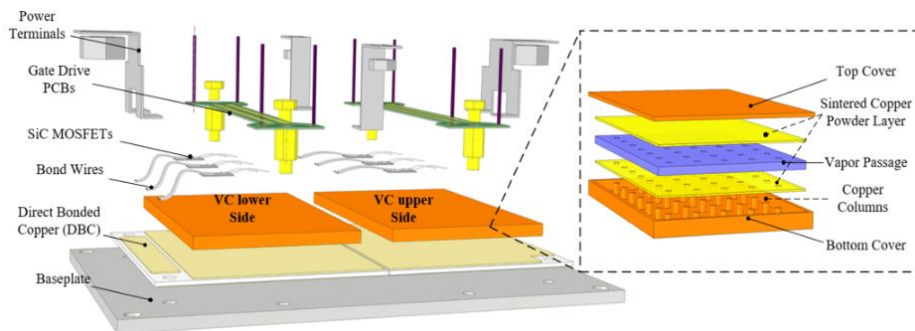


图 2-25 蒸汽腔相变散热器^[14]

中科院微电子所侯峰泽团队^[15]开发出了一款扇出板级 PCB 埋入封装的半桥模块（图 2-26）。该封装主要由层压板、Cu 再互连层、光可成像电介质、阻焊层组成。SiC MOSFET 埋入 PCB 中，通过 Cu 再互连层和盲孔、通孔实现芯片的电气连接。随后他们使用蚁群优化-反向传播神经网络方法优化了该模块中的芯片分布^[16]。

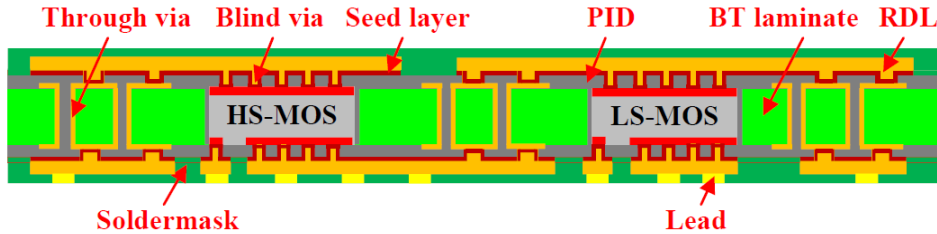


图 2-26 扇出板级 PCB 埋入封装^[15]

德国西门康公司的 Thomas Stockmeier 等人^[17]开发了 SKiN 的封装技术，如图 2-27 所示，他们同样采用 FPC 基板取代了铝键合线，并通过 FPC 基板将逻辑电路和功率回路隔离开了。FPC 基板-SiC 功率器件、SiC 功率器件-DBC 基板以及 DBC 基板-热沉之间均采用烧结银进行键合。

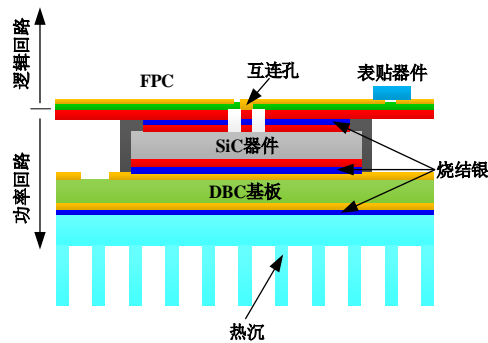


图 2-27 SiC SKiN 封装结构示意图^[17]

华中科技大学的 Zhizhao Huang 等人和阿肯色大学的 Fang Luo^[18]提出了一种基于 DBC 和 FPC 混合基板的 1200 V/120 A 的 SiC 半桥功率模块，其封装结构示意图如图 2-28 所示。从图中可以看出，因 FPC 板不同层磁耦合效应，通过版图优化，半桥模块的寄生电感可降至 0.79 nH。相比传统商用功率模块，此模块的电压过冲下降了约 50%，在相同去耦电容和驱动条件下，模块的开关损耗约是商用模块的 1/3。

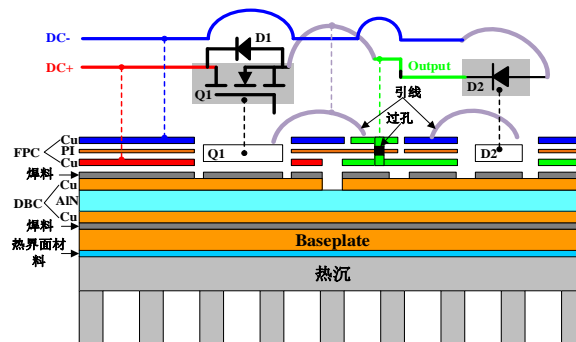


图 2-28 基于 DBC 和 FPC 混合基板的 SiC 功率模块^[18]

浙江大学的朱楠等人^[19]提出了一种 SiC MOSFET 压力接触互连技术，如图 2-29 所示，SiC MOSFET 的正面电极采用了一种尺寸较小的弹性压针（fuzz button）实现压力接触，为确保压力弹针的精确定位，将其插入压力接触控制层，然后，连接至多层上基板，从而可将 SiC MOSFET 的栅极和源极分别连接至驱动电路和顶板上，实现了驱动与功率回路分开，减小了共源极电感，提高了器件的开关速度。

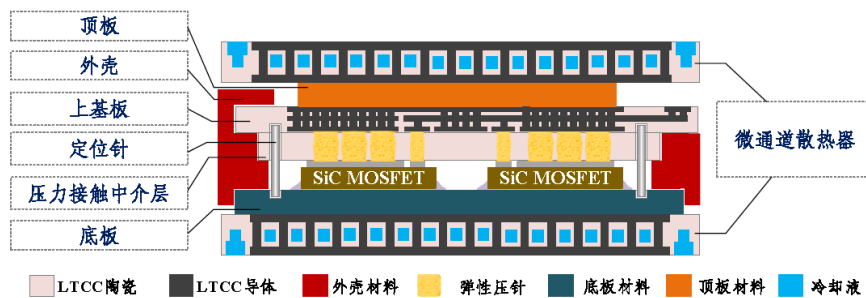


图 2-29 压接式 SiC MOSFET 封装结构^[19]

新加坡微电子研究院的唐功跃等人^[20]将 SiC 功率器件嵌入至活性金属焊接（Active Metal Brazing, AMB）陶瓷基板内，通过定制的铜片实现 SiC MOSFET 和基板金属层的电气连接，如图 2-30 所示。通过缩短 SiC MOSFET 和液冷散热器的传热路径，以及采用双面液冷的方案实现高性能散热。仿真结果表明：相比传统功率模块，采用单面散热方案时，嵌入式封装结构结至外壳的热阻降了约 50%，采用双面散热方案时，热阻可进一步降低 20%。

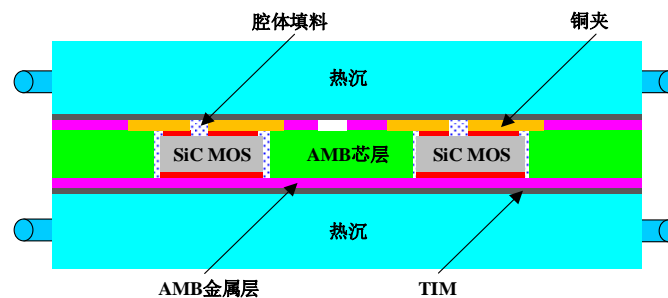


图 2-30 AMB 基板嵌入 SiC 功率模块双面散热结构示意图^[20]

浙江大学的 Yao Chang 等人^[21]提出了一种紧凑的三明治压接型 SiC 功率模块。图 2-31(a)和(b)分别显示了内含 SiC 二极管和 SiC MOSFET 的封装结构。为缓解热膨胀系数（CTE）失配引起的热应力，将低 CTE 的金属钼块夹在 SiC 功率器件和顶部铜母线之间，金属钼片和铝片夹在 SiC 功率器件相反面和底部铜母线之间，其中，铝片用来均衡压力。在大电流工况下，铝片和钼片可以和芯片形成共晶合金避免短路。为确保封装的电气绝缘性，采用 PET 薄膜夹在压接型封装结构中，并采用 PEEK 螺栓固定封装体。针对 SiC MOSFET，采用弯折的插针实现栅极互连。

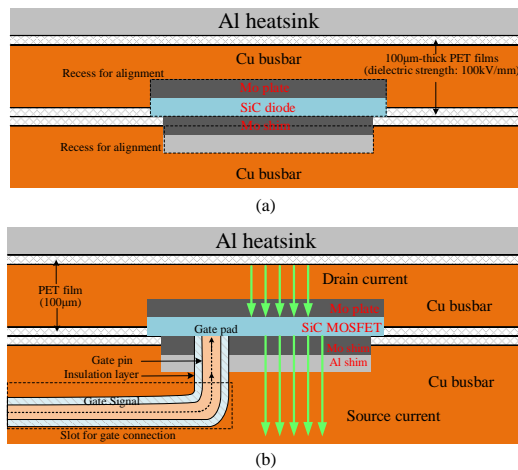


图 2-31 三明治压接型 SiC 功率模块：(a)SiC 二极管结构；(b)SiC MOSFET 结构^[21]

图 2-32 (a) 和 (b) 显示了基于转移塑封的 SiC 功率模块双面散热结构示意图，芯片键合均采用纳米银烧结技术，其中 (a) 为无 DBC 基板的 SiC 功率模块。为缓解在高温环境下的热应力，采用两个 DBC 基板穿插在功率模块内，如 (b) 所示。仿真和实验结果显示：DBC 基板可以有效降低功率模块的热应力，在 65~250°C 温度范围可实现 20000 次的功率循环^[22]。

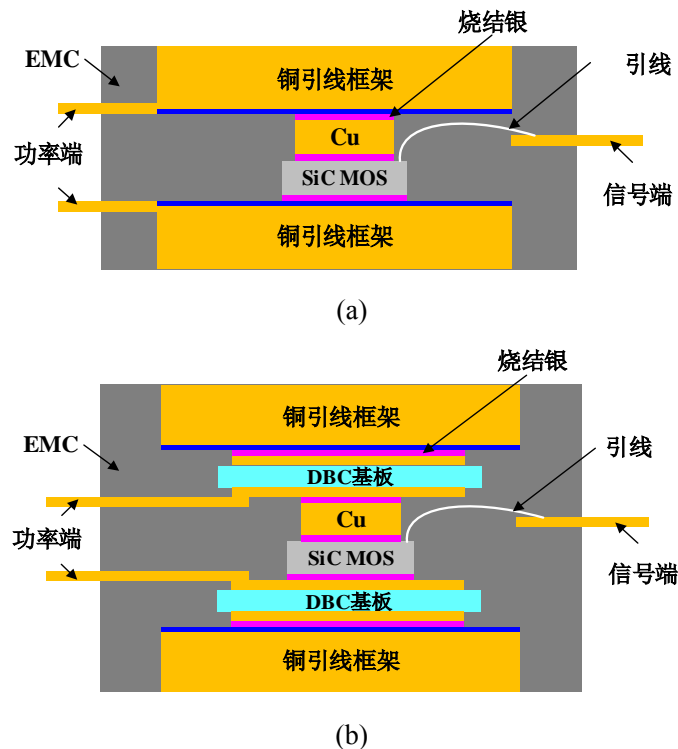


图 2-32 基于转移塑封的 SiC 功率模块双面散热结构示意图：(a)对标模块；(b)内插 DBC 基板可缓解热应力的高温模块^[22]

美国阿肯色大学的 Sayan Seal 等人^[23]展示了一种集成无引线 SiC MOSFET 功率模块，如图 2-33 所示。SiC MOSFET 通过铜连接器倒装焊接在转接板上，栅极驱动集成在转接板背面，形成一个低电感的开关回路。为实现电气绝缘，他们将一片 635 µm 厚的 AlN 陶瓷垫片夹在漏极和散热器之间。通过电

性能评估发现，在 24 V/ns 关断速率下，电压过充低于 5%。

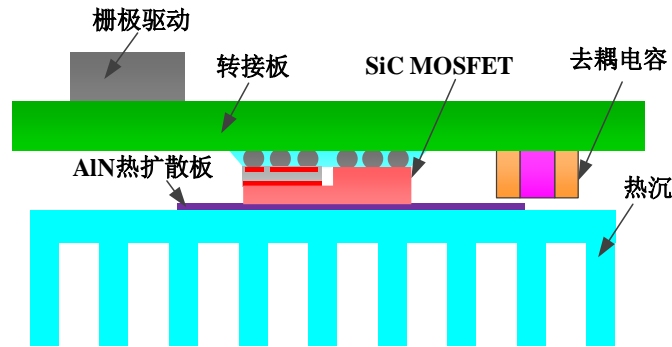


图 2-33 一种集成无引线 SiC 集成功率模块^[23]

2.3.2 SiC MOSFET 封装材料

随着 SiC 器件在新能源工业领域的应用，电力电子器件的耐压耐流等级、极限工作温度、工况效率均有不同程度提升。而这对器件在高温、高压下保持稳定的工作提出了挑战。作为封装材料的核心部件，具有高导热、高介电性能的新型陶瓷基板、塑封材料、烧结材料等近年来成为了关注焦点。

封装结构往往是不同材料之间通过机械、化学连接的多层结构。器件工况时，芯片产生的大量的热主要通过焊料层（烧结层）、覆铜板、底板、塑封层层传导，因为各种材料热膨胀系数若不匹配，在高低温环境下的热胀冷缩程度较大，其间产生的极高的热应力是导致模块分层失效的核心因素。

SiC MOSFET 封装中采用了和传统封装形式不同的新材料，其中纳米银烧结在 SiC MOSFET 封装已经规模化应用。银颗粒达到纳米级时，具有很高的表面活性和表面能，这使得纳米颗粒的烧结温度远低于银自身的熔点，但其烧结后形成的材料具有和块体银材料相似的熔点和性能。因其特点为低温工艺，高温服役，因此具有很好的热导率、导电性、抗腐蚀性及抗蠕变性能，特别适合作为大功率产品的互连材料。

陶瓷覆铜基板是将高导电无氧铜在高温下直接键合到陶瓷表面而形成的一种复合金属陶瓷基板，既具有陶瓷的高导热、高电绝缘、高机械强度、低膨胀等特性，同时具有无氧铜金属的高导电性和优异的焊接性能，并能刻蚀出各种图形，是电力电子器件中一种不可或缺的关键封装材料。目前，主要有 3 种陶瓷覆铜基板，分别是氧化铝（ Al_2O_3 ），氮化铝（AlN）和氮化硅（ Si_3N_4 ）陶瓷覆铜基板。对 SiC MOSFET 封装主要需求为良好的热导率、与 SiC 相匹配的热膨胀系数、较高的抗弯强度，并可实现厚铜在陶瓷上的覆接。

SiC MOSFET 封装因采用银烧结、陶瓷覆铜基板等新材料，高温、高压、高频等方面的性能参数大大提高后，对应的可靠性验证需要采用相对于 Si 器件更加严苛的测试条件，包括功率循环、温度循环、冷热冲击等测试方法。之后，需要对试样进行进一步的剪切破坏试验、热阻测试实验、声学扫描或 X 射线检测实验，从不同角度表征各层界面分层失效对封装器件性能带来的影响。

功率循环是让芯片间歇流过电流产生间隙发热功率，从而使芯片温度波动。功率循环对模块损伤的机理，主要是键合线/层热膨胀系数与芯片表面铝层热膨胀系数不同，芯片热膨胀系数与陶瓷覆铜基板不同导致的。损伤的结果主要是键合线/层脱落，断裂，芯片焊层分离。

温度循环是验证封装器件可靠性的核心手段，在测试过程中会通过快速、周期性

的高、低温变换环境，主动激发器件不同材料之间的热变形和热应力，从而在较短时间内加速由材料热应力对结构造成的破坏。

2.3.3 SiC MOSFET 封装级失效模式

(1) 键合线失效

碳化硅器件和模块中通常有两种失效机制。一是键合线与 DCB 上表面界面处的键合线断裂。键合线断裂是由于交替加热和冷却引起的。温度循环会导致键合线的反复膨胀和收缩。当热机械变形积累到一定程度时，就会出现裂纹。因此，在与 DCB 上表面连接的键合线尾处发现了断裂。另一种是键合线与碳化硅芯片界面处的键合线剥离。这一机制是由于键合线和碳化硅之间的 CTE 不匹配导致的键合线失效，以及欧姆自热效应。当芯片表面结构的变化逐渐累积到一定程度之后，键合线将与碳化硅发生分离。此外，由于寄生电阻和较高的碳化硅电流密度，界面处的空隙和裂纹也会逐渐诱导键合线发射。

键合线的剥离通常会导致导通电阻的显著增加，因此可以用 MOSFET 器件/模块的导通电压 V_{ds_on} 作为其失效判据。通常 V_{ds_on} 增加 20% 即可认为键合线失效。

(2) 焊料层失效

焊料层包括碳化硅模块和 DCB 之间的连接，以及 DCB 和基板的连接。由于碳化硅与焊料之间的 CTE 不匹配，DCB 上层铜与焊料之间，剪应力逐渐使焊料层中产生裂纹和空隙。这些裂纹和空隙将减少模具和 DCB 铜之间的有效导热面积。结果表明，芯片模-DCB 焊料的热阻性增加，导致模接温度升高。随着空洞的增加，这种局部加热过程加速了芯片损伤。碳化硅 MOSFET 焊料层退化过程中，结点情况下的热阻抗已经被证实随着模 DCB 焊层，基板底板焊层的退化而增加。

焊料层中产生的裂纹和空隙会导致热阻抗的增加，因此结壳热阻的增加可以作为焊料层失效的判据。通常结壳热阻增加 10~20% 即可认为焊料层失效。

(3) 芯片表面重建

包括铝和 SiC 在内的材料之间的热膨胀系数不匹配，不仅会导致键合线连接处的封装疲劳，还会导致表面金属化发生疲劳。由于 Al (22ppm/K) 的 CTE 远高于 SiC (4.3ppm/K)，芯片表面的铝层受到热机械应力。在结温升高时，器件的铝表面在产生的应力下发生塑性变形，而碳化硅衬底仍处于弹性状态。由温度偏移引起的铝层变形通常会导致裂纹扩展和 $R_{ds(on)}$ 上升。因此，系统热管理受到负面影响，并触发故障模式，如断路和温度过高。

参考文献

- [1] 《英飞凌如何控制和保证基于 SiC 的功率半导体器件的可靠性》,白皮书,2020 年 7 月.
- [2] 陈喜明,高压场控型碳化硅功率晶体管的设计与制造[D],电子科技大学,2021.
- [3] 刘建君;陈宏;丁杰钦;白云;郝继龙 SiC MOSFET 高温栅氧可靠性研究,电源学报,2021-08-27.
- [4] 侯子婕,SiC MOSFET 器件设计及阈值电压稳定性研究,电子科技大学,2021.
- [5] 张莉萍.半导体器件早期失效筛选方法[J].中小企业管理与科技(下旬刊),2021(03):137-138+141.

- [6] Z. Chbili et al., "Modeling Early Breakdown Failures of Gate Oxide in SiC Power MOSFETs," *IEEE Transactions on Electron Devices*, vol. 63, no. 9, pp. 3605-3613, 2016, doi: 10.1109/ted.2016.2586483.
- [7] 《英飞凌如何控制和保证基于 SiC 的功率半导体器件的可靠性》，白皮书，2020 年 7 月。
- [8] S. Ganguly et al., "Negative Gate Bias TDDDB evaluation of n-Channel SiC Vertical Power MOSFETs," presented at the 2022 IEEE International Reliability Physics Symposium (IRPS), 2022.
- [9] D. R. M. Woo, H. H. Yuan, J. A. J. Li, L. J. Bum, and Z. Hengyun, "Miniaturized Double Side Cooling Packaging for High Power 3 Phase SiC Inverter Module with Junction Temperature over 220°C," in 2016 IEEE 66th Electronic Components and Technology Conference (ECTC), 2016, pp. 1190-1196. doi: 10.1109/ECTC.2016.396
- [10] Z. Liang, "Planar-bond-all: A technology for three-dimensional integration of multiple packaging functions into advanced power modules," in 2015 IEEE International Workshop on Integrated Power Packaging (IWIPP), 2015, pp. 115-118. doi: 10.1109/IWIPP.2015.7295992
- [11] C. Ding, H. Liu, K. D. T. Ngo, R. Burgos, and G. Q. Lu, "A Double-Side Cooled SiC MOSFET Power Module With Sintered-Silver Interposers: I-Design, Simulation, Fabrication, and Performance Characterization," *IEEE Transactions on Power Electronics*, vol. 36, no. 10, pp. 11672-11680, 2021. doi: 10.1109/TPEL.2021.3070326.
- [12] F. Yang et al., "Interleaved Planar Packaging Method of Multichip SiC Power Module for Thermal and Electrical Performance Improvement," *IEEE Transactions on Power Electronics*, vol. 37, no. 2, pp. 1615-1629, 2022. doi: 10.1109/TPEL.2021.3106316.
- [13] L. Wang et al., "Cu Clip-Bonding Method With Optimized Source Inductance for Current Balancing in Multichip SiC MOSFET Power Module," *IEEE Transactions on Power Electronics*, vol. 37, no. 7, pp. 7952-7964, 2022. doi: 10.1109/TPEL.2022.3141373.
- [14] W. Mu et al., "Direct Integration of Optimized Phase-Change Heat Spreaders Into SiC Power Module for Thermal Performance Improvements Under High Heat Flux," *IEEE Transactions on Power Electronics*, vol. 37, no. 5, pp. 5398-5410, 2022. doi: 10.1109/TPEL.2021.3125329.
- [15] F. Hou et al., "Fan-Out Panel-Level PCB-Embedded SiC Power MOSFETs Packaging," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 8, no. 1, pp. 367-380, 2020. doi: 10.1109/JESTPE.2019.2952238.
- [16] Y. Qian, F. Hou, J. Fan, Q. Lv, X. Fan, and G. Zhang, "Design of a Fan-Out Panel-Level SiC MOSFET Power Module Using Ant Colony Optimization-Back Propagation Neural Network," *IEEE Transactions on Electron Devices*, vol. 68, no. 7, pp. 3460-3467, 2021. doi: 10.1109/TED.2021.3077209.
- [17] T. Stockmeier, P. Beckedahl, C. Göbl, and T. Malzer, "SKiN: Double side sintering technology for new packages," in 2011 IEEE 23rd International Symposium on Power Semiconductor Devices and ICs, 2011, pp. 324-327. doi: 10.1109/ISPSD.2011.5890856
- [18] Z. Huang et al., "A novel low inductive 3D SiC power module based on hybrid packaging and integration method," in 2017 IEEE Energy Conversion Congress and Exposition (ECCE), 2017, pp. 3995-4002. doi:

10.1109/ECCE.2017.8096698

- [19] N. Zhu, H. A. Mantooth, D. Xu, M. Chen, and M. D. Glover, "A Solution to Press-Pack Packaging of SiC MOSFETS," *IEEE Transactions on Industrial Electronics*, vol. 64, no. 10, pp. 8224-8234, 2017. doi: 10.1109/TIE.2017.2686365.
- [20] G. Tang, T. c. Chai, and X. Zhang, "Thermal Optimization and Characterization of SiC-Based High Power Electronics Packages With Advanced Thermal Design," *IEEE Transactions on Components, Packaging and Manufacturing Technology*, vol. 9, no. 5, pp. 854-863, 2019. doi: 10.1109/TCPMT.2018.2860998.
- [21] Y. Chang et al., "Compact Sandwiched Press-Pack SiC Power Module With Low Stray Inductance and Balanced Thermal Stress," *IEEE Transactions on Power Electronics*, vol. 35, no. 3, pp. 2237-2241, 2020. doi: 10.1109/TPEL.2019.2934709.
- [22] K. Sugiura et al., "Reliability Evaluation of SiC Power Module With Sintered Ag Die Attach and Stress-Relaxation Structure," *IEEE Transactions on Components, Packaging and Manufacturing Technology*, vol. 9, no. 4, pp. 609-615, 2019. doi: 10.1109/TCPMT.2019.2901543.
- [23] S. Seal, A. K. Wallace, A. M. Dearien, C. Farnell, and H. A. Mantooth, "A Wire Bondless SiC Switching Cell With a Vertically Integrated Gate Driver," *IEEE Transactions on Power Electronics*, vol. 35, no. 9, pp. 9690-9699, 2020. doi: 10.1109/TPEL.2020.2974981.
- [24] H. Das et al., "Detection of Crystal Defects in High Doped Epitaxial Layers and Substrates by Photoluminescence," *Materials Science Forum*, vol. 897, pp. 222-225, 2017, doi: 10.4028/www.scientific.net/MSF.897.222.
- [25] T. Kimoto, "Material science and device physics in SiC technology for high-voltage power devices," *Japanese Journal of Applied Physics*, vol. 54, no. 4, 2015, doi: 10.7567/jjap.54.040103.

3. SiC MOSFET 开关应力可靠性

3.1 动态栅极偏置应力可靠性研究

3.1.1 概述

作为由栅极控制的三端口器件，MOSFET 栅极的控制能力是评判性能的重要标准之一。因此，栅极氧化层的可靠性在研究中备受关注。由于现有工艺中，SiC MOSFET 器件的 SiC/SiO₂ 界面质量较差，缺陷多，其栅氧可靠性是行业关注重点，因此大量研究聚焦于高温栅偏置下器件 V_{th} 的退化与失效。如第五章中提到的，AEC 可靠性标准使用 HTGB 测试考核 SiC MOSFET 的栅氧可靠性。而在实际应用中，SiC MOSFET 多被当作开关器件使用，其栅极在高电平与低电平之间频繁切换，长期承受高速动态栅应力的作用，使 V_{th} 退化。因此，有必要关注动态栅极偏置应力对器件 V_{th} 漂移情况的影响，因为该应力能够真实模拟 SiC MOSFET 栅氧在应用场景中的退化及失效，更具有实际意义。

3.1.2 试验方法和电路

施加动态栅极偏置应力，可选择使用与 HTGB 测试相同的连接方式，即在栅源之间为器件提供一个栅极偏置 V_{GS} 。不同之处在于 HTGB 是直流偏置，而动态栅极应力是提供栅极脉冲方波电压，其中低电平为关态栅极工作电压 ($V_{GS(OFF)}$)，高电平为开态栅极工作电压 ($V_{GS(ON)}$)，以模拟实际电路应用的频繁开关中栅极承受的应力场景。图 3-1 所示为典型的动态栅极偏置应力波形，其中 $V_{GS(OFF)}$ 为-5V， $V_{GS(ON)}$ 为+20V^[1]。

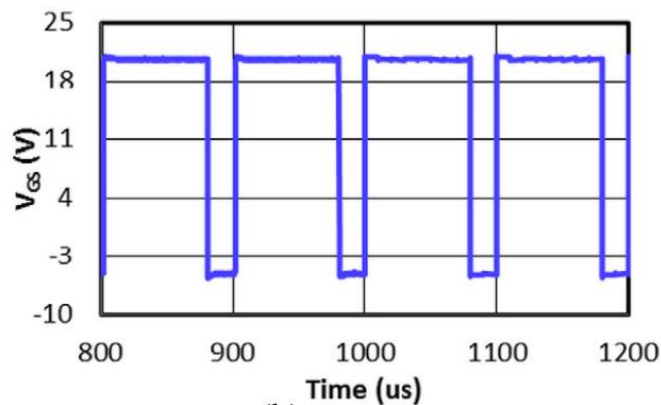


图 3-1 典型的动态栅极偏置应力波形图

由于动态栅偏置应力会对器件造成界面电荷注入等效效应，器件栅氧可靠性在应力作用结束后应得到重点关注。阈值电压 V_{th} 与栅极漏电流 I_{GSS} 是表征栅氧退化程度的重要参数，本测试需记录并对比这些参数^[1]。如图 3-2 所示分别为 V_{th} (a)和 I_{GSS} (b)的测试电路。 V_{th} 通常定义为当 $V_{ds}=V_{gs}$ ，漏极电流 I_{ds} 为恒定值时（如 $I_{ds}=5mA$ ）的栅源电压。测量电路中使用高精度皮安表，以实现精确的测量值。

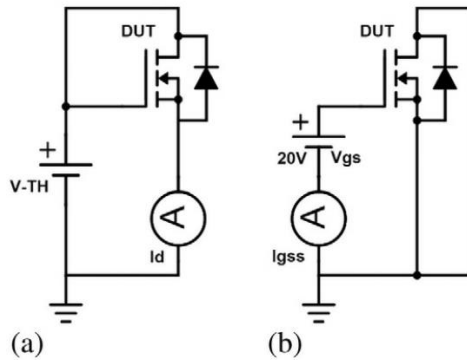


图 3-2 应力作用后 (a) 器件阈值电压 V_{th} 和 (b) 栅极漏电流 I_{GSS} 的测试电路

3.1.3 可靠性机理研究现状

美国陆军研究实验室的 A. Lelis 等人关注了 SiC MOSFET 在动态栅极偏置应力下的退化机理^[2]。使用图 3-3 所示的动态应力和阈值回滞测试条件，该团队观测了 SiC MOSFET 的 V_{th} 高温动态栅偏退化，结果如图 3-4 所示。可以看出，器件的阈值基本遵循承受正压应力发生正漂，承受负压应力发生负漂的规律，并且随着温度的升高，器件阈值的回滞差值不断增大，这是由于氧化层近界面处存在可以双向直接隧穿的界面态—E'中心，既可以在负偏压下被正电荷占据，也可以在正电压下被负电荷占据，并且随着应力时间的增加和温度的升高，这种界面态不断增多。在 175℃ 的正负偏压下阈值都往正漂，这是由于高温激发了更多显负电的界面态。

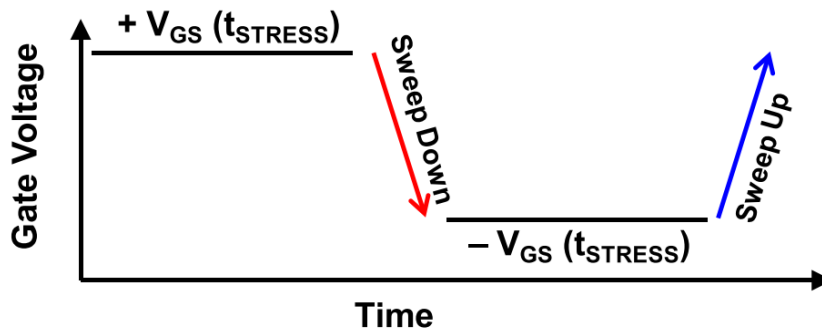


图 3-3 动态栅极偏置应力和阈值回滞测量波形示意图

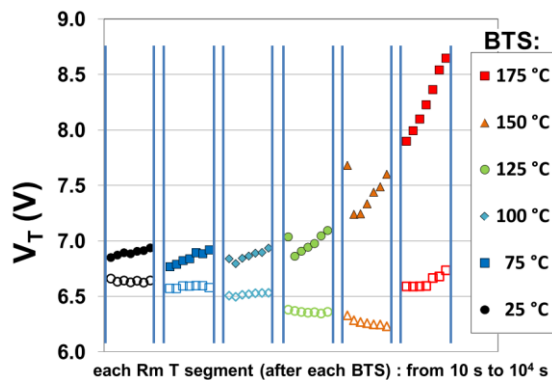


图 3-4 不同温度下 SiC MOSFET 承受动态栅极偏置应力的阈值回滞现象

英飞凌公司的 D. Peters 等人研究了阈值电压的回滞效应与动态栅偏置应力的正负压偏置的相关性，实验结果如图 3-5 所示^[3]。可以看到负压偏置越低，阈值的负漂现象越明显，而正压会使器件的阈值正漂，进一步确定了 SiC MOSFET 的氧化层界面存在随外加偏压充放电的界面态。

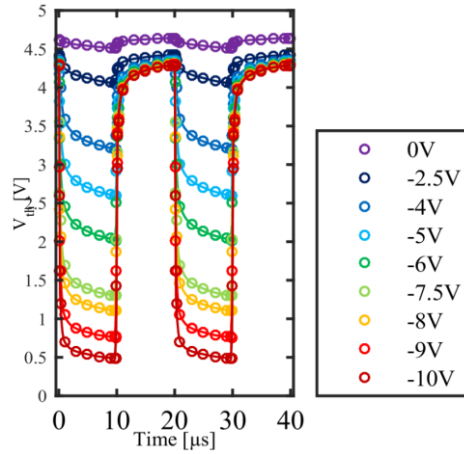


图 3-5 SiC MOSFET 的阈值随动态栅极偏置应力的变化情况

东南大学团队将动态栅极偏置应力造成的阈值退化分解成了应力和恢复两个阶段的共同作用，设计实验分别提取了应力阶段和恢复阶段的阈值漂移情况，如图 3-6 所示^[4]。在应力阶段，阈值退化量随着偏压的增大而增大，且与退化时间呈对数线性关系，这与日本日立中心研究所的 M. Matsumura 等人的研究吻合^[5]。而在零偏压的恢复阶段，阈值的漂移呈现出先部分恢复，然后维持不变的特性，这表明被栅偏应力激活的界面态得到了部分恢复，但仍有部分电荷陷落在了界面陷阱中。

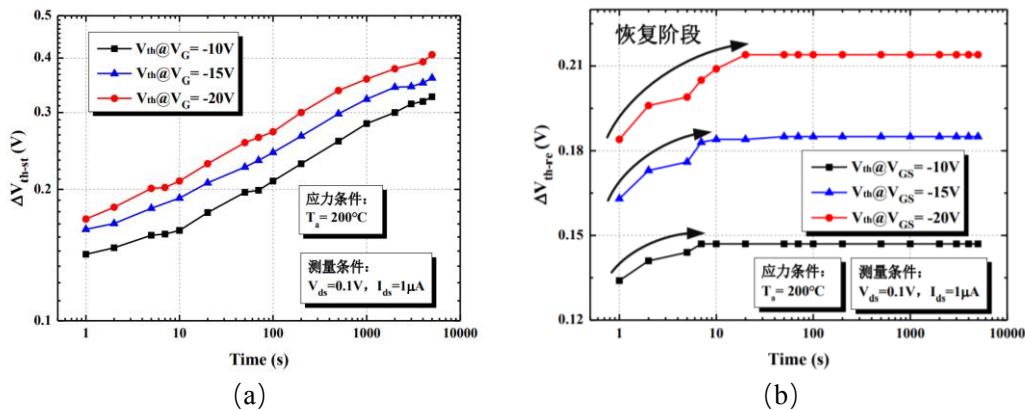


图 3-6 不同应力条件下 SiC MOSFET 在 (a) 高电平阶段的阈值漂移与 (b) 零电平阶段

重庆大学的 H. Jiang 等人研究了高频栅极偏置应力对 SiC MOSFET 器件阈值的影响，应力波形如图 3-7 所示^[6]。研究发现，在 $V_{GS(ON)} = +25V$, $V_{GS(OFF)} = -10V$ 的高频 ($f=150kHz$) 栅极偏置应力条件下，器件的阈值出现了稳定的正漂，如图 3-8 所示，这与近界面处陷阱捕获和发射载流子有关。

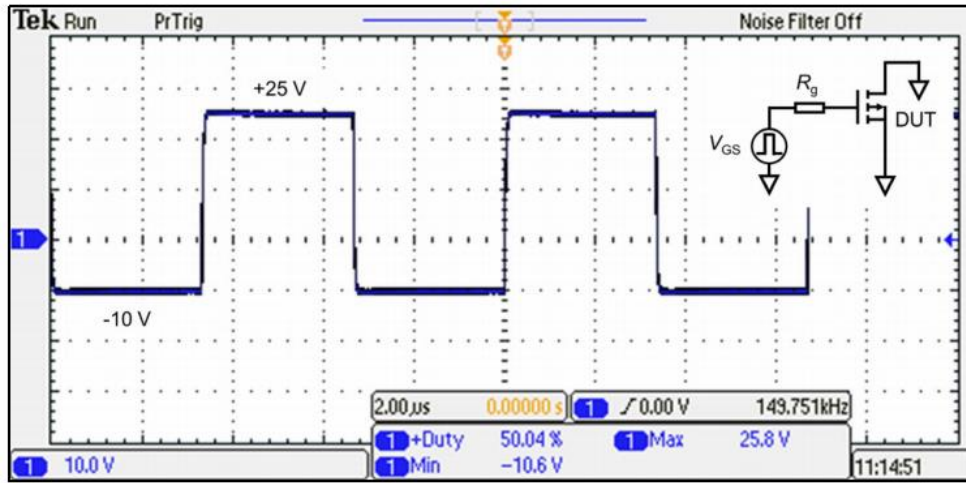


图 3-7 高频栅极偏置应力波形，脉冲频率达到了 150kHz

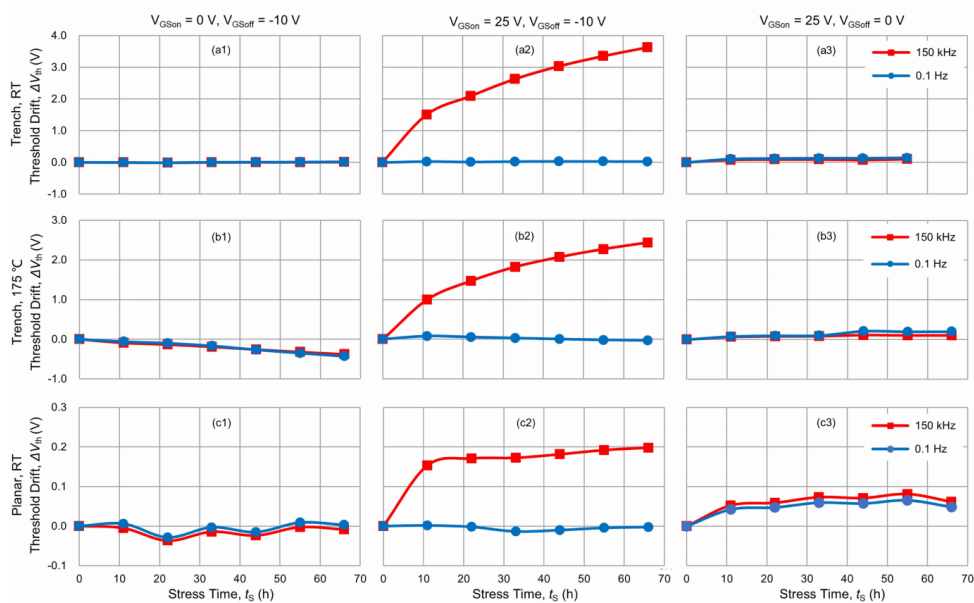


图 3-8 不同偏置电压、不同频率条件下 SiC MOSFET 器件的阈值漂移情况

诺丁汉大学的 A. Fayyaz 等人不仅关注了动态栅极偏置应力，同时还关注了漏极偏压对于 SiC MOSFET 器件的影响^[1]。这种测试更接近电力电子应用中器件的开关状态。该研究对高温脉冲栅偏置应力作用下的阈值漂移与 HTGB 测试中阈值的漂移进行了对比。结果如图 3-9 所示，施加脉冲栅偏置后阈值漂移量要小于恒流栅偏置作用结果，由于测试中不仅加载了栅-源电压 V_{GS} ，同时也加载了漏源电压 V_{DS} ，导致栅氧处电场发生了变化，作者也将这一现象归因于加载 V_{DS} 偏置导致栅氧电场变小了。

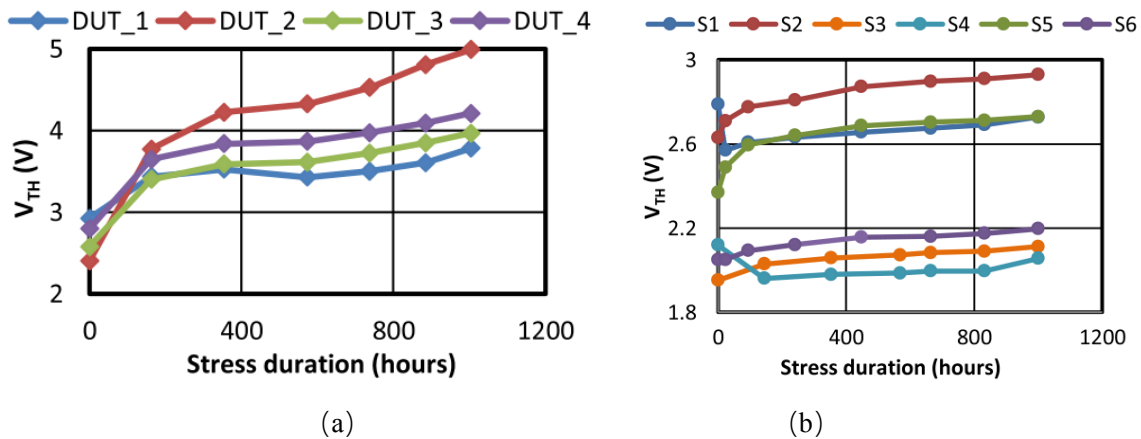


图 3-9 (a) HTGB 应力和 (b) 高温脉冲栅-漏偏置应力导致的阈值漂移情况

3.2 短路应力可靠性研究

3.2.1 概述

短路常常发生在逆变器、变频器等系统中，当负载发生短路时，电源电压 (V_{DD}) 将瞬间加载在器件的漏极，与 V_{GS} 共同作用，使器件处于高压大电流状态，由此产生的瞬时高热将烧毁器件，使系统失效。虽然碳化硅材料具有的优良热导率可以加快散热，使碳化硅功率器件在理论上比硅基器件具有更高的短路鲁棒性，但是碳化硅功率器件的高功率密度特性往往使其在短路时具有更高的瞬时功率，有时可能高达数万瓦，短路状态下的高温与高电场应力使 SiC MOSFET 面临失效和退化风险，因此 SiC MOSFET 面临更严峻的短路可靠性问题。

3.2.2 短路类型和测试平台

国际标准 IEC 60747-9 将功率器件在电路中遇到的短路故障分为了两类。第一种情况是功率器件在负载已经短路的条件下突然开启，此时器件两端电压很高，电流从零迅速升高到饱和电流。这种短路情况也被称作硬开关短路。第二种情况是在功率器件处于正常工作状态时，负载发生短路，器件从工作状态切换到高电压、大电流状态。另外，一部分功率器件应用在电机驱动系统中，因此，还应该考虑电机驱动系统处于再生制动模式下器件面临的短路问题。上述三种类型分别定义为 I、II、III 类短路。

由于 SiC MOSFET 具有与 Si IGBT 类似的驱动电压及电流特性，图 3-10 至图 3-14 中 Si IGBT 可以直接用 SiC MOSFET 替代，用来评估 SiC MOSFET 的开关特性，也可以用来模拟电路发生短路的情景。

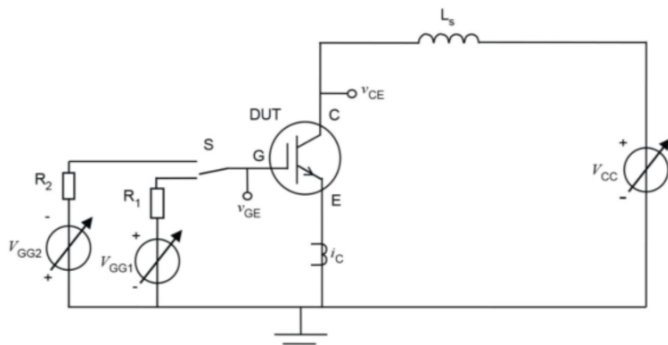


图 3-10 I 类短路测试示意图

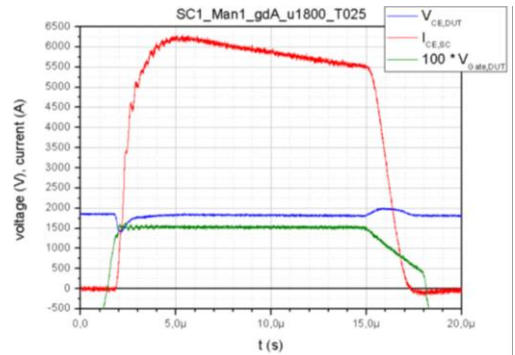


图 3-11 I 类短路波形

I 类短路是负载已经被短路时功率器件突然开启的情况，其测试电路如图 3-10 所示。 V_{CC} 为直流电压源， V_{GG} 是栅极脉冲发生器， R_1 和 R_2 是栅极电阻， L_s 为电路的杂散电感，该杂散电感必须足够低，以保证在栅极脉冲的前 25% 时间内电路达到最大电流。图 3-11 是 IGBT 的 I 类短路波形图，在器件栅极接通前，器件 $V_{CE}=V_{CC}$ 。器件栅极接通之后，器件从关断状态切换到导通状态，电源电压直接加载到两颗处于开启状态的功率器件上，电路中电流快速增大到饱和电流值，器件同时处于高压大电流的状态。

II 类短路模拟的是 IGBT 处于导通状态时，负载突然出现短路的情况，图 3-12 画出了这种情况的测试电路。 V_{CC} 为直流电压源， V_{GG} 是栅极脉冲发生器， R_1 是一个用来定义短路发生前的集电极电流的电阻， R_2 和 R_3 是栅电阻， L_s 为电路的杂散电感，电路中的开关 S 的阻抗需要远小于 IGBT。II 类短路的测试波形如图 3-13 所示。在短路发生前，IGBT 的栅极已经接通，器件处于导通状态，电压降为 V_{CEsat} ，电流流经 R_1 和 IGBT。将开关 S 闭合，以模拟负载短路的情况，集电极电流急剧增加。同时， V_{CE} 的迅速增大会产生位移电流使栅极电压 V_{GE} 增大，从而导致更高的短路电流峰值。

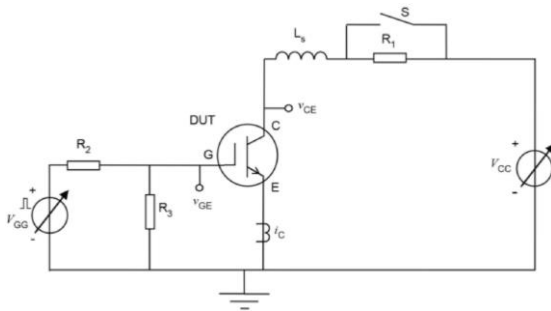


图 3-12 II 类短路测试示意图

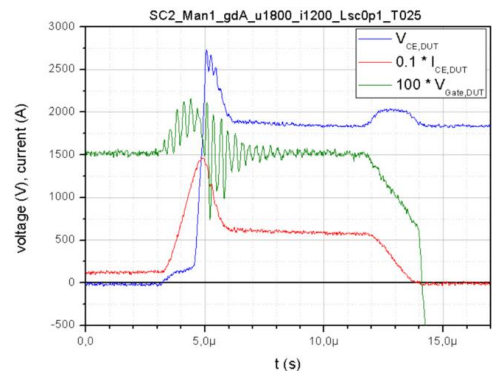


图 3-13 II 类短路波形

III 类短路模拟的是器件处于续流状态时负载突然短路的情况。在短路发生之前，IGBT 已经栅极已经接通，此时电流流经反向二极管，而不是 IGBT，器件 V_{CE} 电压为负值。此时负载突然短路， V_{CE} 电压由负变为正，IGBT 电流急剧增大。同时二极管的反向恢复电流也流经 IGBT，使器件同时承受高电压、大电流应力。这种情况通常出现在 PWM 逆变器应用中。

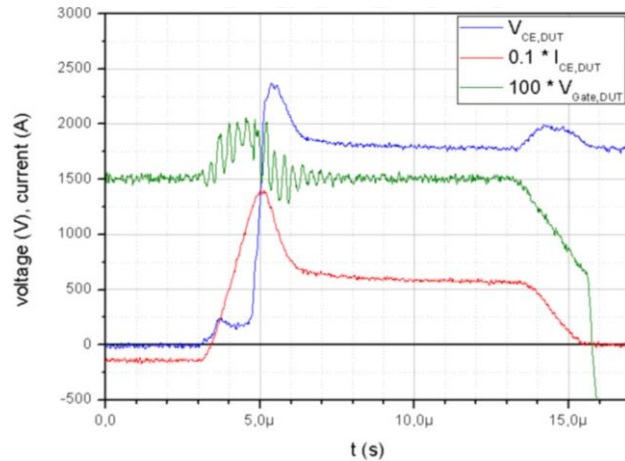


图 3-14 III 类短路波形图

由于 I、II、III 三种短路情况下 SiC MOSFET 的短路能力基本相似，本报告主要讨论 SiC MOSFET 的 I 类短路（硬开关短路）的故障情况。图 3-15 是硬开关短路测试原理图和实际测试系统图，其中电容与高压直流电源并联，利用直流电源将电容充至特定电压，为短路测试提供能量。在主电路中使用一个大电流等级 Si IGBT 与被测器件串联连接，上管 IGBT 充当断路器作用，当被测器件短路失效时可以控制主电路电路断开，防止被测器件烧坏，以便开展后续失效分析。

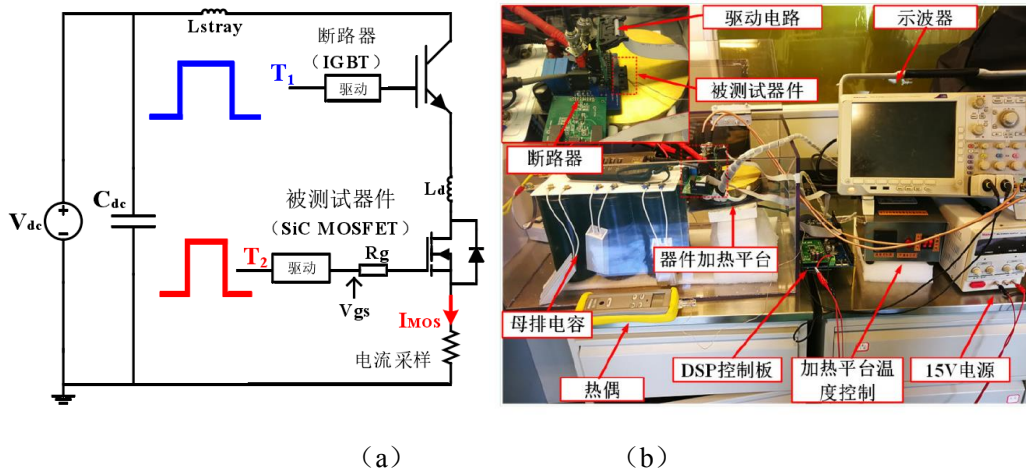


图 3-15 硬开关短路：(a) 测试原理图和 (b) 实际测试系统图

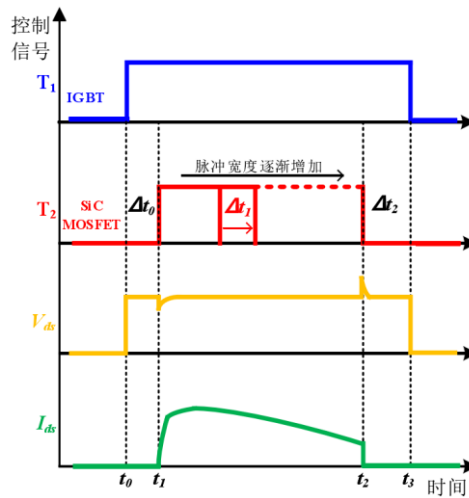


图 3-16 SiC MOSFET 短路测试方法和栅极控制信号

SiC MOSFET 短路测试方法和栅极控制信号如图 3-16 所示。在测试开始 t_0 时刻，上管控制 IGBT 先开通，电容电压全部施加在被测器件漏源极两端，在 t_1 时刻被测器件开通短路。由于所选 IGBT 的电流等级远大于被测器件，短路发生时，被测 SiC MOSFET 先进入饱和工作区，而上管 IGBT 处于线性区，导通电阻很小，母线电压大部分施加在被测器件上。SiC MOSFET 的初始脉冲宽度 Δt_1 为 $1\mu\text{s}$ ，通过 DSP 控制 T_1 和 T_2 的脉宽以 $1\mu\text{s}$ 步长逐步增加，直到被测器件完全失效为止，此时， (t_2-t_1) 为被测器件所能承受的最大短路耐受时间。上管延迟 Δt_2 时间后再关断，这样可以在被测器件失效后强制断开主回路，同时可以判断器件短路后的耐压能力是否降低。每次测试结束留下足够长的时间使器件内部结温降低，当下次测试开始时，被测器件结温回到初始温度。

图 3-17 是硬开关短路情况下 SiC MOSFET 的典型短路波形。SiC MOSFET 短路过程可分为五个阶段，在短路第一个阶段 (t_1-t_2)，当栅极信号出现以后，器件开通直接从线性工作区进入饱和工作区。由于主电路存在寄生电感，随着漏极短路电流迅速升高，漏极短路饱和电流 ($I_{d,sat}$) 可以用式(3.1)表示：

$$I_{d,sat} = \frac{Z\mu_{ni}C_{ox}}{2L_{ch}}(V_{gs} - V_{th})^2 \quad (3.1)$$

其中 L_{ch} ， Z ， C_{ox} 和 μ_{ni} 分别为 MOSFET 沟道长度，沟道宽度，栅氧电容和沟道载流子迁移率。可以看到 SiC MOSFET 短路饱和电流由栅极电压、沟道载流子迁移率和 V_{th} 共同作用影响。由于主回路寄生电感的影响，漏源极电压 V_{ds} 在短路开始阶段会降低，可以用式(3.2)表示：

$$V_{ds} = V_{dc} - L_{loop} \frac{dI_{d,sat}}{dt} \quad (3.2)$$

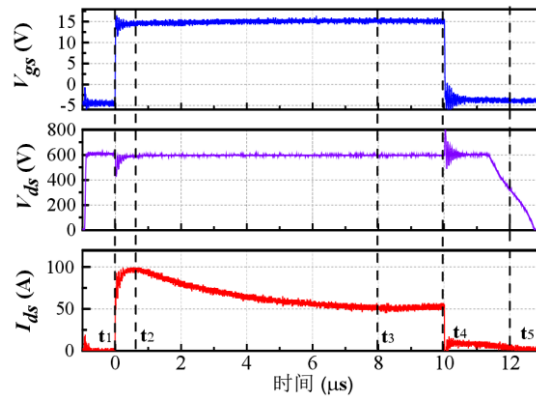


图 3-17 硬开关短路情况下 SiC MOSFET 的典型短路波形

SiC MOSFET 两端承受母线电压并流过短路电流，器件损耗迅速增加。由于器件自热，结温快速上升。SiC MOSFET 导通电阻的温度系数取决于器件内部不同区域电阻随温度的变化，其中沟道电阻具有负温度系数（NTC），由于 SiC MOSFET 沟道迁移率 μ_{ni} 在 600K 温度以内是正温度系数的。JFET 区电阻、漂移区电阻和衬底电阻是正温度系数的（PTC）。因为 SiC MOSFET 的沟道电阻占总导通电阻的占比较高，短路发生时温度主要集中于沟道区域附近。因此，在短路开始阶段短路电流由沟道电阻的变化决定，短路电流呈现持续增加的变化趋势。

在短路的第二个阶段(t_2-t_3)，由于结温继续升高，短路电流斜率在达到短路电流峰值后开始由正变为负。因为当结温高于 600K 后，沟道迁移率 μ_{ni} 变为负温度系数，沟道电阻变为正温度系数，且 JFET 区电阻、漂移区电阻和衬底电阻也是正温度系数，导致器件 $R_{ds(on)}$ 增加，短路电流开始降低。

在短路的第三个阶段(t_3-t_4)，随着结温继续升高，短路电流斜率由负值变为正值，这是因为温度过高导致器件热激发电流增加，漏极电流降低速率低于由过热引起的热激发电流增加速率。

在短路的第四个阶段(t_4-t_5)，栅极电压关断后，由于此时器件结温仍然非常高。此时，SiC MOSFET 会出现两种情况，第一种情况是器件关断后出现漏极拖尾电流，拖尾电流逐渐降低变为零，SiC MOSFET 安全地关断短路电流。第二种情况中，拖尾电流不但没有降低反而随时间增加逐渐升高，此时如果没有外部电路断开主回路，最终器件会直接热失控而烧毁。

为了对比器件的短路能力，通常定义器件所能承受的最大短路时间为 t_{sc} ，器件短路临界能量是在最大短路时间下器件所承受的短路能量 (E_{sc})，其表达式为(3.3)：

$$E_{sc} = \int_{t_1}^{t_4} (V_{ds} \times I_{ds}) dt \quad (3.3)$$

式中 I_{ds} 和 V_{ds} 分别是短路电流和漏源极电压。

3.2.3 可靠性机理研究现状

处于短路状态时，SiC MOSFET 将同时承受 V_{DD} 与饱和电流 (I_{sat}) 的共同作用，产生的瞬时高温和高电场应力将使器件面临退化和失效风险。目前国内外的短路特性测试主要分为单脉冲短路测试和重复脉冲短路测试。

SiC MOSFET 在单脉冲短路应力下的鲁棒性已经被广泛研究。韩国崇实大学的 T. Nguyen 等人探究

了 SiC MOSFET 在短路应力下的栅氧化层可靠性，研究发现随着短路时间的增加， I_{gss} 不断增大直至失效，这表明高温导致了器件氧化层的损伤^[7]。

美国田纳西大学的 Z. Wang 等人研究了不同温度下 SiC MOSFET 的短路耐受能力，并建立了电热模型和泄漏电流模型来模拟短路时器件的温度分布以及泄漏电流随温度的变化情况，研究表明 SiC MOSFET 的短路失效原因是热激发电流导致的热失控以及栅氧损毁^[8]。

法国图卢兹大学的 F. Boige 等人首次观测到了 SiC MOSFET 在承受短路应力时的栅极电流，如图 3-18 (a) 所示，通过研究栅极电流与温度和电场的相关性，推导证实了短路应力下出现的栅极电流属于热电子发射电流，并指出可以根据热电子发射电流的温度特性估计短路条件下 SiC MOSFET 栅氧化层的温度，如图 3-18 (d) 所示^[9]。图 3-18 (b) 是高漏极电压偏置下，栅氧化层能带示意图；图 3-18 (c) 展示了隧穿电流、热电子发射电流和实际栅极电流的温度、电场强度依赖性。

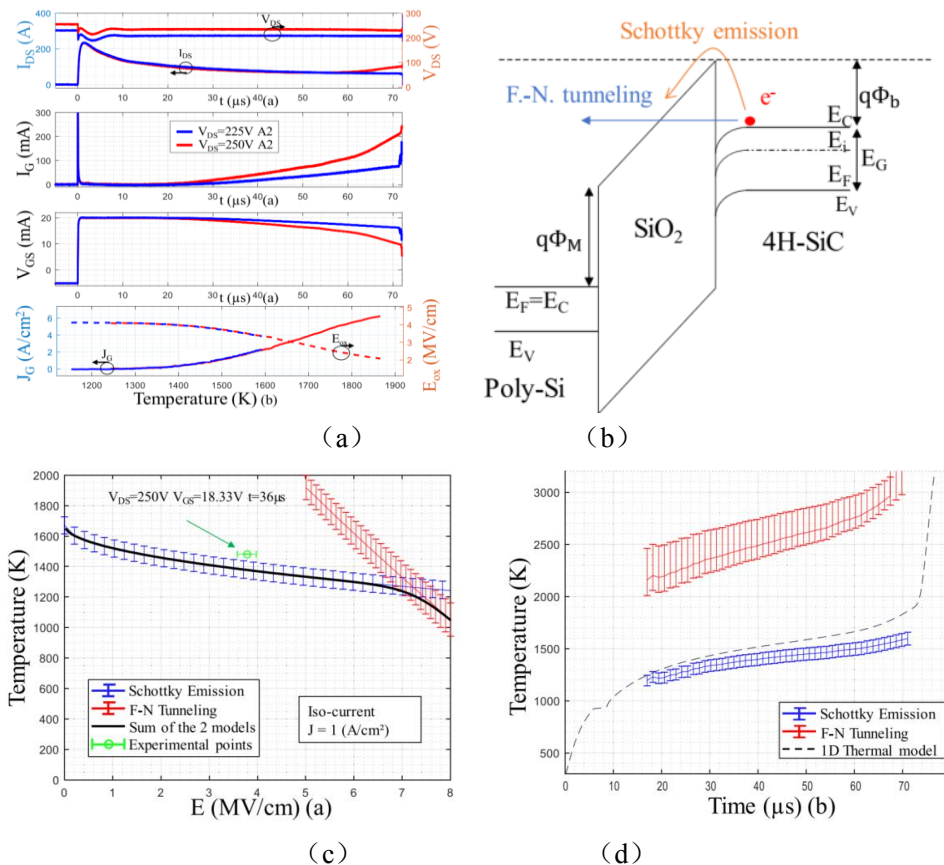


图 3-18 (a) SiC MOSFET 短路波形；(b) 高漏极电压偏置下，栅氧化层能带示意图；(c) 隧穿电流、热电子发射电流和实际栅极电流的温度、电场强度依赖性；(d) 用热电子发射模型、隧道效应和一维热模型估算温度。

在实际应用中功率系统会与短路保护电路配套使用，短路保护电路可以在短路发生的初始阶段探测大电流信号，进而切断电源，保护器件和系统。因此也有必要研究 SiC MOSFET 承受重复脉冲短路应力后的退化情况及其损伤机理。东南大学的 J. Wei 等人研究了 SiC MOSFET 在重复短路应力作用下电学参数的退化，如图 3-19 (a) 和 (b) 所示^[10]。研究发现沟道区域栅极-氧化物界面负电荷的产生是主要的退化机制，导致阈值电压和导通电阻增大。此外，首次提取并分析了重复短路应力后器件的栅

极电荷和开关行为等动态特性的退化情况：阈值电压的增加导致米勒平台电压的升高，进而导致栅源电荷的增加；同时，阈值电压和米勒平台电压的正移使得开启时间增加，关断时间减少，开启损耗上升，关断损耗下降。图 3-19 (c) 是不同短路次数下的 I_{cp} 曲线；图 3-19 (d) 是器件开关损耗的退化情况。

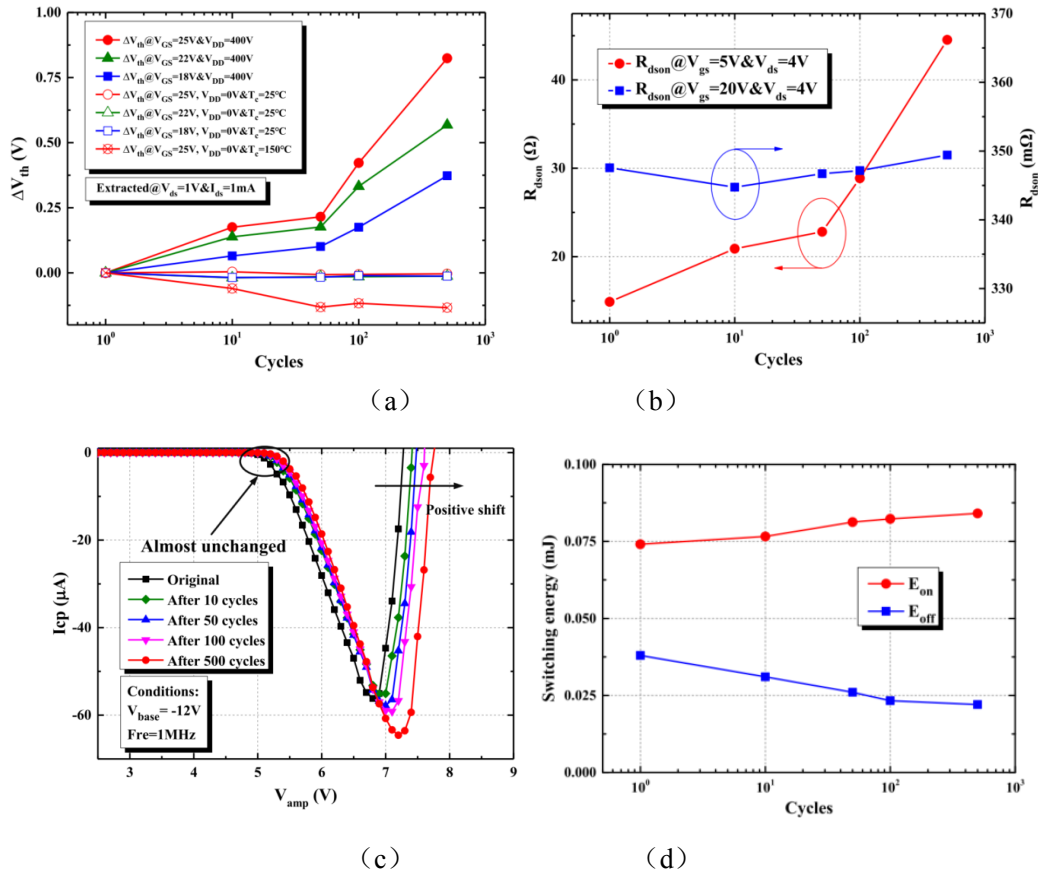


图 3-19 重复短路应力下 SiC MOSFET (a) 阈值电压和 (b) 导通电阻退化情况；(c) SiC MOSFET 在不同短路次数下的 I_{cp} 曲线；(d) 开关损耗的退化情况。

香港科技大学的 J. Sun 等人研究了不同短路脉冲时间下 SiC MOSFET 的阈值电压不稳定性，发现当脉冲时间较短时，器件阈值电压负向漂移；当脉冲时间较长时，阈值电压正向漂移，如图 3-20 所示 [1]。通过对比不同短路时间下器件温度和碰撞电离分布，发现在较短的短路时间下，N 型漂移区碰撞电离产生的空穴在强电场下加速并注入到 SiO_2 ，导致阈值电压负漂；在更长的短路时间下，沟道中的热电子被发射到 SiO_2 中，从而诱导更多的电子陷阱，导致阈值电压正漂。短路过程中的物理场变化如图 3-21 所示，可以看到，随着短路持续进行，碰撞电离应力点逐渐从体内向栅氧化层发生转移。

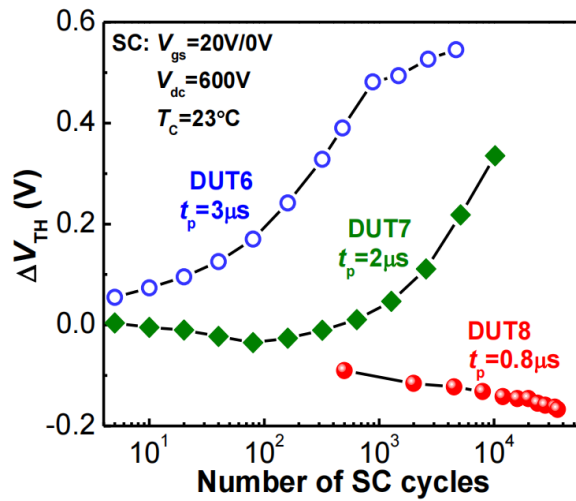


图 3-20 重复短路时间不同造成的 SiC MOSFET 器件 V_{th} 漂移的差异。短脉冲条件下，器件的 V_{th} 负漂，长脉冲条件下，器件的 V_{th} 正漂

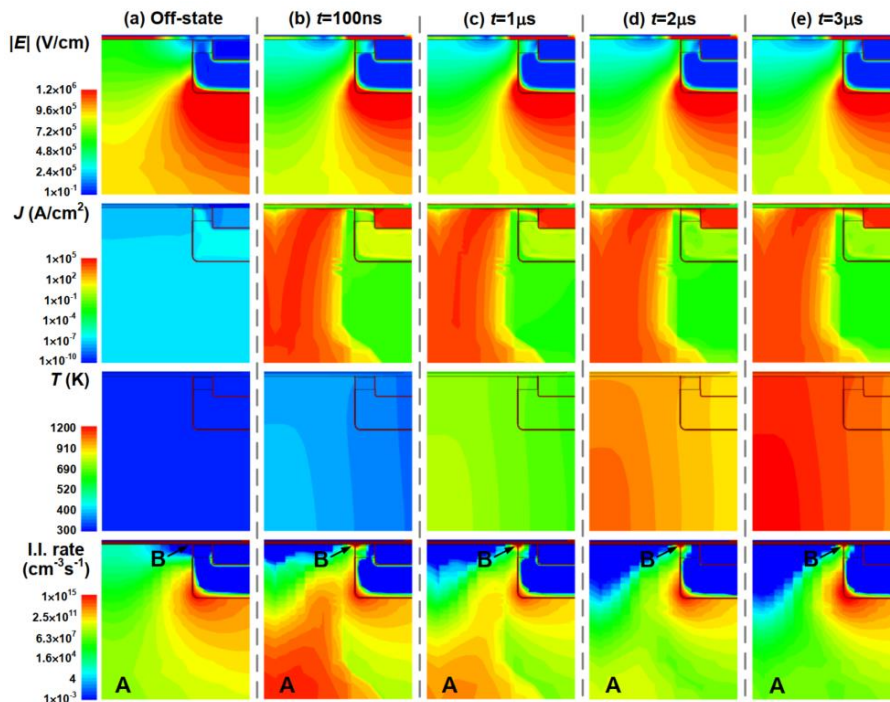


图 3-21 不同短路时间下 SiC MOSFET 的电场强度、电流密度、温度和碰撞电离分布。

3.3 雪崩可靠性研究

3.3.1 概述

根据研究表明，超八成的碳化硅基功率 MOSFET 器件失效是由于使用失效，而使用失效中的器件中其中约 70%是由于电应力导致的退化失效。目前，SiC MOSFET 已被广泛地研究应用于快速开关功率转换器，这意味着需要高的 dv/dt 和 di/dt 。在负载为螺线管或电动机的情况下或者线束、电路板布局

引起的某种杂散电感，导致器件快速开关过程中产生过压或振铃，由此产生的过电压可能会损坏器件，从而造成电力电子电路故障。其中，器件关断时产生的反电动势迫使 MOSFET 进入雪崩击穿状态，被认为是器件遭遇的最恶劣的电应力情况。在各种类型的变换器和汽车应用等的场合中，开关设备均会遭遇电压过大的状况。当高频开关功率电路中的高电流变化率（即 di/dt ）与寄生电感共同作用使感应电压增大，电压过压的情况将更加严重，这对将 SiC MOSFET 引入主流电力电子应用提出了严峻的挑战。因此，分析 SiC MOSFET 的雪崩特性和揭示影响雪崩特性的关键因素，对其稳定性和可靠性进行评估，对于提高工业产品可靠性有重要的理论指导意义。

3.3.2 试验方法和电路

雪崩可靠性研究通常通过非钳位电感开关（UIS）测试实现，其原理主要是在开启状态下能量存储在电感中，当器件关闭时，此时由于电感两端的电流不能够突变，此时的能量就会通过器件进行释放，通过 UIS 的测试过程中能够体现器件能够承受的雪崩能量。

典型的 UIS 测试电路如图 3-22 所示，在电感 L 为负载的情况下，直接将被测器件作为控制开关。图 3-23 为典型的 SiC MOSFET 器件 UIS 测试系统。

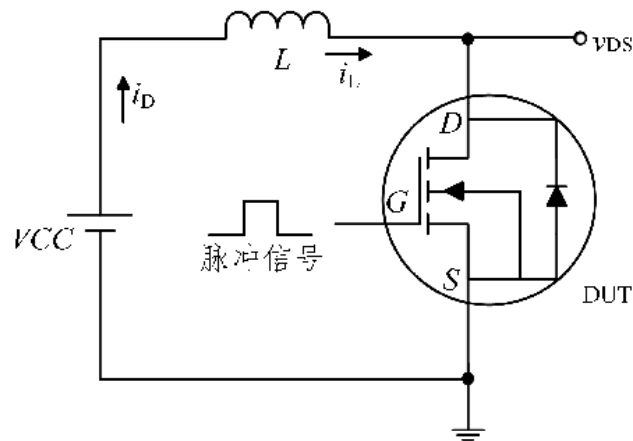


图 3-22 UIS 测试电路示意图

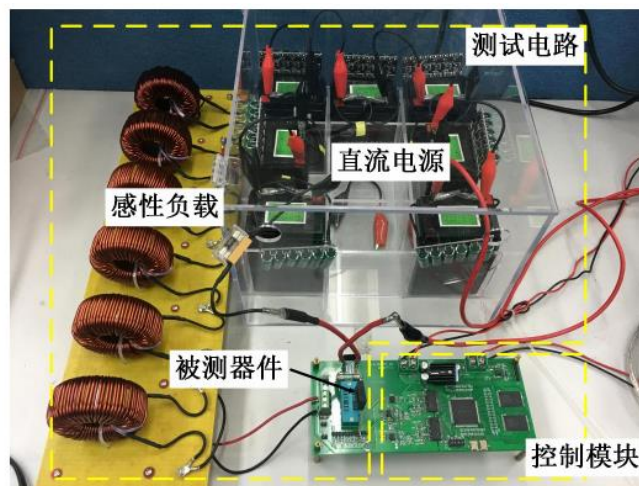


图 3-23 典型的 SiC MOSFET UIS 测试系统

图 3-24 为非破坏性的 UIS 测试过程的波形，其中 I_{AV} 是电流峰值， V_{CC} 是直流电源电压， BV_{DSS} 是雪崩击穿电压， t_{AV} 是雪崩击穿时间。

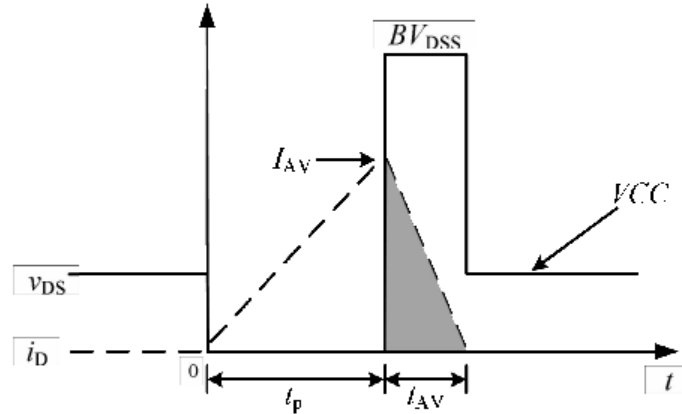


图 3-24 UIS 测试波形示意图

当 $t < 0$ 时，此时器件处于关断状态，其回路中没有电流，电感上的电流为零，此时被测器件的漏源电压相当于直流电压 V_{CC} 。

当 $t = 0$ 时，此时给被测器件一个时间为 t_p 的驱动信号，此时被测器件开始导通。在 $0 \sim t_p$ 的时间段中，由于器件开始导通，直流电源开始给电感充电。由于器件开启时间很短，可以近似认为此时在 $t = 0$ 时刻器件就开启了。在 $0 \sim t_p$ 时间段中，流过电感和 SiC MOSFET 的漏源间电流随时间变化如式(3.4)所示：

$$\frac{di_L}{dt} = \frac{V_{CC}}{L} \quad (3.4)$$

当 $t = t_p$ 时，此时驱动信号下降为零，器件被关断，由于电感上的电流不能突变，此时的电感上的能量开始向被测器件转移，由于电流的变化率很大，会产生很大的电压使得二极管反向导通，漏源间的电压被钳位至雪崩击穿电压 BV_{DSS} ，此时的雪崩电压值大于额定电压。

当 $t_p < t < t_p + t_{AV}$ 时，此时器件体二极管的反向电压开始给电感反向供电，电感中的电流线性下降，感性负载 L 、电感两端电压和器件雪崩击穿的公式如式(3.5)所示：

$$-\frac{dI_{DS}}{dt} = \frac{I_{AV}}{t_{AV}} = \frac{BV_{DSS} - V_{CC}}{L} \quad (3.5)$$

由于此时感性负载的能量在雪崩击穿中还有电路传输过程的损耗和发热，其能量并未全部释放在器件上，所以单次 UIS 的脉冲测试的器件雪崩能量用平均功率和时间的乘积来计算，同时将上式代入进行化简可以得到与电感、直流电压的关系，如式(3.6)所示：

$$E_{AS} = P_{AV} t_{AV} = \frac{1}{2} BV_{DSS} I_{AV} t_{AV} = \frac{1}{2} L I_{AV}^2 \frac{BV_{DSS}}{BV_{DSS} - V_{CC}} \quad (3.6)$$

由于在测试过程中，感性负载的值和预设的电感值存在差异，因此通过电压和电流的乘积对于积分获得的雪崩能量值更接近真实值，其公式如(3.7)所示：

$$E_{AS} = \int_{t_p}^{t_{AV} + t_p} (BV_{DSS} - V_{CC}) i_{DS} dt \quad (3.7)$$

典型的 UIS 实测波形如图 3-25 所示，在此例中， $L=1\text{mH}$ ， $V_{CC}=100\text{V}$ ， $t_p=180\mu\text{s}$ ， $I_{AV}=18\text{A}$ ， $BV_{DSS}=1640\text{V}$ ，单次雪崩能量 E_{av} 约为 172.5mJ 。

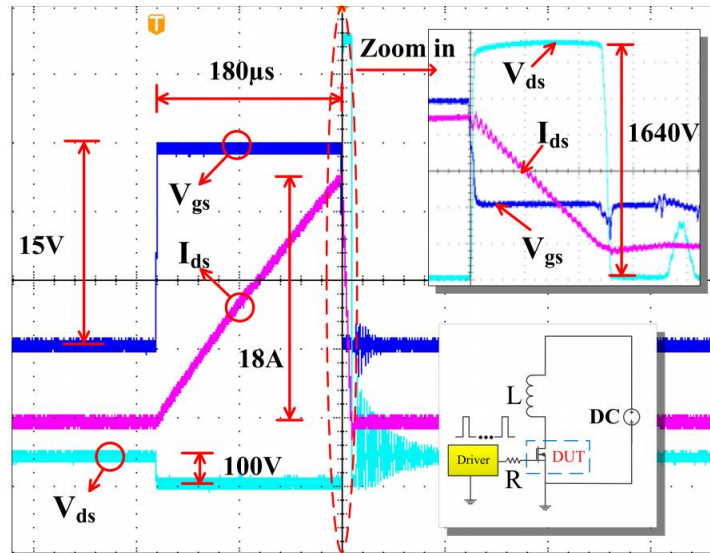


图 3-25 典型的 UIS 实测波形

3.3.3 可靠性机理研究现状

国内外学者针对 SiC MOSFET 的雪崩可靠性进行了大量研究，主要关注该器件在单脉冲雪崩应力冲击下的失效机理，以及在重复雪崩作用下的退化机理，代表性的研究成果和结论如下。

在单脉冲雪崩失效研究方面，英国诺丁汉大学的 A. Fayyaz 等人总结了单脉冲 UIS 应力对 SiC MOSFET 器件雪崩耐量（EAS）和 T_j 的影响^[12]，并进行深入研究，发现随着雪崩过程的持续，雪崩电流路径由初始时的漏极流向源极，逐渐转变为流经沟道，最终产生高结温，使器件发生失效^[13]。图 3-26 模拟了这一过程。

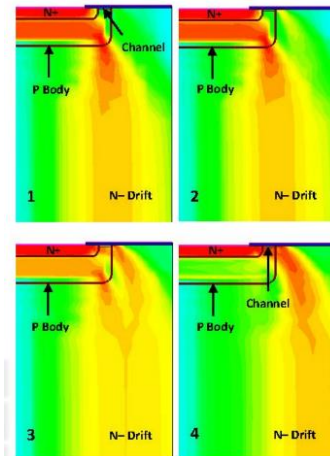


图 3-26 随时间增加，SiC MOSFET 承受的雪崩电流逐渐由 PN 结体二极管转移到沟道处

美国得克萨斯理工大学的 M. D. Kelley 等人详细研究了不同单脉冲 UIS 应力下的 SiC MOSFET 的 EAS 能力。研究发现，在低电感条件下，SiC MOSFET 器件可以承受更高的峰值雪崩电流，但是雪崩耐量不高，而在高电感条件下，器件可以承受较高的雪崩耐量，但是峰值雪崩电流不高，如图 3-27 所示。这是因为在保持其他条件不变的情况下，越小的负载电感使得雪崩时的 di/dt 越大，缩短了雪崩应力时间，因此能够耐受的雪崩峰值电流，但与此同时，雪崩击穿时会产生更高的瞬时功率，从而获得更高的结温，因此使器件的 E_{AS} 降低^[14]。该团队进一步研究还发现 SiC MOSFET 器件的 I_{gss} 在失效时突然增大，使用扫描电镜观察得到失效器件的栅极存在通孔，得出了 UIS 应力使 SiC MOSFET 的栅氧化层损毁的结论^[15]。SiC MOSFET 失效时的栅极电流曲线以及开盖照片如图 3-28 所示。

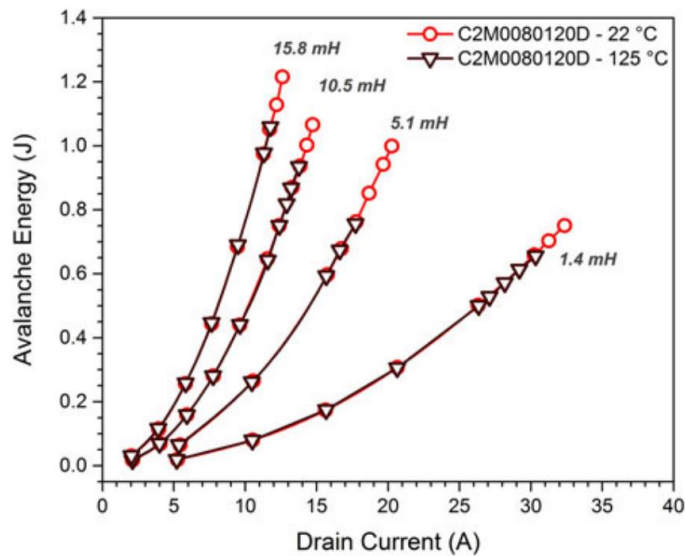


图 3-27 SiC MOSFET 器件承受的峰值雪崩电流和雪崩耐量随电感负载的变化情况

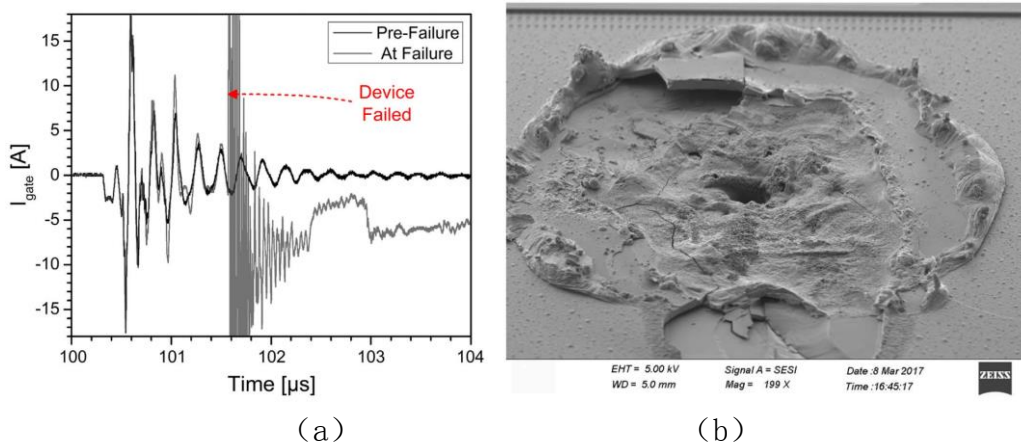


图 3-28 SiC MOSFET (a) 在单脉冲雪崩失效时的栅极电流和 (b) 栅极损毁电镜照片

浙江大学的 N. Ren 等人也研究了 SiC MOSFET 器件的单脉冲雪崩鲁邦性，重点关注了寄生 BJT 在雪崩击穿下的闩锁效应^[16]。研究表明，随着雪崩过程的持续，结温逐渐升高，雪崩电流经 P 型区流向源极，抬升了 P 型区的电势，使得寄生 BJT 开启，最终导致电流不受控，器件结温达到烧毁温度。图 3-29 显示了器件雪崩时寄生 BJT 发生闩锁的原因和电流分布情况。

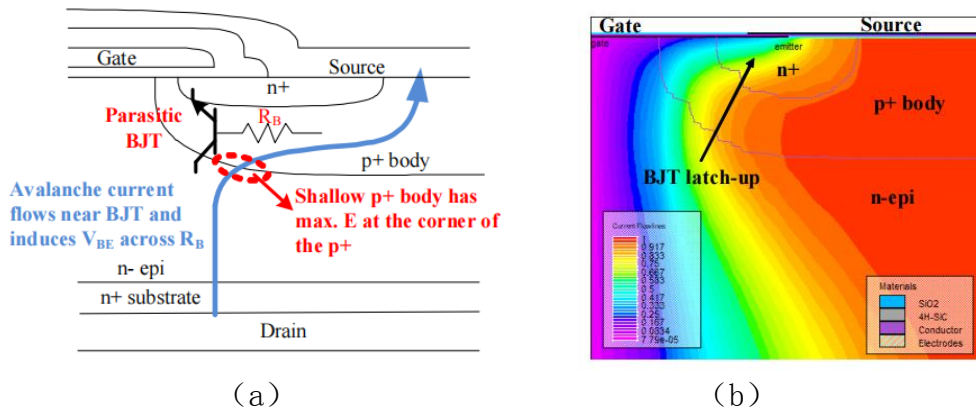


图 3-29 SiC MOSFET 雪崩时寄生 BJT 发生门锁的 (a) 原因和 (b) 电流分布

重复雪崩应力可靠性方面，东南大学团队研究揭示了在雪崩过程中，SiC MOSFET 的 JFET 区的栅氧界面有正电荷注入，这是退化的主要原因^[17]。随着重复应力次数的增加，累积的正电荷增大了器件的栅漏电压 (C_{gd})，延展了开关过程中的米勒平台，使得 SiC MOSFET 的关断时间延长^[18]。图 3-30 (a) 显示了雪崩过程中的电场和碰撞电离的分布情况，表明 JFET 区有正电荷注入，因此 C_{gd} 不断增大，如图 3-30 (b) 所示。图 3-31 为 SiC MOSFET 承受重复雪崩应力后开关特性的变化。

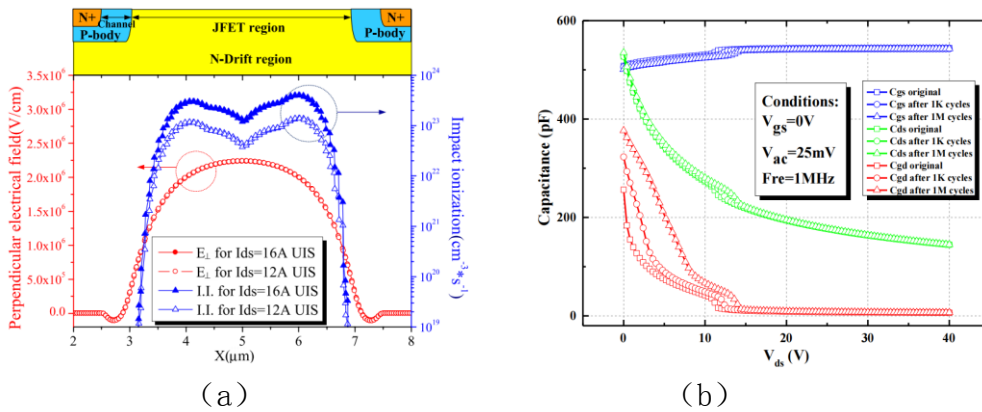


图 3-30 (a) SiC MOSFET 在雪崩应力下界面处的电场和碰撞电离分布，(b) 器件电容特性随雪崩应力次数增加的退化情况

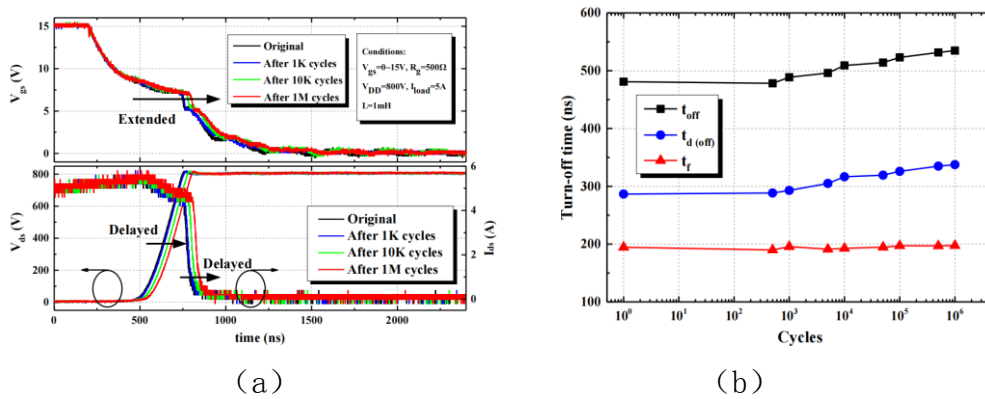
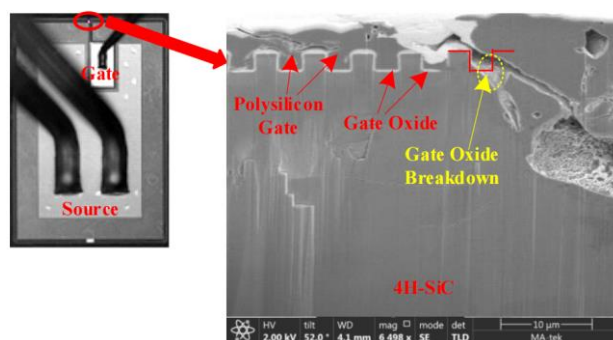
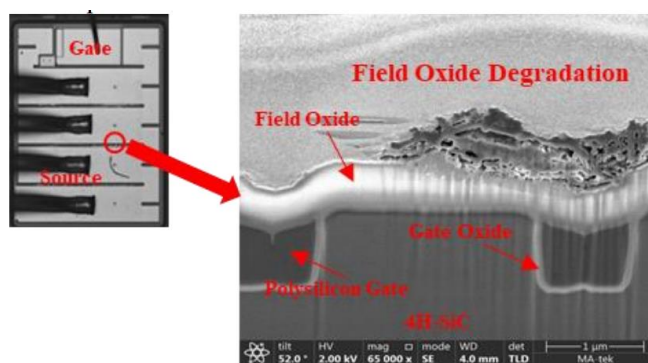


图 3-31 SiC MOSFET 承受重复雪崩应力后 (a) 关断波形和 (b) 关断时间的退化情况

电子科技大学的X. Deng等人研究了沟槽型SiC MOSFET期间在重复雪崩应作用下的失效机理^[9]。随着雪崩应力次数的增加，双沟槽SiC MOSFET器件槽底氧化层持续受到冲击，最终发生损坏，造成了器件的栅极到漏极的短路，如图3-32（a）所示。非对称沟槽SiC MOSFET的损伤则是由热积累引起的，最终造成场氧的破坏，如图3-32（b）所示。



(a)



(b)

图 3-32 重复雪崩应力造成 (a) 双沟槽 SiC MOSFET 的栅氧损伤，以及 (b) 非对称沟槽 SiC MOSFET 的场氧损伤

3.4 浪涌可靠性研究

3.4.1 概述

由于电容电感等非线性器件的充放电，电路中往往会出现瞬时大电流冲击，从而导致器件性能退化，甚至损毁。因此引入浪涌可靠性来评估功率器件承受瞬时大电流的能力。浪涌电流是指电路突然开启出现的大电流，或者是由雷电击中电路或电路与雷电云层中电荷感应等外来脉冲导致的大电流。因此用户在进行电路设计选择器件之前，需要知道器件可承受的最大浪涌电流，并依此设计电路参数使器件尽可能工作在安全区域。

3.4.2 试验方法和电路

从浪涌电流发生电路上来看，浪涌测试电路主要分为两种类型，分为储能型和变压器型。

储能型就是通过一个大电容进行储能，然后把能量一次性放出，适用于单次浪涌测试。变压器型就是通过截取市电，整流，然后通过一个大变压器把电流升高，产生浪涌电流。其中储能式的优点在

于对电网的干扰比较小，而且不需要笨重的变压器，但是缺点是不能进行多次浪涌测试，而且需要一定的数字控制电路对浪涌电流波形进行控制。如果利用 MOSFET 或 IGBT 作为开关控制，由于单个器件通流能力有限，还要解决器件并联产生的同步问题。变压器型的优势在于电路简单，但是缺点就是需要一个很大容量的变压器。

从浪涌波形的控制方面来看可以分成数字控制方法和 LC 振荡电路法。数字控制法通过 PLC、单片机、DSP 或者上位机对脉冲波形进行控制，相对复杂，但是可以方便地改变浪涌电流大小。LC 振荡电路是通过电路中设计好的电感和电容进行振荡，通过一个晶闸管触发，产生一个浪涌脉冲。其优点在于设计简单方便，缺点在于只能产生一种浪涌脉冲。

下面分别介绍方案一和方案二的浪涌测试电路原理图。

如图 3-33 所示，是方案一浪涌测试电路的原理图，测试平台由以下几部分组成：分别是充电电路，浪涌电流产生电路，被测器件及其驱动电路。充电电路由一个电压源和电容组成。进行浪涌测试之前，需要对电容进行充电，充电过程由充电电路进行。浪涌电流产生电路由一个电容 C 和一个电感 L 组成，主要作用是产生一个符合要求的正弦电流，被测器件为 SiC MOSFET。驱动电路主要作用为控制被测器件沟道的开启/关闭状态。

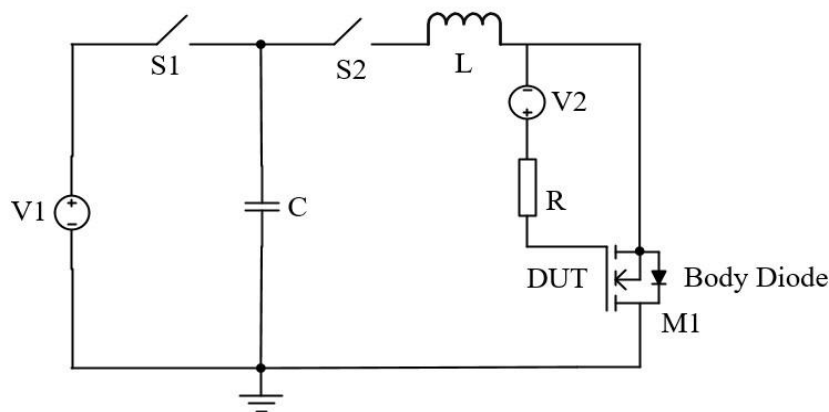


图 3-33 方案一的浪涌测试电路原理图

该电路的操作方法如下所示：实验开始前先闭合 S1，断开 S2，使电压源给电容充电。当需要测试时，断开 S2，闭合 S1，通过 LC 振荡回路获得一个任意固定脉宽的正向浪涌电流。浪涌测试电流周期： $T = 2\pi\sqrt{LC}$ ，浪涌测试电流的幅值可调： $\frac{1}{2}CU^2 = \frac{1}{2}LI^2$ ，若电容电感大小固定，则浪涌测试电流周期固定，但赋值可根据电源 V1 而改变。

浪涌测试方案二主要由恒压源、电容、IGBT、示波器、电压探头、霍尔电流传感器、控制电路和上位机构成。本平台采取 IGBT 控制式浪涌电流生成法，由控制系统生成正弦半波信号，并施加到工作在线性放大区的 IGBT 栅极，从而获得浪涌电流，最大可进行峰值为 500A 的浪涌电流试验。试验平台电路拓扑如图 3-34 所示。

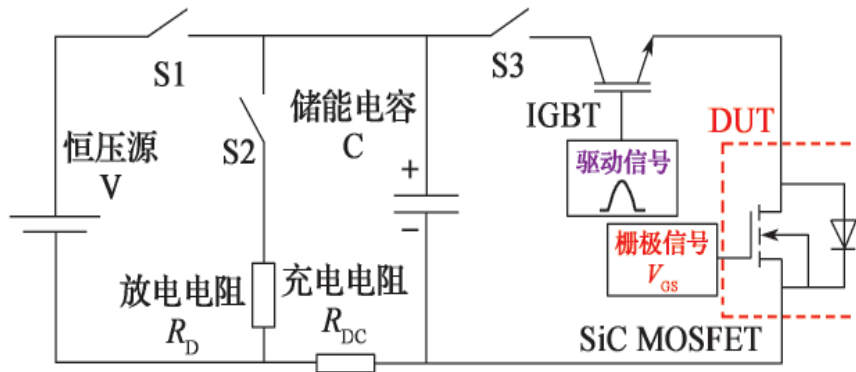


图 3-34 方案二的浪涌测试电路原理图

IGBT 被作为控制开关，具有过流保护功能，可防止在测试过程中波形发生失控。浪涌电流的周期与 IGBT 的驱动信号周期相同，改动 IGBT 的驱动信号周期即可控制浪涌电流的周期，若将电压源改为可变恒压源，则可改变浪涌测试电流的幅值大小，从而实现浪涌电流周期和幅值可调。

或采用如图 3-35 几种其他类型测试电路，原理和浪涌测试方案二的基本相似，区别在于控制系统不同。

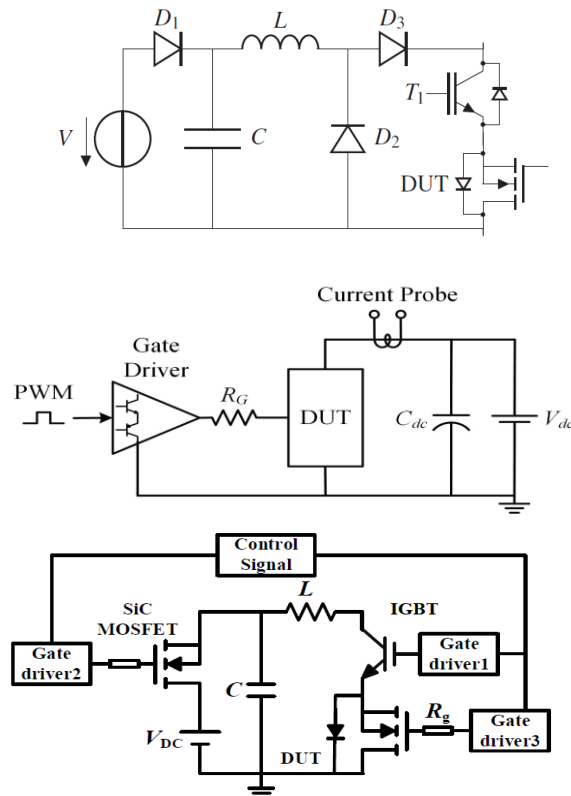


图 3-35 其他类型测浪涌测试方案电路图

图 3-36 是 SiC MOSFET 承受浪涌电流时源极和漏极之间的电压曲线。Vsd 在最初便升高到 2.7V，这对应了 SiC MOSFET 体二极管的开启电压，在体二极管开启之后，电压的变化趋势与正弦电流类似，随着电流的变化而变化。

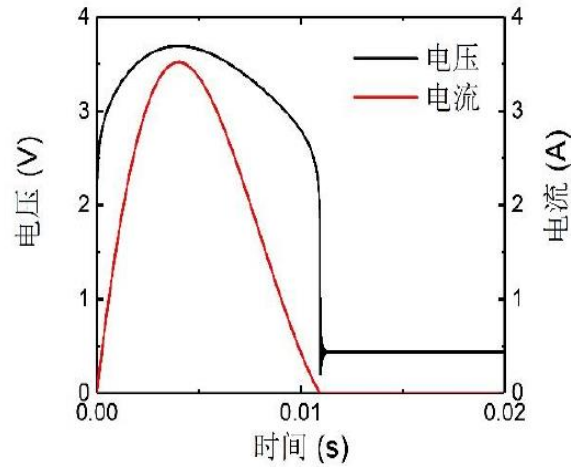
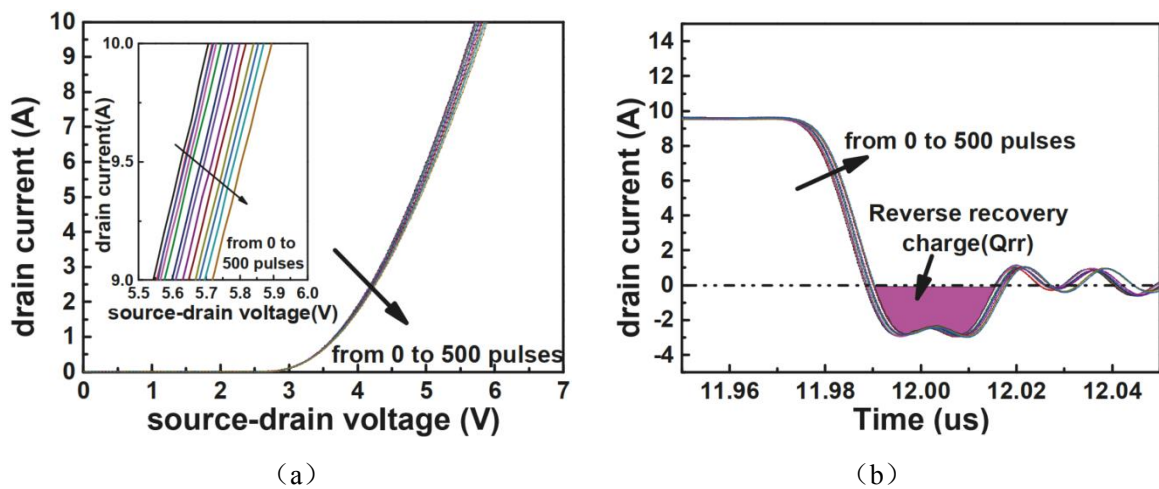


图 3-36 SiC MOSFET 浪涌波形

3.4.3 可靠性机理研究现状

对于 SiC MOSFET 浪涌性能的研究时间不长，直到 2016 年，才有学者开始研究 SiC MOSFET 的浪涌性能，相关研究成果不足。拜罗伊特大学的 P. Hofstetter 研究了不同栅压下 SiC MOSFET 耐受浪涌电流的能力，结果表明平栅器件的沟道在浪涌时是否打开对器件的浪涌可靠性几乎没有影响^[20]。另外，文中还通过仔细观测失效器件表面情况，将栅源短接的失效现象归因于高温导致金属铝熔融，最终导致栅极金属和源极金属短接。

浙江大学的 Zhengyun Zhu 研究了商用 SiC MOSFET 器件在重复浪涌应力下的退化现象^[21]。随着浪涌次数的增加，器件体二极管电阻增加，反向恢复电荷减少，而阈值电压无明显变化，如图 3-37 所示。并通过分析 SiC MOSFET 各部分电阻的变化，得出体二极管的双极退化是主要退化机理。



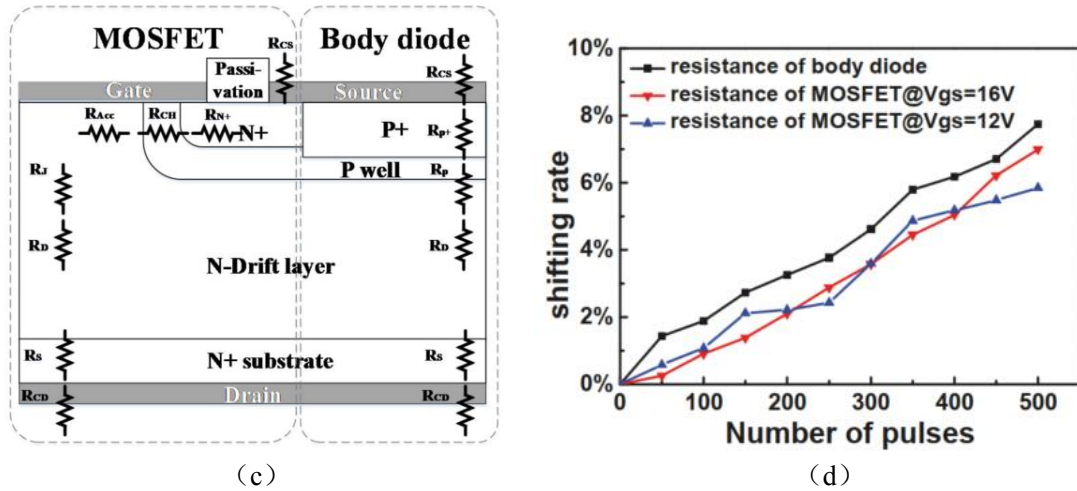


图 3-37 不同浪涌次数下 SiC MOSFET (a) 体二极管特性和 (b) 反向恢复特性的退化情况；
(c) SiC MOSFET 各区域电阻组成；(d) 体二极管电阻漂移量与浪涌次数的关系。

而湖南大学 Xi Jiang 在重复浪涌实验中报道了与之相反的结果^[22]。他们发现体二极管压降在浪涌过程中仅有轻微变化，而阈值电压的变化非常明显，如图 3-38 所示。当浪涌过程中栅源电压设置为 -5V 和 -10V 时，阈值电压分别降低了 8% 和 17.8%。他们认为注入到沟道和 JFET 区的栅氧化层中空穴是 SiC MOSFET 主要的退化机理。偏置电压引发的高栅氧化层电场和浪涌带来的高温使得空穴注入到沟道和 JFET 区的氧化层中，最终导致阈值电压的降低。

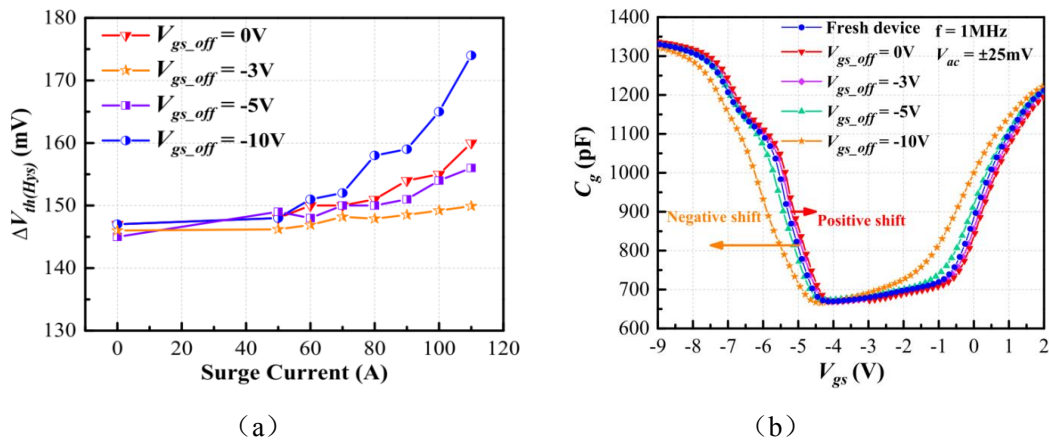


图 3-38 不同栅偏置条件下，在 100 次浪涌电流循环后 SiC MOSFET 中 (a) 阈值电压和 (b) C_g - V_{gs} 的变化。

3.5 辐照可靠性研究

在 SiC 器件的早期研究中，一直有“SiC 器件天生抗辐射”的说法。这主要是基于 SiC 器件是宽禁带半导体器件，原子间的键能更强，因此难以被辐射激发产生电子空穴对或产生缺陷。从 2013 年起，NASA Goddard Space Flight Center 的 Megan Casey 团队的试验数据在一定程度上证明了这一点。一方面，SiC 器件确实具有天然较强的抗总剂量辐射能力，这是因为总剂量辐射的影响通常发生在氧化层及氧化

与半导体界面处，在有C原子参与的氧化层生长过程中，由于CO₂并不能完全以气体形式排出，确实形成了比Si基器件氧化更高的稳定性的化学键，部分商用器件抗辐射能力甚至可以达到100~300Krad (Si)。但另一方面，各方的研究数据同时指出了另一点，SiC器件并不具有天然的抗单粒子能力，目前商用器件的可靠电压不足标称电压的一半。这是因为最初的理论预测只考虑了激发能量阈值的提升，而忽略了SiC器件电场的倍增影响。由于单粒子效应通常是由瞬态电流引起的，二者一定程度上起到了相互抵消的作用，甚至各方普遍认为SiC器件引入了新的失效机理，如下图所示。在单粒子烧毁前，会存在一个随着辐射总注量增加，漏电显著上升的区域。大多数文献认为，该区域是由高电场引入的瞬态局部过热产生的局部缺陷引起的。

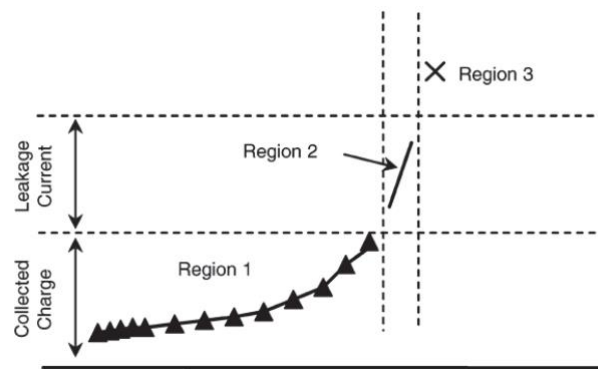


图 3-39 SiC 器件单粒子损伤示意图

由于辐照相应机理尚未形成行业共识，因此相应测试及评估标准也未形成行业统一，同时虽有加固技术研究发布，但并不能完全解决该问题，同时与可量产的工艺兼容性较差，因此尚未量产工程化产品面世。

3.5.1 概述

随着更小尺寸、更低功耗的半导体器件在军工、航天、能源的诸多领域需求的日益增长，其抗辐射能力强弱成为其应用于特定极端工作条件领域的可靠性评判标准之一。包括质子、中子、电子以及重离子等在内的强辐射环境中高能粒子对器件会造成不可逆的损伤甚至灾难性的破坏，这些效应主要包括单粒子效应（SEE）、总剂量效应（TID）以及位移损伤效应（DDD）。根据 IEEE NSREC 统计结果显示，因辐射引起的在轨航天器故障数高达总故障率数的 45%，其中单粒子效应导致的故障占比高达 86%，可见单粒子效应已经成为影响航天器工作寿命的重要因素^[23]。

单粒子效应多发生于高海拔地区、太空中的宇航器及地面上核反应堆为代表的长期高辐射环境场景，器件可能因高能重离子粒子的入射而在沿途电离产生电子-空穴对，根据粒子入射位置的不同，可能发生器件的单粒子栅裂（SEGR）或产生瞬态电流导致器件发生单粒子烧毁（SEB）。

一般来说，依据电子元器件所受辐射损伤的机理和性能退化规律，辐射效应可分为 SEE、TID 以及 DDD。其中，SEE 是指当单个高能粒子入射到半导体器件后，由于电离能量沉积的作用，在器件敏感区中诱发大量电子空穴对，在电子空穴对被电场收集后形成脉冲电流，从而导致器件工作状态发生改变的一种现象。

根据效应损伤是否可逆，SEE 又可分为单粒子翻转（Single Event Upset, SEU）、单粒子瞬态

(Single Event Transient, SET)、单粒子功能中断 (Single Event Function Interruption, SEFT) 等非致命性软错误, 以及单粒子门锁 (Single Event Latch up, SEL)、单粒子栅裂 (Single Event Gate Rupture, SEGR)、单粒子烧毁 (Single Event Burn out, SEB) 等致命性硬错误。

作为第三代半导体材料, SiC 禁带宽度较之 Si 更宽, 且 SiC 材料电离能以及原子键合强度都大于 Si 材料, 达到缺陷的形成所需条件更为困难, 因此理论上认为 SiC 功率器件天生比 Si 器件具有更强的抗辐射能力。但由于 SiC 材料制备技术, 器件工艺不成熟, SiC MOSFET 在实际应用中显示出对辐射的高敏感度。研究表明, 在单粒子引起的诸多退化及失效类型中, SiC MOSFET 更容易发生 SEB 和 SEGR, 而目前国内外 SiC MOSFET 抗辐射研究与结构优化也聚焦在这两个效应上。

3.5.2 测试原理及测试方法

为模拟高能粒子辐射环境, 需要使用高能粒子加速器对重离子、中子或质子加速使其获得能量 (图 3-40), 并将粒子束聚焦在待测器件上, 为模拟最极端条件下器件对辐照的耐受能力, 常常将裸片或封装好的器件解封装后直接暴露在辐射环境中。

在单粒子效应的研究中, 常常使用线性能量传输值 (Linear Energy Transfer LET) 作为表征半导体器件抗粒子辐照能力的重要物理参数, 单位 $\text{MeV}\cdot\text{cm}^2/\text{mg}$ 。其定义为粒子在入射路径上单位尺寸范围内积累的能量为式(3.8):

$$r_{LET} = \frac{dE}{dL \times \rho} \quad (3.8)$$

式中, dE 为重粒子入射路径上单位长度内粒子的能量差, dL 为单位长度, ρ 为材料密度。因粒子入射到材料中后其损失的能量基本全部用于电离电子-空穴对, 因此 LET 值可以表征单位距离内入射粒子电离产生的载流子浓度。

然而, 随着离子束对待测器件表面角度发生变化, 其对器件的造成的损伤程度也不尽相同, 为此, 提出了有效 LET 值概念。有效 LET 为粒子倾角入射时等效于表面法线方向上单位密度单位长度上沉积的能量, 通常用 LET_{eff} 表示, 定义如式(3.9):

$$LET_{eff} = LET_{\theta} / \cos\theta \quad (3.9)$$

式中, θ 为入射角度 (与表面法线方向的夹角), LET_{θ} 为以 θ 角入射的离子的 LET 值。

LET 值在材料中并不为定值, 而是一个随材料深度变化的函数, 见图 3-41, 不同离子 LET 值函数均存在一个峰值, 称为布拉格峰, 随着深度增大, 在达到布拉格峰前, LET 值会不断增大, 而达到布拉格峰后, LET 值迅速减小, 根据这一分布规律可知, 当布拉格峰位于外延层与衬底接触面时, 粒子在材料中电离出的电子-空穴对最多, 进而引起的瞬态电流或被栅氧俘获的载流子数量也最大, 也更容易引起器件退化或失效^[24]。

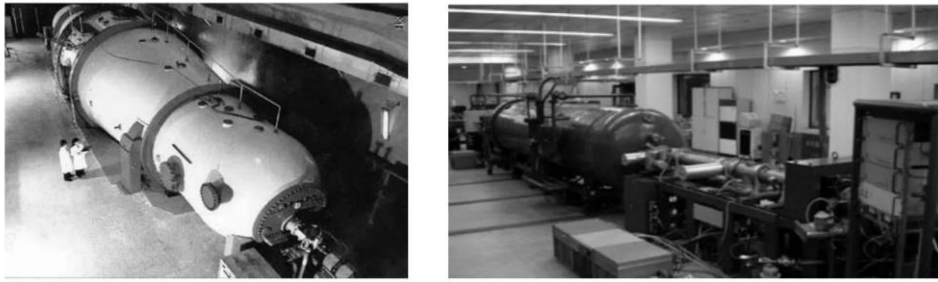


图 3-40 HI-13 串联静电加速器与 HIRFL 回旋加速器

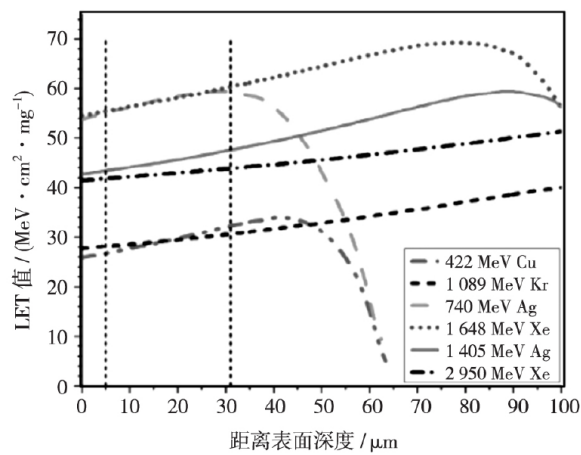


图 3-41 几种粒子的 LET 值与入射深度关系曲线

当高能粒子射入器件，会在入射路径电离产生电子-空穴对。如图 3-42 所示，在漏源电压 V_{DS} 作用下，器件寄生 BJT 导通局部温度的升高将导致半导体材料发生熔化，并产生一个导电性较好的电流路径，使得漏-源电压突然下降，即二次击穿，最终导致器件发生 SEB。

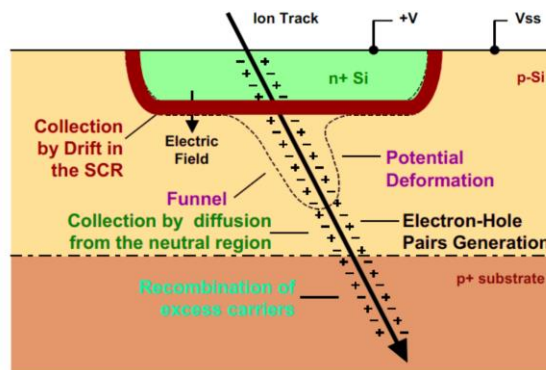


图 3-42 SEE 发生时器件示意图

此外，一部分载流子会在栅压作用下会注入栅氧，栅-漏间漏电流增大，此外界面处的俘获的电荷会在局部产生大电场，进而导致栅氧击穿，即 SEGR。

在实际应用中，中子或质子引起的单粒子失效往往更常见，针对工业的辐照可靠性测试，JEP151 标准给出了详细的测试方法^[25]。测试设计包括将样品器件暴露于辐照环境中；加载一定电压及温度条

件；器件失效检测以及潜在的失效影响因素分析：

(1) 在粒子束准备阶段，需要对粒子束辐照能量、辐照通量以及为加速实验选取的加速因子进行合理取值并测量记录。通过仿真分析，为达到有效的测试结果，所选取的单能量粒子束能量应不低于 150MeV^[26]；待测器件位置辐照通量容差不得大于 $\pm 10\%$ 。而加速因子取在 $10^4\sim 10^8$ 之间。之后将 30~50 颗待测器件置于辐照粒子束路径上，如图 3-43 所示。

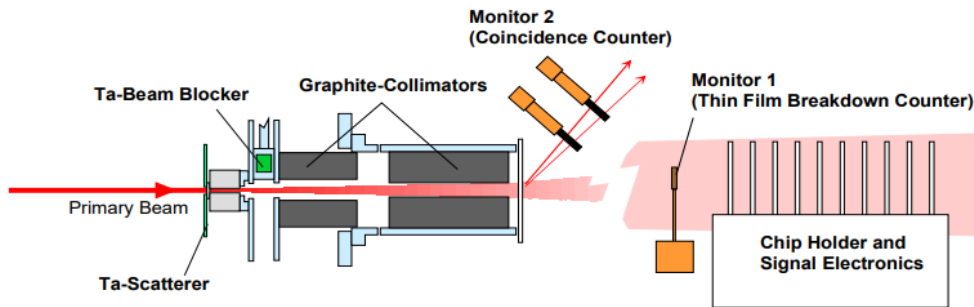


图 3-43 辐照实验设置示意图

(2) 为保证在辐照过程中模拟器件工作状态下 SEE 诱发过程，对待测器件施加合理的电压及温度等应力条件（如图 3-44）。其中，偏置电压应为额定电压 60% 以上，而温度升高则会降低器件的失效率。

(3) 测试完成后统计失效器件数量并排除非辐照引发的其他机制失效，并排除其他可能由加速器、检测仪等引起的测试误差或错误。

测试结束后应当记录所使用粒子束种类、能量及能谱、样品数量、器件暴露条件、偏置电压条件、温度条件、失效后器件性能测试结果、失效判据及潜在失效误差等。

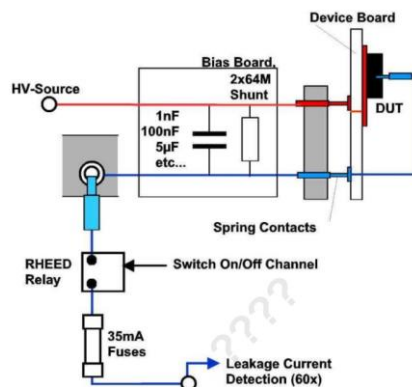


图 3-44 待测器件偏置条件示意图

为了解不同条件下 SiC MOSFET 发生 SEE 时内部电学参数分布以及失效发生位置，还可以通过建立仿真模型对器件内部微观结构分析。通常使用 TCAD 软件通过数值分析建立仿真模型，常用的数值仿真软件有 Silvaco 公司的 Athena 和 Atlas，Synopsys 公司的 Tsuprem4 和 Medici，Crosslight Software 公司的 Csuprem 和 APSYS 以及 ISE 公司的 Dios 和 Dessis。此外，高能粒子的辐照环境可以选择使用 CERN 开发的 Geant4 软件模拟。仿真流程主要分为五个部分，分别为结构描述、材料模型描述、选择数值计算方法、求解描述、结果分析。

3.5.4 可靠性机理研究现状

单粒子烧毁与单粒子栅裂效应最早分别于 1986 年和 1987 年在 Si 基垂直双扩散金属氧化物半导体场效应管（VDMOS）的研究中提出^[27-28]，当时认为器件的 SEB 始于强电流触发外延层的雪崩。当其内部的寄生双极晶体管（BJT）被激发导通，在外延/衬底界面处电场增加。这一电场削弱了碰撞电离的作用；反之，由于高电子密度导致带隙变窄，电流可通过带间隧穿来维持。同时局部温度的升高将导致 Si 发生熔化，并产生一个导电性较好的电流路径，使得漏极-源极电压突然下降，即触发二次击穿，最终导致器件发生 SEB。带电粒子作用于高偏压工作状态下的器件后，导致并分析认为 SEB 发生原因是寄生 BJT 导通引起器件二次击穿。

Ion	Device	Rated Voltage	Max V_{DS} No Damage	Onset V_{DS} : I_D, I_G Degradation $I_G = I_D$ $I_D > I_G$		Min V_{DS} Sudden SEE
1110 MeV Ag	M1	1200	$50 < V_{DS} < 75$	$200 \leq V_{DS} < 225$	$350 < V_{DS} < 400$	$500 < SEB \leq 600$
	M6	1200	$25 < V_{DS} < 50$	$50 < V_{DS} < 100$	not found	SEE ≤ 600 (see Xe)
996 MeV Xe	M1	1200	$50 < V_{DS} < 75$	$200 < V_{DS} < 300$	$400 < V_{DS} < 425$	$450 < SEB \leq 500$
	M2A	1200	$40 < V_{DS} < 50$	< 182	$*400 < V_{DS} < 500$	$600 < SEB \leq 700$
	M2B	1200	$50 < V_{DS} < 60$	< 182	$300 < V_{DS} < 400$	not found (> 500)
	M2C	3300	$50 < V_{DS} < 75$	n/a†	$325 < V_{DS} < 350$	$600 < SEB \leq 800$
	M5	1200	$40 < V_{DS} < 50$	< 182	$200 < V_{DS} < 400$	$400 \leq SEE \leq 600$
	M6	1200	not found	not found	not found (≤ 500)	SEE > 500 (see Ag)
566 MeV Cu	M5	1200	$70 < V_{DS} < 80$	$200 < V_{DS} \leq 400$	not found (> 400)	$400 < SEB \leq 600$

*Onset > 400 V based on 4 samples irradiated to low, 1×10^3 cm⁻² fluence
†Latent gate damage only; during beam exposure, all events resulted in $I_D > I_G$

图 3-45 VGS=0V 时，SiC MOSFET 单粒子效应测试结果

随着近十年 SiC 器件工艺的成熟及商业 SiC 器件的普及，包括美国 NASA 在内的航天技术研究人员将目光投向了 SiC MOSFET，并聚焦其抗辐照性能。Lauenstein 等人^[29]研究了高能 Ag 离子与 Xe 离子辐射对商用 SiC MOSFET 器件影响，如图 3-45 的测试结果所示，器件在低于其额定电压 10%时就可能发生永久损伤，而低于其额定电压 60%时几乎全部发生单粒子效应。研究表明，虽然 SiC MOSFET 温度稳定性相较硅基器件更好，但其抗 SEE 辐照能力仍然较差，难以满足太空应用要求。

为设计相应加固结构以进一步提高现有 SiC MOSFET 抗辐照性能以满足太空应用场景，包括 NASA 在内的各个研究团队深入剖析了 SiC MOSFET 发生 SEE 失效的机理。研究表明：在 SiC MOSFET 发生的单粒子失效中，SEGR 和 SEB 发生的情况更加普遍，这两种效应的发生与器件被粒子辐照后电荷电离导致的晶格热损伤以及所产生的栅氧潜在损伤有关^[30]。辐照后的栅应力测试显示，辐照对器件栅氧形成了不可逆的损伤具体表现为栅极漏电流 I_{GSS} 的增大。这一退化在栅压低于阈值电压 10%条件下便可以观察到，并且随着栅压继续增大退化幅度程正比例增大。图 3-46 展示了 SiC MOSFET 发生 SEE 的过程。因此，目前国际上针对 SiC MOSFET 抗辐射加固技术的研究也更着重于解决 SEB 和 SEGR 这两个问题。

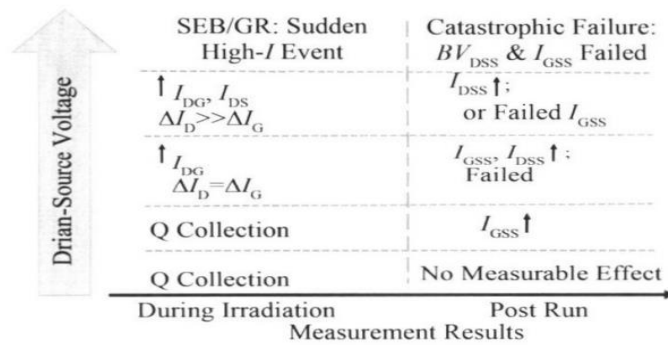


图 3-46 SiC MOSFET 辐照前后的重离子效应与施加电压的关系
(失效是指, $I_{GSS} > 1 \text{ mA}$, $BV_{DSS} \ll \text{额定电压}$)

2015, Shoji 等^[31]研究了中子辐照 SiC MOSFET SEB 诱发机理(图 3-47 (a))。通过使用 SEM 观察 SEB 发生后的 SiC MOSFET 样品器件, 可以看到器件表面与半导体体内发生了明显的损毁。后续使用 TCAD 仿真软件进行模拟后发现器件损坏的可能原因很多, 如图 3-47 (b) 所示器件内部的电场分布发生明显变化且峰值位置转移, 此外 n/n⁺结处因碰撞电离导致的载流子激增, 这些都可能是使器件损坏的主导因素, 最终在诸多物理性质改变的综合作用下导致了 SEB 失效的发生。

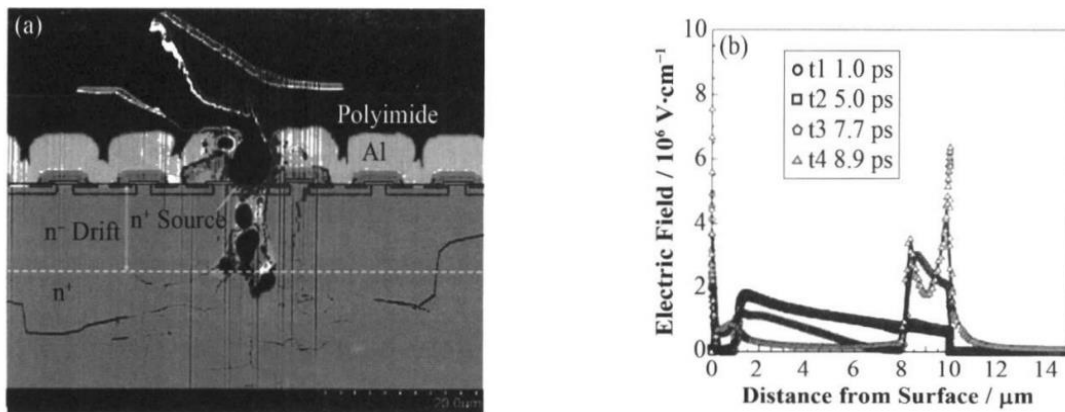


图 3-47 (a)扫描电子显微镜下 SiC 功率 MOSFET SEB 示意图, (b)SiC 功率 MOSFET 重离子入射后电场变化仿真示意图

2018 年, Ikpe 等人^[32]对市面上的各型号商用 SiC MOSFET 器件进行了 SEB 测试, 并研究了重离子 LET 之对失效过程的影响, 如图 3-48 所示。研究结果将器件 SEB 发生后退化以及失效过程分为了 5 个阶段: (1) LET 值达到一定阈值后, 器件会随着漏-源电压 V_{DS} 增大经历非永久性退化; (2) LET 值的增大引起栅极潜在损伤主导的退化; (3) 栅-漏间漏电流主导的退化; (4) 源-漏间漏电流主导的退化以及 (5) 最终的 SEB 失效。先前的研究表明, 在 Si 基 MOSFET 中 SEB 是由于器件寄生三极管开启导致失效, 但 Ikpe 认为 SiC MOSFET 寄生三极管开启所需电压更高, 因此可能没有参与到器件 SEB 的失效过程中。

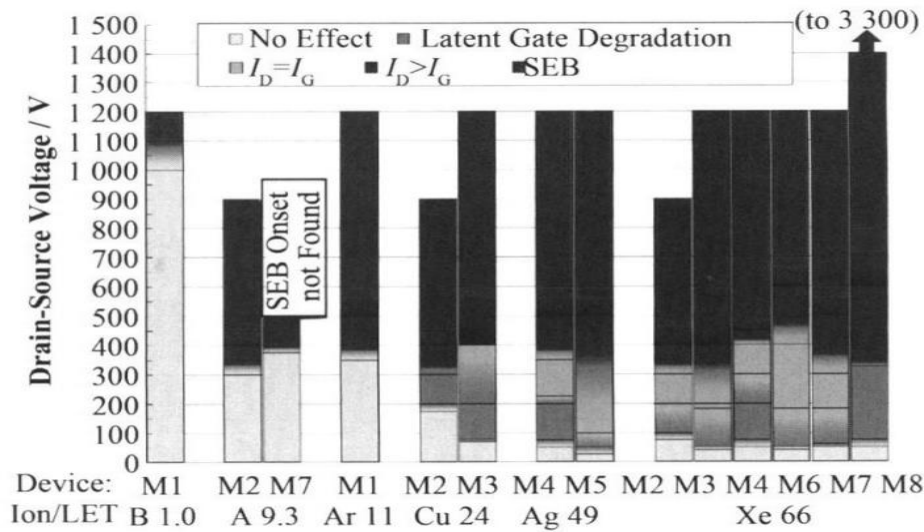


图 3-48 MOSFET 对不同离子束响应的柱图

同年 Ball^[31]等人同样采用 TCAD 模拟的方法，研究了寄生三极管在 SiC MOSFET 的 SEB 失效过程中的作用。通过对相同外延层结构的 SiC JBS 二极管以及 MOSFET 电场分布分析，发现当离子入射后分布发生变化且在器件 N+衬底与 N-漂移层界面处观察到电场峰值。由于离子诱导的高局域态能量脉冲作用，衬底与外延界面处较大的电场以及重离子入射后引起的瞬态电流也导致了高密度能量集中，最终导致了器件 SEB 失效（如图 3-49）。此外，研究同样否认了 SiC MOSFET 发生 SEB 失效时的寄生三极管失效诱因。

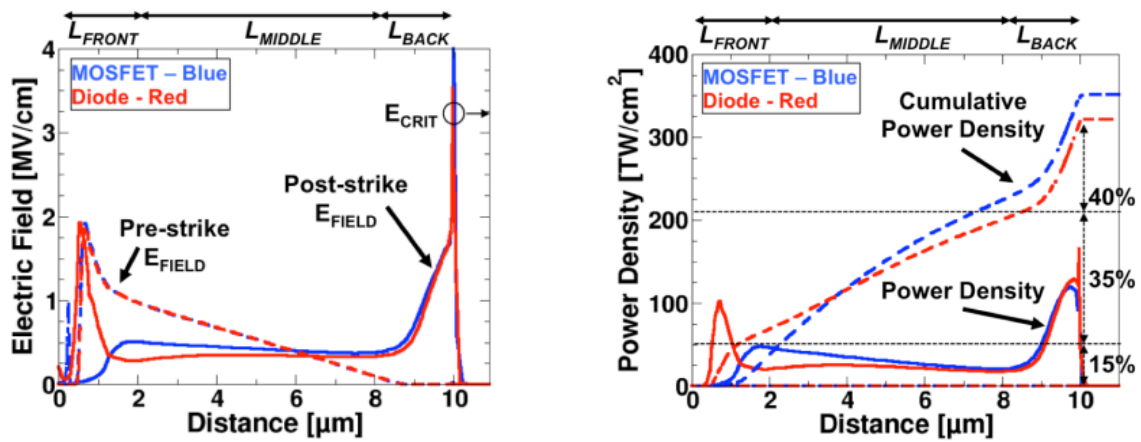


图 3-49 辐照前后 MOSFET 电场与能量密度分布

就目前各团队最新的对 SiC MOSFET SEE 机理的研究而言，基本全部肯定了粒子入射后导致的电场漂移以及载流子碰撞电离对诱发 SEB 的贡献，但与 Si 基 MOSFET 发生 SEB 机制中 BJT 作用存在明显区别，但由于不同粒子电离作用及非电离作用不同，不同粒子对 SiC MOSFET 单粒子效应间的等效关系还需要进一步研究证实。

因辐照实验对粒子加速器、辐射源等试验条件要求较高，实验成本高昂，国内对此类研究起步较晚，现阶段多采用 TCAD、Geant4 等仿真软件模拟计算。

参考文献

- [1] Fayyaz A, Castellazzi A, “High temperature pulsed-gate robustness testing of SiC power MOSFETs”, *Microelectronics Reliability*, 2015 (55), pp. 1724-1728.
- [2] Lelis A J, Green R, Habersat D B, et al., “Basic Mechanisms of Threshold-Voltage Instability and Implications for Reliability Testing of SiC MOSFETs”, *IEEE Trans. Electron Devices*, 2015, 62 (2): 316-323.
- [3] D. Peters, T. Aichinger, T. Basler, G. Rescher, K. Puschkarsk, and H. Reisinger, “Investigation of threshold voltage stability of SiC MOSFETs”, *IEEE ISPSD 2018*, pp. 40-43.
- [4] 魏家行. 碳化硅基功率 MOSFET 可靠性机理及模型研究[D]. 东南大学.
- [5] Matsumura M, Kobayashi K, Mori Y, et al, “Two-component model for long-term prediction of threshold voltage shifts in SiC MOSFETs under negative bias stress”, *Jpn. J. Appl. Phys.*, 2015, 54, 04DP12.
- [6] H. Jiang, X. Zhong, G. Qiu, L. Tang, X. Qi, and L Ran, “Dynamic Gate Stress Induced Threshold Voltage Drift of Silicon Carbide MOSFET”, *IEEE Electron Device Letters*, 2020, 41 (9), pp.1284-1287.
- [7] Nguyen T, Ahmed A, Thang T V, et al, “Gate Oxide Reliability Issues of SiC MOSFETs Under Short-Circuit Operation”, *IEEE Trans. Power Electronics*, 2015, 30 (5): 2445-2455.
- [8] Wang Z, Shi X, Tolbert L M, et al, “Temperature-Dependent Short-Circuit Capability of Silicon Carbide Power MOSFETs”, *IEEE Trans. Power Electronics*, 2016, 31 (2): 1555-1566.
- [9] F. Boige, D. Tremouilles, and F. Richardeau, “Physical origin of the gate current surge during short-circuit operation of SiC MOSFET,” *IEEE Electron Device Lett.*, vol. 40, no. 5, pp. 666–669, May 2019.
- [10] J. Wei, S. Liu, L. Yang, J. Fang, T. Li, S. Li, and W. Sun, “Comprehensive analysis of electrical parameters degradations for SiC power MOSFETs under repetitive short-circuit stress,” *IEEE Trans. Electron Devices*, vol. 65, no. 12, pp. 5440–5447.
- [11] J. Sun, J. Wei, Z. Zheng, Y. Wang, and K. J. Chen, “Short circuit capability and short circuit induced V_{TH} instability of a 1.2kV SiC power MOSFET,” *IEEE J. Emerg. Sel. Topics Power Electron.*, vol. 7, no. 3, pp. 1539–1546, Sep. 2019.
- [12] Fayyaz A, Yang L, Riccio M, et al., “Single pulse avalanche robustness and repetitive stress ageing of SiC power MOSFETs”, *Microelectron. Reliab.*, 2014, 54 (9-10): 2185-2190.
- [13] Fayyaz A, Castellazzi A, Romano G, et al., “Influence of gate bias on the avalanche ruggedness of SiC power MOSFETs”, *IEEE ISPSD 2017*, pp. 391-394.
- [14] Kelley M D, Pushpakaran B N, Bayne S B, “Single-Pulse Avalanche Mode Robustness of Commercial 1200 V/80 mΩ SiC MOSFETs”. *IEEE Trans. Power Electronics*, 2017, 32 (8), pp. 6405-6415.
- [15] Kelley M D, Pushpakaran B N, Bilbao A V, et al., “Single-pulse avalanche mode operation of 10-kV/10-A SiC MOSFET”, *Microelectron. Reliab.*, 2018, 81, pp. 174-180.
- [16] N. Ren, K. L. Wang, J. Wu, H. Xu, and K. Sheng, “Failure mechanism analysis of SiC MOSFETs in unclamped inductive switching conditions,” *IEEE ISPSD 2019*, pp. 183–186.

- [17] S. Liu, C. Gu, J. Wei, Q. Qian, W. Sun, and A. Q. Huang, "Repetitive unclamped-inductive-switching-induced electrical parameters degradations and simulation optimizations for 4H-SiC MOSFETs", *IEEE Trans. Electron Devices*, vol. 63, no. 11, pp. 4331–4338.
- [18] J. Wei, S. Liu, S. Li, J. Fang, T. Li, and W. Sun, "Comprehensive investigations on degradations of dynamic characteristics for SiC power MOSFETs under repetitive avalanche shocks," *IEEE Trans. Power Electron.*, vol. 34, no. 3, pp. 2748–2757.
- [19] X. Deng, W. Huang, X. Li, X. Li, C. Chen, Y. Wen, J. Ding, W. Chen, Y. Sun, and B Zhang, "Investigation of Failure Mechanisms of 1200V Rated Trench SiC MOSFETs under Repetitive Avalanche Stress", *IEEE Trans. Power Electron.*, in press.
- [20] P. Hofstetter and M. Bakran, "Comparison of the Surge Current Ruggedness between the Body Diode of SiC MOSFETs and Si Diodes for IGBT," *IEEE CIPS 2018*, pp. 1-7.
- [21] Z. Zhu, et al., "Degradation of 4H-SiC MOSFET body diode under repetitive surge current stress," *IEEE ISPSD 2020*, pp. 182-185.
- [22] X. Jiang et al., "Investigation on Degradation of SiC MOSFET Under Surge Current Stress of Body Diode," *IEEE J. Emerg. Sel. Topics Power Electron.*, vol. 8, no. 1, pp. 77-89, March 2020.
- [23] 刘翠翠, 郭刚, 李治明,等. SiC MOSFET 单粒子效应研究现状[J]. 核技术.
- [24] 唐昭焕, 谭开洲, 胡刚毅,等. 宇航 VDMOS 器件单粒子辐射加固技术综述[J]. 微电子学, 2020, 50(3):5.
- [25] JEP151A Test Procedure for the Measurement of Terrestrial Cosmic Ray Induced Destructive Effects in Power Semiconductor Devices[S]. JEDEC SOLID STATE TECHNOLOGY ASSOCIATION
- [26] .H.K. Tang, "Nuclear physics of cosmic ray interaction with semiconductor materials: Particle-induced soft errors from a Voltage-dependent multiplication of charge in a 4 kV diode. Device simulation and experimental results for irradiation with C (17 MeV) and Kr (270 MeV). physicist's perspective", *IBM J. of Res. and Devel.* vol. 40, no.1, pp. 91-108, 1996
- [27] Waskiewicz A E, Groninger J W, Strahan V H, et al. Burnout of Power MOS Transistors with Heavy Ions of Californium-252[J]. *IEEE Trans. nucl*, 1986, 33(6):1710-1713.
- [28] Fischer T A. Heavy-Ion-Induced, Gate-Rupture in Power MOSFETs [J]. *IEEE Transactions on Nuclear Science*, 1987, 34(6):1786-1791.
- [29] Lauenstein J M, Casey M, Topper A, et al. Silicon Carbide Power Device Performance Under Heavy-Ion Irradiation. 2015.
- [30] Ikpe S A, Lauenstein J M, Carr G A, et al. Long-Term Reliability of a Hard-Switched Boost Power Processing Unit Utilizing SiC Power MOSFETs[C]// 2016 IEEE International Reliability Physics Symposium (IRPS). IEEE, 2016.
- [31] Tomoyuki, Shoji, Shuichi, et al. Analysis of neutron-induced single-event burnout in SiC power MOSFETs[J]. *Microelectronics Reliability*, 2015.
- [32] Ball D R, Hutson J M, Javanainen A, et al. Ion-Induced Energy Pulse Mechanism for Single-Event Burnout in High-Voltage SiC Power MOSFETs and Junction Barrier Schottky Diodes[J]. *IEEE Transactions on*

Nuclear Science, 2019, PP(99):1-1.

4 SiC MOSFET 应用与可靠性提升方法

4.1 SiC MOSFET 应用概况

4.1.1 SiC MOSFET 应用预测分析

基于 SiC MOSFET 与 Si IGBT 的变换器典型效率对比图如 4-1 所示，基于 SiC MOSFET 的逆变器在开关频率提高三倍的前提下，还能保持更高效率^[1]。在一系列大功率应用中，采用 SiC MOSFET 替换 Si IGBT 都在效率和体积上更具优势，如 GE 1MW 光伏逆变器（峰值效率超过 99%）^[2]、东芝全 SiC UPS G2020（效率提升 1.2%，占地减小 17%）^[3]、三菱铁路牵引电驱（体积减小 55%）^[4]等。

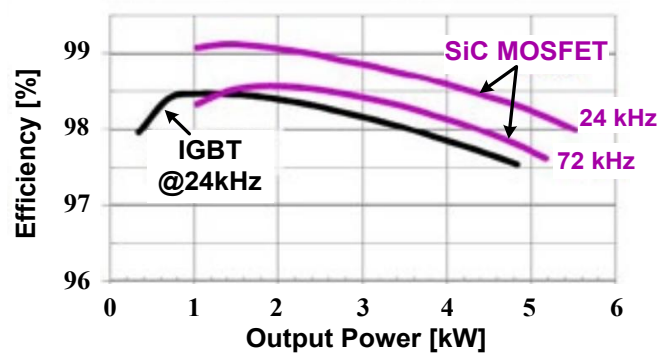


图 4-1 基于 1200V SiC MOSFET (IMW120R045 M1) 和 Si IGBT (IKW120N120H3) 的单相 T 型三电平逆变器效率对比图^[1]

据 Yole 预测，SiC 总的市场份额将由 2021 年的 10.9 亿美元增长到 2027 年的 63.0 亿美元，年复合增长率 34%，如 4-2 所示。2021 年汽车和能源领域分别贡献为 63%和 14%市场份额，未来 5 年，这两个领域仍是 SiC 器件应用的主要增长点，2027 年预计分别将有 50.9 和 4.6 亿美元市场^[9]。Yole 给出的 SiC 功率器件应用发展路径如 4-3 示，SiC 功率器件在电动汽车电机驱动（电驱）、车载充电器（OBC）、充电桩、光伏变换器和机车牵引都已经有了商业应用案例，其中电驱、OBC、光伏变换器和机车牵引的产品逐步增加。

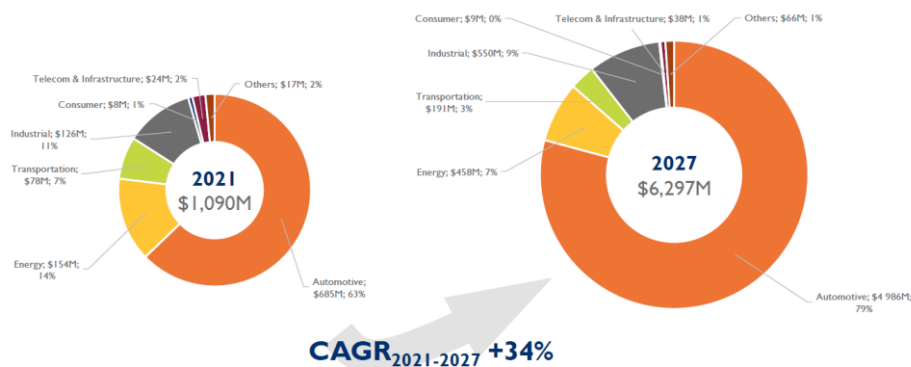


图 4-2 Yole 2021-2027 SiC 功率器件市场预测及分布 (CAGR: 年复合增长率)^[5]

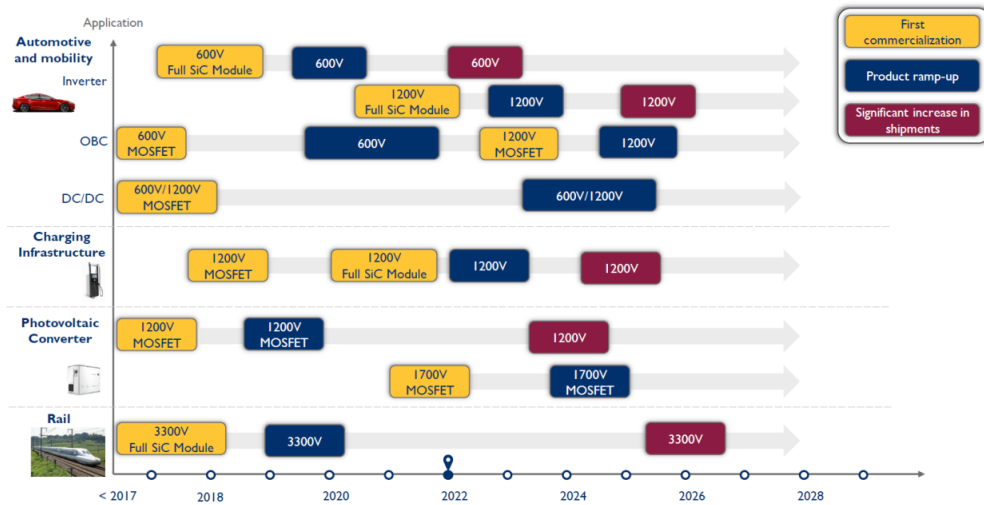


图 4-3 Yole SiC 功率器件应用 Roadmap^[5]

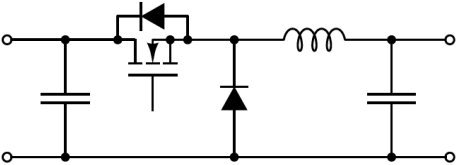
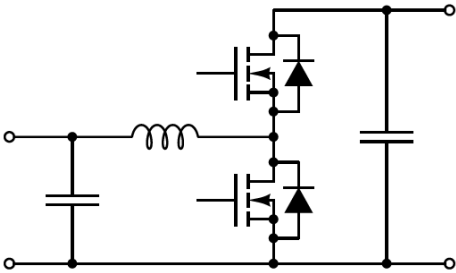
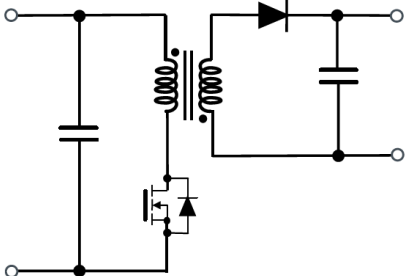
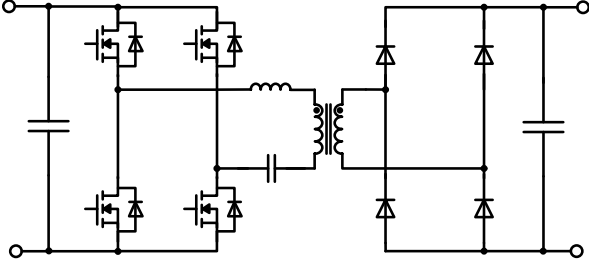
4.1.2 典型应用的拓扑电路

SiC MOSFET 的应用领域非常广阔，传统 Si IGBT 的应用场合均可由其替代，如 DC-DC (Buck、Boost、Buckboost) 变换电路、谐振变换电路 (LLC 等)、AC-DC (Totem-pole PFC 等) 变换器、DC-AC (单相、三相逆变) 变换器。一些需要通过低压 Si MOSFET 变换器串并联实现 DC-DC 转换的场合 (三相输入的中大功率的工业电源，如通信 AC/DC 电源、HVDC 系统、电动汽车充电器等母线电压 600-800V 的场合)，可通过将更高耐压的 SiC MOSFET 应用在更简单的两电平全桥 LLC 谐振变换器中，简化设计，降低成本，同时提高开关频率来提升功率密度。总之，采用 SiC 基器件代替 Si 基器件，可以减小开关损耗，提高开关频率，减小无源元件和散热器体积^[6]。

SiC MOSFET 应用的电路拓扑基本沿用传统电力电子拓扑，表 4-1 简介了基本电力电子拓扑和功能，并列出了引入 SiC MOSFET 带来的好处。

表 4-1 SiC MOSFET 的典型应用拓扑

名称	拓扑电路	功能
逆变/整流器		应用于电动汽车、电力系统、工业、国防、民用等领域，实现 (1) DC/AC 变换；(2) AC/DC 变换
Boost 变换器		应用于电力系统、工业等领域，实现 (1) 直流升压；(2) 功率因数校正

Buck 变换器		应用于电力系统、工业等领域，实现(1) 直流降压
Buck-Boost 变 换器		应用于电动汽车、电力系统、工业等领域，实现(1) 直流升压或降压
Flyback 变换器		应用于电动汽车、电力系统、工业等领域，实现(1) 隔离 DC-DC 变换
LLC 谐振变 换器		应用于电动汽车、电力系统、工业等领域，实现(1) 隔离 DC-DC 变换

4.1.3 SiC MOSFET 应用中的典型工作状态

不论何种拓扑结构，SiC MOSFET 的工作状态可以简单地拆分成导通状态、关断状态、开关过程三种。导通状态、关断状态对典型的长期可靠性试验为高温栅偏 HTGB、高温反偏 HTRB；对于 HTGB、HTRB 来讲，原有 Si 功率器件的加速模型及加速因子已经不再适用 SiC MOSFET 器件，有必要针对 SiC MOSFET 开展实际工况下的可靠性研究，其加速模型、加速因子需要长期、持久的可靠性数据的积累拟合推导而出。而对于开关状态下的可靠性以及失效机理，则需要进一步研究。

SiC MOSFET 开关速度快，开关过程中电路寄生参数带来的电压过冲，电流振荡、桥臂串扰等对器件的长期可靠性应用带来的更复杂的问题，因此其开关过程的长期可靠性亦是需要关注的重点领域。

随着电力电子功率器件的不断进步，开关电源的工作频率也在不断提高，目前开关电源的工作频率已经达到几百千赫兹甚至数兆赫兹。开关器件的高频应用虽然可以减小无源元件体积，提升装置的功率密度，但频率的增加也带来了开关损耗的增加，降低了电源整机效率，特别是在硬开关的应用场合，因此也增加了散热的需求，同时增大电磁干扰和高频寄生参数。并且硬开关还会造成电压尖峰，

增大电磁干扰，易损坏开关管，影响电路稳定。为解决开关频率增加而带来的上述问题，软开关技术被大量应用在高功率变换器中。

常见的软开关电路有谐振电路和移相全桥电路等。谐振变换电路通过在硬开关电路中加入感性和容性元件形成谐振模型，在开关管开通和关断过程中，谐振模型工作，改变电压和电流之间的相位，从而减小电压电流的交叠面积，实现软开关，进而达到减小开关损耗的目的。谐振变换器因其效率高、功率密度大、开关频率高、并能实现软开关、开关损耗小等优越的性能，逐步成为研究的重点，其中已广泛被使用的有 LLC 谐振变换器。

目前对于 LLC 谐振变换器的研究热点主要集中在以下几个方面：（1）拓扑结构：包括常规的半桥、全桥 LLC 拓扑以及衍生的三电平 LLC、双向 LLC、LLC 多相级联等拓扑的工作原理和控制方法；（2）磁性元件的磁集成：采用磁集成技术，充分利用变压器漏感，将变换器的所有磁性元件集成到变压器中，从而有效减小变换器的体积，但同时需考虑大功率时带来的发热问题；（3）同步整流技术：当变换器的输出电流较大时，采用同步整流技术可以大幅度减小输出整流器的导通损耗；（4）控制方式和控制策略：通常选择移相控制或者变频控制方式，采用更优的控制算法，如滑模控制、砰-砰控制、以及目前研究较热的基于轨迹优化等控制策略；（5）优化参数设计：意义在于确定变换器的最佳工作区间，更有效地应对宽输入输出电压范围和负载变化要求，实现开关管的 ZVS，减少开关损耗，减小谐振回路的谐振电流，提高变换器的工作性能；（6）小信号建模是研究和设计 LLC 谐振变换器的闭环控制系统的必要工具，建立一个高精度且容易理解和掌握，能够直接用于补偿器设计的小信号模型至关重要^[6]。

4.1.4 SiC MOSFET 应用电路的主要设计参数

SiC 功率器件和 Si 器件两者的驱动不能完全兼容，不能完全使用后者成熟的驱动电路。SiC MOSFET 在驱动电压和驱动速度上的要求较高，一般要求如下：（1）驱动电压要足够高，使 SiC MOSFET 完全开通，降低导通电阻；（2）驱动电路要提供足够大的驱动电流；（3）负压关断，加快开关速度，防止栅极振荡引起的误开通，增强抗干扰能力；（4）提供钳位电路，避免开关速度很高时栅极电阻压降引起误开通；（5）减小驱动回路寄生电感，PCB 要合理布局，驱动电路尽可能靠近功率管，减小栅极振荡。

因 SiC 功率器件比较适合高频应用，开关频率的增加，对电路中功率电感和高频变压器等磁性元件的要求更高，合理的设计磁性元件，才能发挥出 SiC 功率器件的优势。在磁性元件的设计上，要求高频化的同时保证高可靠性。目前，磁性元件的设计在这些方面的设计经验还不足，无论是磁芯材料的选择、磁芯生产工艺，还是磁性元件的结构设计、性能优化等，都有待进一步的深入研究^[7]。

根据应用对象的不同，SiC MOSFET 的典型应用场景主要分为面向汽车的应用以及面向电网电力转换两大类。下面就这两类典型场景进行简单介绍。

4.2 面向汽车应用的典型场景

4.2.1 车载用 SiC 功率器件需求分析

得益于更高的开关频率和更低的损耗，采用 SiC MOSFET 能降低电驱和车载充电器重量，并降低

电能损耗，两者都能提升汽车续航里程。比亚迪、特斯拉、丰田等汽车厂商已有搭载 SiC MOSFET 的乘用车上市^[10]。图 4-4 (a)为特斯拉 Model 3 型电动汽车的逆变器，采用 STmicro 公司的 SiC MOSFET，图 4-4 (b)为比亚迪汉 EV 中采用的 SiC 三相逆变功率模块。早在 2014 年，日本丰田汽车公司即宣布研制全碳化硅器件的电动汽车功率控制单元（PCU），如图 4-4(c)所示，得益于 SiC 器件的高频低损特性，预期目标为使 SiC PCU 相比于 Si PCU 体积减小 80%。

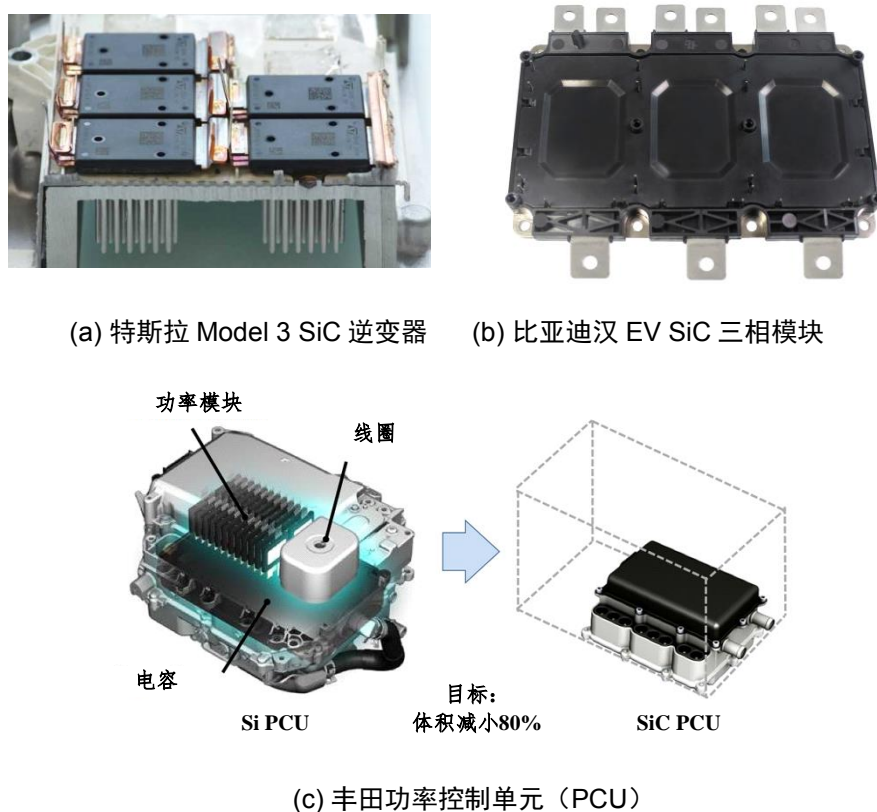


图 4-4 SiC 功率器件在新能源汽车上的应用^[8]

此外，受电动汽车空间大小限制，其配备的车载充电机对功率密度较为敏感。而 SiC 器件高频低损的优良特性能够大幅提升车载充电机的充电效率和功率密度。因此，SiC 器件在车载充电机领域也有广阔的市场前景。目前，各大厂商已经在研发 SiC OBC 的相关产品，如 Rohm 公司和中国联合汽车电子系统有限公司（UAES）在上海成立 SiC 技术联合实验室，其采用 SiC 的车载应用已于 2020 年成功投入量产^[9]，STmicro 已开始为雷诺-日产-三菱（联盟）提供 SiC 芯片用于车载充电机的研发等^[10]。

4.2.2 车载充电机 OBC

车载充电机（OBC）指固定安装在电动汽车上的蓄电池充电装置，由于车载充电机需要满足小型化、轻量化及高效率等应用需求，目前车载充电机大多采用高频技术实现。高频开关电源主要采用单级式变换器结构或两级式变换器结构^[11]。

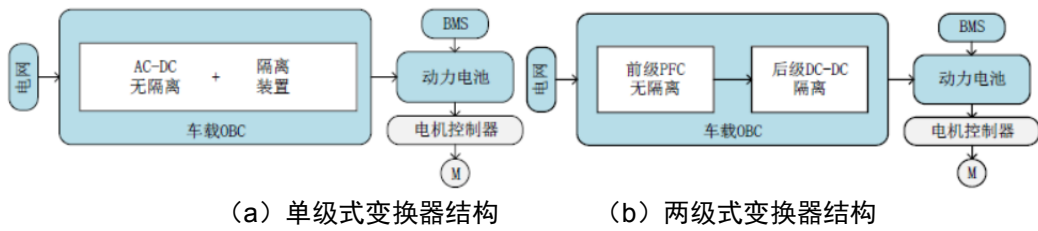


图 4-5 车载充电机变换器结构

单级式 OBC 将输入交流信号经过 AC/DC 变换为直流信号为电动汽车电池组供能。单级式车载充电机拓扑结构简单、功率密度高，电路成本低且控制简单。但单级电路输入电流很难做到标准正弦化，PF 低且不适合应用于大功率场合。图 4-6 所示为 Boost 型单级 PFC 的通用结构^[12]，A 点为 Boost 电感 LB 连接点，B 点为储能电容 CB 点，C 点为开关管点，在 ABC 之间加入电感、电容、二极管、变压器来实现 PFC 功能。

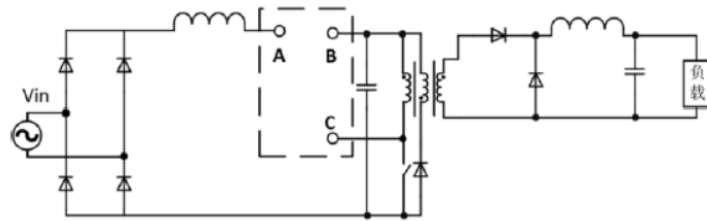


图 4-6 Boost 型单级 PFC 变换器的结构

两级式变换器结构是在原先的单级式 AC/DC 拓扑上增加一个后级 DC/DC 变换器。与单级式变换器相比，在增加了器件的成本下，可以使得电路具有较高的功率因数和较小的谐波失真率，能够实现更高效的功率变换。如图 4-7 为典型两级式 OBC 电路结构，前级为交错 Boost PFC 进行电路整流，后级为全桥 LLC 谐振变换器起到 DC/DC 以及电气隔离的功能。

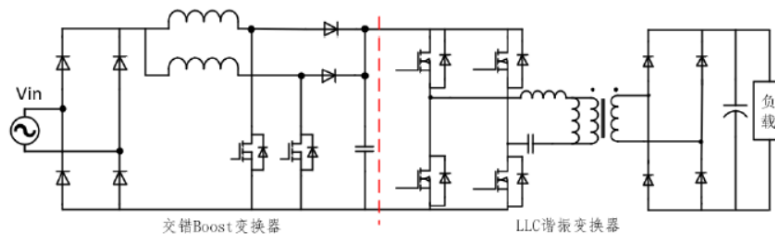


图 4-7 两级式 OBC 电路拓扑

早期拓扑中功率器件以超结 MOS、IGBT 为主，目前越来越多的厂家用 SiC MOS 替换其中的功率器件。相较第二代半导体功率器件，应用 SiC MOS 可以实现更改的功率密度和效率，减小 OBC 体积的同时为电池提供更多能量。当前基于硅器件的 OBC 功率密度不超过 2kW/L，SiC 器件的 OBC 功率密度可达 3kW/L 以上。OBC 中多为桥式电路，上下桥之间的串扰难以避免，这对 SiC MOS 门极导通阈值的稳定性提出了较高要求，同时对驱动设计、PCB 布局等也提出了较高的要求。

4.2.3 电机控制器

SiC 功率器件应用在电机驱动领域的逆变器上是如今研究的重点，单位体积密度、功率密度、经济性能均有所提高。目前的商业化应用并不成熟，简单的替换 Si 材料并不能真正发挥 SiC 功率器件的全部优势，其应用中出现的负面效应如桥臂串扰、电磁干扰等问题也制约着 SiC 逆变器的发展。其中，桥臂串扰情况恶劣时可能导致电路直通、烧毁器件，严重影响控制性能，SiC 器件在高频高压下产生的高频振荡及其寄生参数对 SiC 开关性能的影响需要进一步研究和改进。

目前在永磁同步电机控制系统中，SVPWM（空间矢量脉宽调制）是现在逆变器控制的研究热点，是逆变器控制中使用最普遍的调制策略，其主要思想为采用逆变器空间电压矢量的切换已获得准圆形旋转磁场，从而在开关频率不高的情况下，在定子线圈中产生三相互差 120° 电角度、失真度较小的正弦电流波形。然而，SVPWM 调制策略下的电机控制系统会产生高频共模电压，共模电压耦合所产生的共模电流不仅是导致电机损坏的重要因素之一，而且共模电压通过寄生电容与杂散电感的耦合与机壳、大地等形成回路，能够产生高频漏电流，此高频漏电流所带来的传导干扰是电机控制系统电磁干扰（EMI）的重要来源。有研究指出，由于 SiC MOSFET 工作在 20KHz 以上的高频领域，基于 SiC 功率器件的电机控制系统的电磁干扰比采用硅基功率器件的控制系统更为严重^[13]。

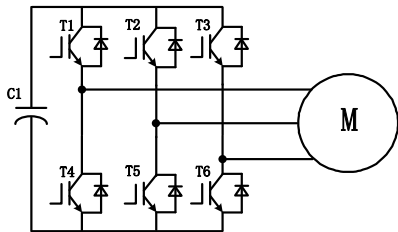


图 4-8 IGBT 组成的电机控制器

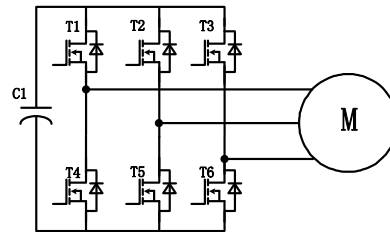


图 4-9 SiC MOS 组成的电机控制器

电机控制器一般直接与电机相连，常用的拓扑为三相半桥结构，如图 4-8 和图 4-9 所示。早期，电机控制器的功率器件为 IGBT，电压等级包括 650V、1200V，封装形式包括单管、模块等。目前随着 SiC 器件的发展，越来越多的 SiC MOS 用于电机控制器中，应用的场景包括 EV 主驱，列车牵引等。

在 EV 主驱中，SiC MOS 开关频率一般为 8-24kHz，上下桥间的串扰无可避免，因此需要 SiC MOS 的阈值电压稳定，不漂移，同时需要在驱动回路上做好保护设计，以免桥臂内直通。

4.2.4 直流充电桩

为了将交流电压整流为直流电压，并且适应多种乘用车充电需求，全碳化硅电源模块采用两级串联的结构，如图 4-10 所示。前级采用 PWM 整流器，用来实现功率因数校正功能，并为前后级的中间直流母线提供稳定的直流电压。后级采用 LLC 谐振变换器，具有高频隔离功能，并因其软开关特性，而具有较低的开关损耗，有利于发挥碳化硅功率器件高速开关的优势。

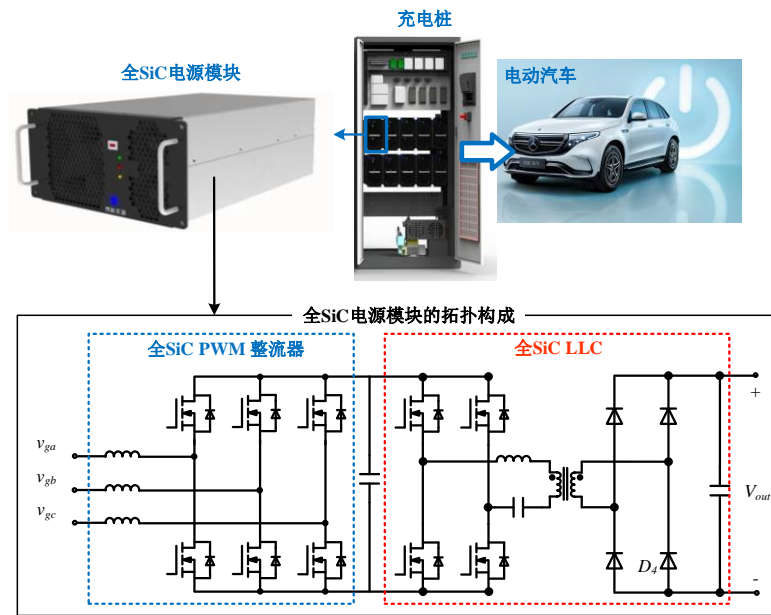
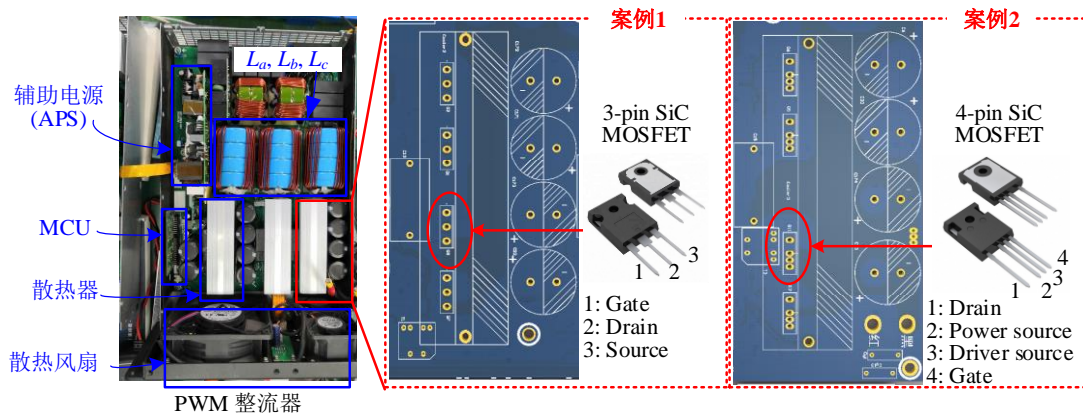
图 4-10 全碳化硅功率模块拓扑结构^[14]

图 4-11 对比实验所用 PWM 整流器的外观和 PCB 布局

根据法拉第电磁感应定律，SiC MOSFET 在电流上升或下降过程中产生栅源电压额外应力，其变化方向恰好与驱动过程中期望的栅源电压变化方向相反，因此形成二阶负反馈系统，影响栅源电压变化。驱动回路电感反馈通路部分过大将加剧栅源电压应力，恶化开关损耗；驱动回路电感前向通路部分过大将诱发谐振，或恶化开关损耗。总之，驱动回路杂散电感过大，不仅会带来谐振隐患，还将迟滞栅源电压变化，导致电流变化时段延长，开关损耗变大。

如图 4-11 所示，在相同的驱动电路、工作条件和器件电气参数的情况下，选取了两种杂散电感不同的封装结构，作为两个对照实验案例。驱动电路参数设计时，综合考虑驱动芯片特性、栅源电压干扰抑制策略，确保驱动电路和器件工作条件保持一致。唯一不同的是，相比于案例 1，案例 2 优化了驱动回路杂散电感，并采用 4 引脚的开尔文封装结构。

4.3 面向能源领域电力转换应用场景

4.3.1 能源领域 SiC 功率器件需求分析

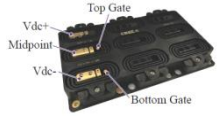
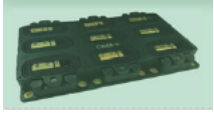
目前 SiC MOSFET 在能源领域的应用案例是组串式光伏逆变器。在前级 Boost 电路（用于最大功率跟踪）中利用 SiC MOSFET 代替 IGBT，可在保证高效率的前提下大幅提高逆变器的功率密度、减小重量。阳光电源 2017 年提出了基于 SiC MOSFET 的组串逆变器 SG80KTL-M，峰值效率可达 99%（欧洲效率 98.7%）；西门子公司 2020 推出了两款组串型逆变器 blueplanet 155 TL3 和 165 TL3，额定输出功率分别为 155kW 和 165kW，峰值效率 99.1%（欧洲效率 99%），功率密度超过 2kW/kg^[13]。功率密度的提升降低了搬运、安装组串式逆变器的成本，SiC MOSFET 将加速在该领域的应用。然而，上述效应在集中式光伏逆变器或微型逆变器中并不明显，因此 SiC MOSFET 在这两个领域中的应用会相对缓慢。

据文献调研可知，碳化硅 MOSFET 的最高电压为 15kV，Wolfspeed（CREE）高压碳化硅 MOSFET 器件的研制技术处于领先地位，自 2006 年研制出 10kV/5A 碳化硅 MOSFET 芯片后，各电压电流等级的高压碳化硅 MOSFET 器件参数如表 4-2 所示。芯片电压等级主要包括 10kV、15kV 等，芯片电流等级 5A-20A，器件电流最高超过 240A。

高压碳化硅 MOSFET 器件主要场合应用电力电子变压器，其中 DC/DC 环节的高压侧既有高压需求又有高频需求，因此是高压碳化硅器件主要应用位置；在 AC/DC 环节也有部分应用，主要应用了高压碳化硅器件的高压能力。10kV 以上高压碳化硅 MOSFET 器件的发展促进了拓扑简单（如两电平、三电平）的非级联变换器的应用，降低了系统复杂程度和控制难度。除个别特殊应用场合外，高压碳化硅 MOSFET 器件电压利用率集中在 40%~80%之间。

表 4-2 高压碳化硅器件基本参数

年份	器件规格	芯尺寸	模块图片
2011	10kV/10A 碳化硅 DMOSFET	8.1mm* 8.1mm	
2011	10kV/120A 碳化硅 MOSFET	8.1mm* 8.1mm	
2014	10kV/20A 碳化硅 MOSFET	8.1mm* 8.1mm	
2014	15kV/10A 碳化硅 MOSFET	8mm* 8mm	
2015	15kV/20A 碳化硅 MOSFET	8mm* 8mm	

2018	10kV/75A 碳化硅 MOSFET	8.1mm* 8.1mm	
2018	10kV/240A 碳化硅 MOSFET	8.1mm* 8.1mm	

在能源领域柔性直流输电、灵活交流输电、交直流配电、新能源发电设备对高压碳化硅 MOSFET 器件电压、电流、频率需求如表 4-3 所示。

表 4-3 各场合对碳化硅器件需求

应用场合	电压	电流	频率
柔性直流换流阀	10kV 以上	1000A 以上	500Hz 左右
直流断路器	10kV 以上	1000A 以上 较强关断能力	—
STATCOM	12kV、20kV、24kV	200A~1000A	15kHz 左右
电力电子变压器	14kV、20kV	100A~1000A	20~40kHz
固态断路器	12kV、15kV	100A~1000A 较强关断能力	—
风电变流器	10kV	1000A 以上	2k~4kHz

在电网应用中需要高压碳化硅 MOSFET 器件电压高、电流大、损耗低，且配套的散热系统效率更高。

(1) 高压柔性直流换流阀、直流断路器要求器件电流达 1000A 以上，目前 10kV 碳化硅 MOSFET 器件最大电流 240A，需要提高器件通流能力；电力电子变压器、固态断路器对于器件电压、开关频率有着较高要求，对器件电流容量要求范围广，因此 10~20kV 碳化硅器件具有明显优势，也是目前高压碳化硅器件研究及示范应用的主要场景；高压碳化硅器件能够有效简化中高压风电变流器装置拓扑，但是该场合开关频率不高，器件电流容量要求较高，因此高压碳化硅方案优势不明显；

(2) 高压碳化硅 MOSFET 器件虽然能够有效简化 STATCOM 装置拓扑，但由于成本、损耗等因素，与现有基于硅 IGBT 方案相比优势不明显，还需要进一步降低损耗；

(3) 高压碳化硅器件功率密度更高，热阻更大，相同损耗下器件结温更高，对散热系统的效率要求更高。

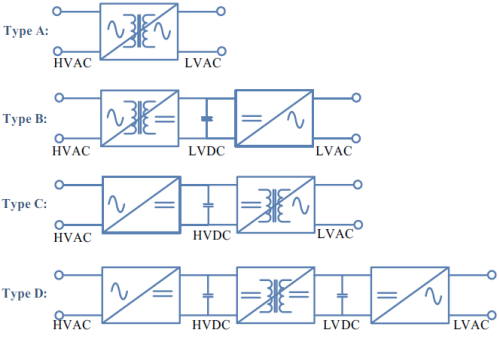
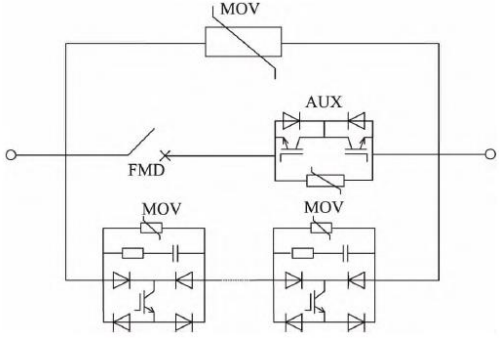
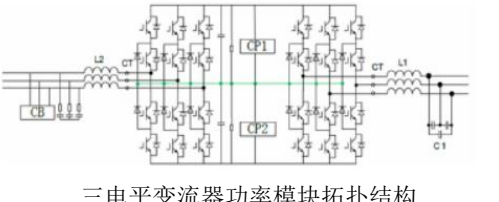
相比较其他工业应用领域，电网应用中功率除了工作结温更高、持续工作时间更长外，由于电网的特殊使用环境，在输电线路发生故障时系统残余能量和过电流会对整个系统装备造成很大影响。另外 SiC 器件的工作结温可以更高（例如超过 175℃），老化试验中的激活能和老化速度同硅基功率器件也不一样，也需要根据阿伦尼斯模型重新计算等效寿命时的激活能和结温、试验时长等条件。硅基器件可靠性测试条件无法准确评估 SiC 功率器件可靠性，需要针对 SiC 器件特性提出 SiC 功率器件可靠性评估方法，规范可靠性测试流程。鉴于电网应用中的高暂态应力和高可靠性要求，需要针对电力系统的应用需求，提出 SiC 功率器件应用可靠性评估方法，保证电网中 SiC 功率器件的可靠性。

4.3.2 典型应用的拓扑电路

电网应用工况下，SiC 器件面临非常大的挑战，短期内基于 SiC 的功率器件还无法替代硅基功率器件。因此在能源领域，SiC 器件应用的电路拓扑也是沿用传统电力电子拓扑，表 4-4 简介了能源领域中基本电力电子拓扑和功能。

表 4-4 SiC MOSFET 在高压能源领域的典型应用拓扑

名称	拓扑电路	功能
柔直换流阀		<p>应用于电动汽车、电力系统、工业、国防、民用等领域，实现(1) DC/AC 变换；(2) AC/DC 变换</p>
高压直流断路器		<p>应用于电力系统、工业等领域，实现(1) 直流升压；(2) 功率因数校正</p>
灵活交流输电设备		<p>应用于电力系统、工业等领域，实现(1) 直流降压</p>

电力电子变压器	 <p> Type A: HVAC → LVAC Type B: HVAC → LVDC → LVAC Type C: HVAC → HVDC → LVAC Type D: HVAC → HVDC → LVDC → LVAC </p> <p>HVAC: 高压交流, HVDC: 高压直流, LVAC: 低压交流, LVDC: 低压直流</p>	应用于电动汽车、电力系统、工业等领域, 实现(1) 直流升压或降压
中低压混合式直流断路器		应用于电动汽车、电力系统、工业等领域, 实现(1) 隔离 DC-DC 变换
风电变流器	 <p>三电平变流器功率模块拓扑结构</p>	应用于电动汽车、电力系统、工业等领域, 实现(1) 隔离 DC-DC 变换

4.3.3 光伏逆变器

光伏逆变器可以将光伏太阳能板产生的可变直流电压转换为市电频率交流电的逆变器, 可以反馈回商用输电系统, 或是供离网的电网使用。

光伏逆变器是目前能源领域实际产品中使用 SiC MOSFET 器件的设备, 光伏逆变器里一般由 DC/DC 及 DC/AC 两个换流单元构成, 如图 4-12 所示。国内阳光电源在 2014 年推出第一款采用 SiC MOSFET 器件的光伏逆变器, 并于 2017 年规模化应用。

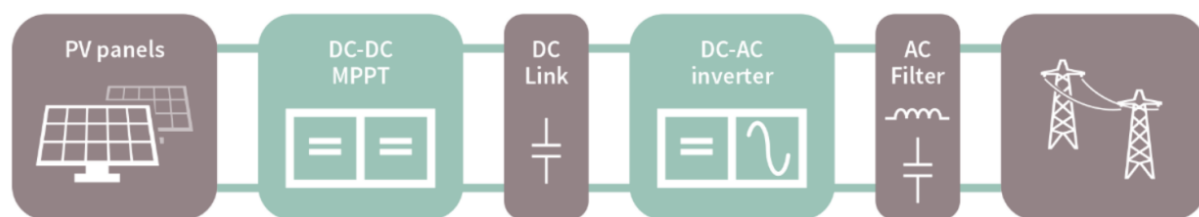


图 4-12 光伏逆变器结构示意图

按照应用场景及规模光伏逆变器可分为: 户用逆变器、组串逆变器、集中逆变器。其中集散式和

组串式逆变器都需要 MPPT 单元来提高逆变器直流母线侧电压。一般情况下，逆变器厂商选用 BOOST 电路来实现 MPPT（最大功率点跟踪）功能。

图 4-13(a)为单路 BOOST 拓扑，适用于 1100V 光伏系统；图 4-13(b)为双对称 BOOST 拓扑，适用于 1500V 光伏系统，Q 代表开关器件。

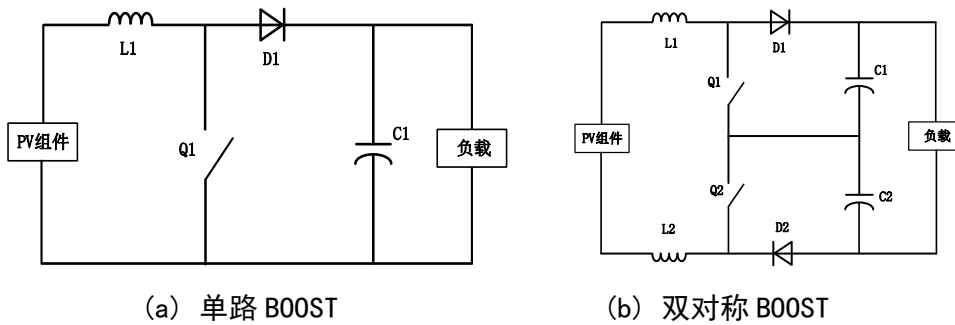


图 4-13 BOOST 拓扑图

早期大多数逆变器厂家选用 IGBT 作为 BOOST 电路的开关器件，电压等级多为 900V~1200V。当前越来越多的逆变器厂家，选用 1200V 系列 SiC MOS 替代 IGBT，以实现更高的开关频率、更低的器件损耗、综合性能更优的 MPPT 系统。

相比于硅基 IGBT，SiC MOS 具有更低的导通损耗、更低的开关损耗、无 Si 器件的电流拖尾显现、高开关频率等优点，还有利于提高光伏逆变器使用寿命。当前 SiC MOS 在 MPPT 系统中的开关频率介于 40~120kHz，稳态母线电压一般在 600~1000V 之间，这对于 SiC MOS 漏源极间耐压的可靠性要求较高。

4.3.4 柔直换流阀

基于电压源型换流器的柔性直流输电可以为无源系统供电、没有换相失败等问题，非常适用于大规模可再生能源的平滑接入，被认为是未来电力系统发展的重要方向。模块化多电平换流器（MMC）具有开关频率低、波形质量高、制造难度小等优势，目前国内柔直换流阀都采用 MMC 结构。

柔性直流的换流阀大多采用 MMC 结构，其基本构成单元是子模块，子模块中有换流阀的核心全控型功率器件。整个换流阀中所有子模块按照一定的规则有序输出，实现交直流转换。器件开关频率较低，为 150Hz~400Hz 左右。为了使换流阀满足多种运行工况要求，并具备较高的可靠性，这就要求换流阀中的功率器件不仅能够在额定工况下长时间不间断连续工作，也要在线路发生故障时能够承受一定的故障电流并完成保护动作，因此需要对功率器件进行严格的可靠性筛选。

以柔直换流阀工作为例，当发生短路故障时，换流阀中功率器件需要在 4ms 内承受 2 倍额定电流，并完成重合闸动作（重合闸动作时间不固定）及一次开通、两次关断；关断后器件承受线路电压。具体波形见下图 4-14。

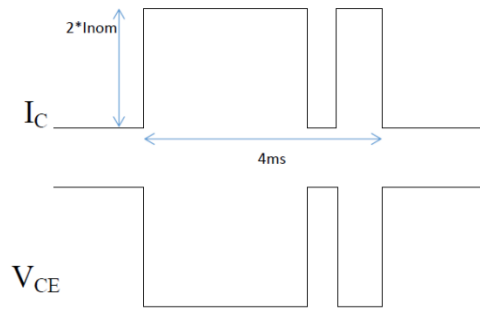


图 4-14 换流阀中 IGBT 器件在故障时的电压电流波形

综上所述，在发生故障时换流阀中功率器件的结温为器件运行时的平均结温，约为 100°C ，在承受几毫秒的 2 倍额定电流后，再完成一次重合闸及关断—开通—再次关断。其中的风险就在于几毫秒的 2 倍额定电流会使器件结温上升，若高于其最高工作结温，在后续动作中可能出现失效。

4.3.5 高压直流断路器

在输电领域，为适应新的能源格局，基于常规直流和柔性直流的多端直流输电系统和直流电网技术成为未来的发展趋势，直流侧故障是直流输电系统必须考虑的一种故障类型，影响到设备参数的计算和控制保护策略的设计。与交流系统相比，直流系统阻尼相对较低，故障渗透速度更快，渗透程度更深，控制保护难度也更大。随着多端柔性直流输电系统的发展，如何处理直流故障成为工程实践中需要考虑的关键问题，直流断路器将成为有效甚至唯一的技术手段。

直流断路器拓扑结构种类较多，但基本原理类似，包括主支路、转移支路、耗能支路，通过三个支路配合完成故障电流分断，关断能力高的功率半导体器件用在转移支路上，主支路适合使用通态压降低的功率半导体器件。

高压直流断路器需要高关断能力的开关器件，故障发生时直流断路器开关器件能够在几毫秒内承受并可靠关断 4-6 倍额定电流的故障电流，这不仅要求器件具备承受毫秒级故障电流的能力，还需要超高的电流关断能力。高压直流断路器开关器件应力波形如图 4-15 所示，以 $4500\text{V}/3000\text{A}$ IGBT 为例，IGBT 需要承受毫秒级电流，电流持续时间由隔离开关分断速度决定，通常为 3ms 左右，电流关断峰值为 5 倍以上，关断以后器件需要承受 3600V 电压。

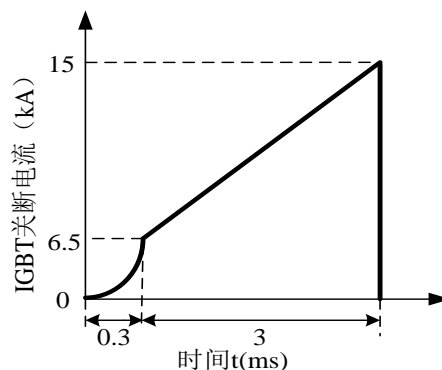


图 4-15 直流断路器电流波形

综上所述，依据直流断路器工作原理，负载转向开关 IGBT 稳态应力要求高，主断路器 IGBT 暂态应力要求高，在故障电流上升过程中，电流有可能达到 IGBT 器件的饱和电流，导致器件两端电压上升造成失效，因此在直流断路器中需要提高 IGBT 器件的栅极电压，避免在 IGBT 关断前进入退饱和状态。

4.3.6 其他能源领域的应用

功率半导体器件在灵活交流输电设备、电力电子变压器、固态断路器中得到应用。未来 SiC 器件可以在这些装备中替代 Si 基器件发挥其耐高温和可以在更高频率工作等优势。

静止同步补偿器是当今无功补偿领域最新技术的代表，属于灵活交流输电系统的重要组成部分。静止同步补偿器在电网领域应用称作 STATCOM(static synchronous compensator)，其他工业领域应用通常称作 SVG。STATCOM 并联于电网中，相当于一个可控的无功电源，用于潮流控制、无功补偿和提高系统稳定性，具有体积小、响应速度快以及连续可调等优点。

电力电子变压器除去具有传统变压器的电压等级变换和电气隔离等基本功能之外，还具有高度的可控性，可实现潮流控制、无功补偿、谐波治理、频率变换、交直流变换、可再生能源接入等能量管控功能。近年来高压碳化硅器件应用研究主要集中在交直流配电中电力电子变压器（PET）领域。电力电子变压器也称为固态变压器（SST）。电力电子变压器主要包括电力电子变换器以及高频变压器。电力电子变压器可以取代传统的 50Hz/60Hz 变压器，并且获得以下优势：1）相较于传统的基频变压器，电力电子变压器基于高频变压器，体积和重量都更小；2）潮流可控。例如依托美国北卡罗莱州立大学的未来可再生电能传输和管理（FREEDM）系统中心、通用电气（GE）公司、瑞士的苏黎世联邦理工学院（ETH）电力电子系统实验室、美国电力科学研究院（EPRI）、承担通用柔性（UNIFLEX）电能管理项目的欧洲多家企业机构、弗吉尼亚理工大学等机构研制出了诸多基于 SiC 器件的电力电子变压器原型。

对于直流配电网，中低压机械式直流断路器（也称为直流固态断路器）和中低压混合式直流断路器在实际工程中均有运用。直流固态断路器由功率器件构成的直流固态断路器以分断速度快、无弧无触点、工作频率高等优点受到了广泛关注，但也存在通态损耗高、单管器件易过压过流的问题。混合式直流断路器结合了机械式直流断路器和固态式直流断路器的优势，可以实现更快的关断速度以及更小的通态损耗，其拓扑结构一般由主回路、换流支路以及吸能支路组成。

风电变流器与发电机一起构成了风机电气系统的核心，发电机实现了机械能到电能的转化，而变流器实现了电能形式向 50Hz 电网交流电的稳定转化。变流器需要紧密配合转速、力矩，因此也是风机主控制器的电气执行机构。风电变流器分为双馈型变流器和直驱型变流器两个大类。低压变流器方案存在电流过大引起的损耗问题以及系统功率等级受功率器件电流等级限制的问题，因此提高系统电压等级采用中高压系统方案将是目前最好的解决方案。中压多电平变流器拓扑结构具体有 H 桥级联型、二极管钳位型、飞跨电容型、混合多电平型、MMC 级联型、直接串联型等，最常用的是 3kV 级中压全功率变流器。3kV 级中压全功率变流器拓扑结构一般采用两电平或三电平结构，器件开关频率范围为 2kHz~3.5kHz，未来使用 SiC 器件替代 IGBT 器件。

另外，高压 SiC 器件在大功率固态脉冲调制器、动力驱动装置等设备中样机应用。例如美国陆军研究实验室致力于高压 SiC 器件在脉冲功率和连续功率变换器中的应用研究，美国田纳西大学、橡树

岭国家实验室、弗吉尼亚理工大学等研究了高压 SiC 器件在中压并网逆变器的应用。

4.4 SiC MOSFET 驱动层面提升应用可靠性

SiC MOSFET 主要应用于中大功率场合，替代 IGBT 以实现效率和功率密度的双重提升。所用的电力电子拓扑一般为传统电路拓扑（详见 4.1.2 和 4.3.2），硬件层面需要特殊考虑的部件之一是驱动电路。驱动电路是连接控制器弱电与电力电子强电的接口，承担着信号放大、隔离和保护三大功能。由于 SiC MOSFET 的开关速度快（高 dv/dt ）、短路承受时间短、驱动电压高但栅极耐压范围窄、阈值电压低，驱动电路对 SiC MOSFET 电路的影响尤为突出。

4.4.1 SiC MOSFET 驱动——隔离要求

由于 SiC MOSFET 的开关速度快，若功率电路和信号电路无电气隔离，如图 4-16(a)所示，高 dv/dt 会在功率与信号电路之间形成环流，造成控制电路信号畸变。因此，一般建议 SiC MOSFET 采用隔离驱动，阻断功率电路的开关噪声对控制电路的影响图 4-16(b))。此外，SiC MOSFET 一般应用于大功率场合，电压一般为数百伏甚至更高，而工程人员常需要在线调试控制器，考虑到人身安全，也建议对控制器和主功率电路进行隔离。常见的隔离方式包括光耦、磁隔离和电容隔离，如图 4-17 所示，这样就有三类驱动芯片。

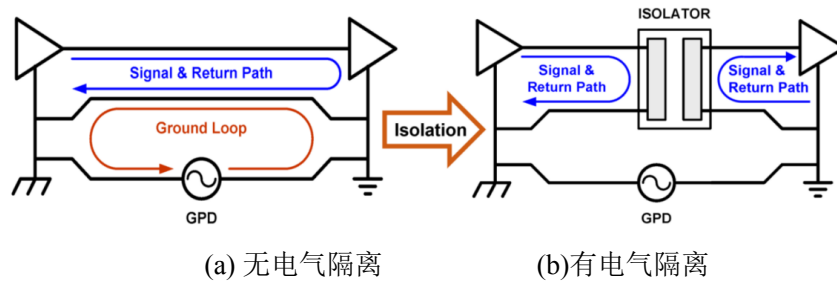


图 4-16 隔离与非隔离驱动芯片的干扰电流分析^[15]

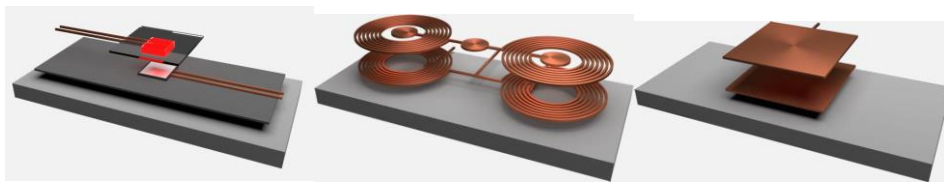


图 4-17 驱动芯片典型隔离技术^[15]

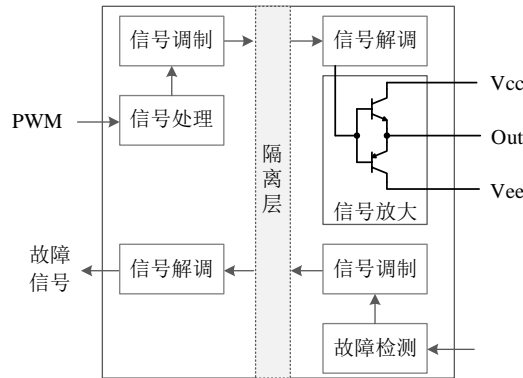


图 4-18 驱动芯片的典型结构框图^[16]

典型的驱动芯片框图如图 4-18 所示。脉冲控制信号（PWM）经过隔离层传递到功率侧，经过一个信号放大电路将电压、电流放大。典型的信号放大电路是推挽电路（见图 4-10），Vcc 和 Vee 分别是 SiC MOSFET 驱动所需的高、低电平电压，常见的 Vcc 为 15~18V，Vee 为 -4~-5V。Vcc 和 Vee 需要一个隔离电源模块提供，如图 4-19 (b)所示。商用的 SiC MOSFET 驱动芯片的电流输出能力已经可以超过 10A，满足大多数器件的需求。在一些大功率场合，若需要更大的驱动电流，可以在驱动芯片后搭建推挽电路，进一步放大电流。

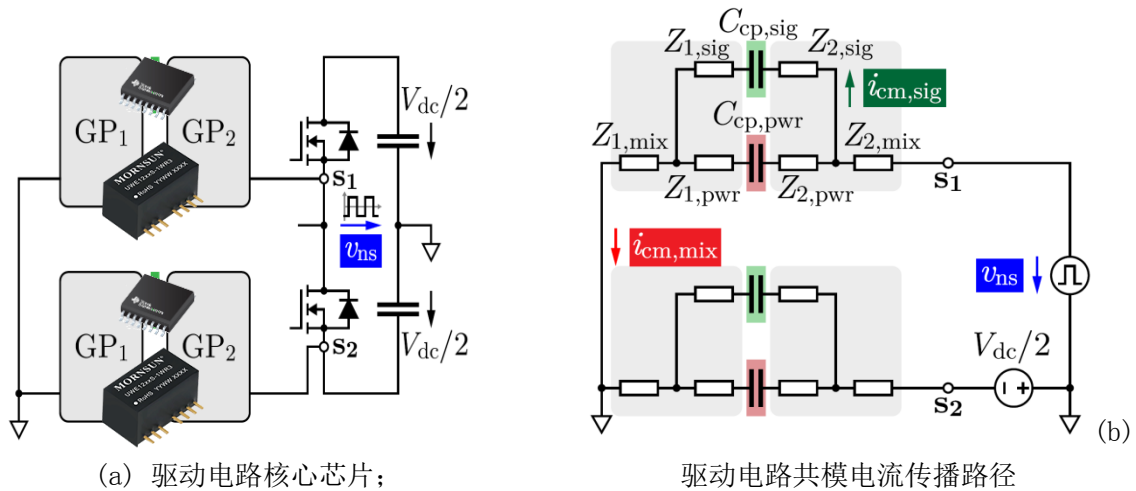


图 4-19 驱动电路核心芯片和共模电流传播路径^[17]

由于 SiC MOSFET 的开关速度快，即便采用隔离元件，高 dv/dt 仍有可能经由隔离元件的耦合电容形成共模电流，如 9 (b)所示，共模电流同样可能导致控制器信号畸变，增加损耗，还有可能导致桥式电路的上、下开关器件直通。为防止这种情况，需要驱动芯片和隔离电源模块的耦合电容小。一般采用共模瞬变抗扰度 CMTI(Common mode transient immunity)来表征芯片的抗 dv/dt 干扰能力^[18]。

表 4-5 总结了三类隔离驱动芯片的 CMTI 大小，可以看到容隔和磁隔技术在 CMTI 具有优势，这两类技术在 SiC MOSFET 也应用更广。在实际应用中，还需要特别注意隔离电源模块引入的共模干扰。为此，一方面选用寄生电容小的电源模块，另一方面，可以选择让电源模块不与控制电路共地。

表 4-5 三类驱动芯片的 CMTI

	光耦 (Opto-coupler)	容隔 (Capacitive Coupler)	磁隔 (Coreless transformer)
CMTI 能力	15kV/ μ s	150kV/ μ s	150kV/ μ s
典型芯片	Avago 331J	Texas Instruments UCC21737-Q1 UCC21755-Q1	Infineon 1EDI3030AS

4.4.2 SiC MOSFET 驱动——串扰

在桥式电路中，一个功率器件的开关动作引起其对管驱动电压的变化，称为串扰问题。以图 4-20 为例说明串扰的影响过程，考虑在某一时刻，由于上管开通，桥臂中点电压从 0 跳变为 V_{dc} ，所产生的 dv/dt 经由下管的寄生电容 C_{gd} 穿越到驱动电路，干扰电流箭头如图 4-18 中箭头所示。该电流经由电阻 R_{gi} 和 R_{g_OFF} 形成压降，该压降有可能导致下管误开通。

相比于 Si IGBT 或 MOSFET，SiC MOSFET 更易受到串扰影响。首先，SiC MOSFET 的 dv/dt 较大，产生的串扰电流和电压本身就大；其次，SiC MOSFET 的开通阈值较低，一般为 2.5V 左右，小于 IGBT 的 5V，如表 4-6 所示。因此，SiC MOSFET 驱动的关断电压建议为负压，例如 -4V~-5V，这样即便叠加一个串扰电压仍会低于阈值电压。需要注意的是，由于桥臂中点电压会出现正向和负向两种跳变，因而会在栅极引入正、负两种电压尖刺。负向尖刺也需要防护，在本例子中的 SiC MOSFET 栅极的最低电压是 -8V 左右。

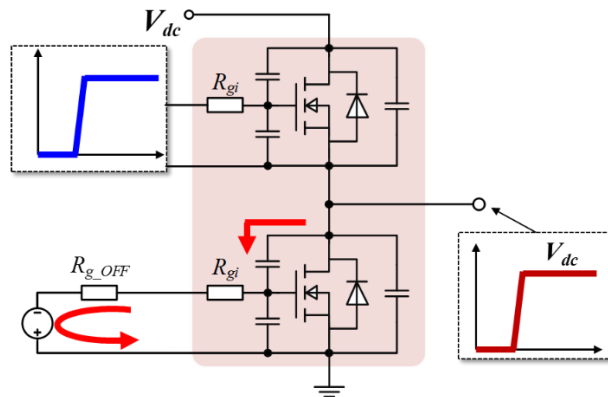
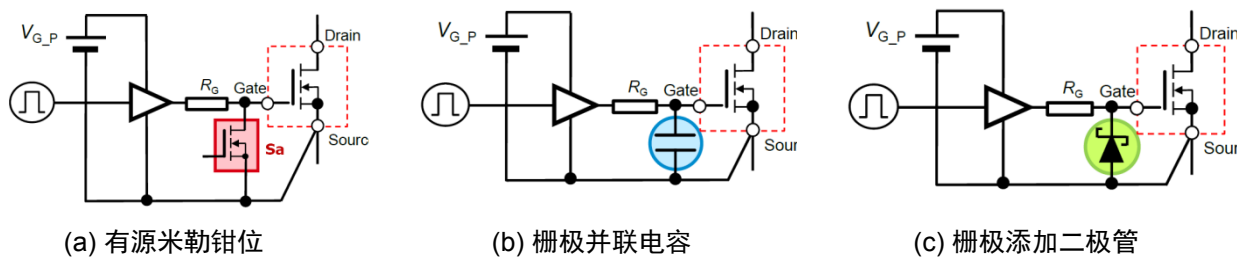


图 4-20 桥式电路串扰示意图

表 4-6 IGBT 与 SiC MOSFET 的典型阈值电压

	IGBT	SiC MOSFET
型号	FF400R12KT3P_E	WAB400M12BM3
电压/电流	1200V/400A	1200V/400A
厂商	Infineon	Cree
驱动电压范围	-20V~+20V	-8V~+19V
阈值 V_{th}	5.8V	2.5V
推荐驱动电压	-15/+15V	-4/+15V

图 4-21 串扰抑制方法^[4]

典型的串扰抑制方案如图 4-21 所示，其中(a)和(b)对正、负串扰均有作用，(c)仅对正向串扰有效果^[19]。图 4-21 (a)是有源米勒钳位技术，即在靠近栅极处添加一个小功率管 Sa，在 SiC MOSFET 关断时，开通 Sa，串扰电流从 Sa 经过，由于 Sa 导通电阻小，避免了较大的电压尖峰，多数 16 管脚的 SiC MOSFET 驱动芯片内部都已经集成有源米勒钳位功能。图 4-21 (b)是在栅极并联一个电容（单管可以并联数 nF），减小流经驱动电阻的串扰电流，进而减小串扰电压尖峰，然而该方法会增加 SiC MOSFET 的开通和关断时间，使用时需要权衡。

4.4.3 Kelvin 连接

传统 Si MOSFET 和 IGBT 分立器件中（如 TO-247 封装），功率回路和驱动回路会从同一个源极管脚上接线，如图 4-22 所示，因而在功率回路和驱动回路上会有一个共有的寄生电感 L_s 。在 SiC MOSFET 的开关过程中，功率回路瞬变的电流 di/dt 会在 L_s 产生一个压降，导致实际加载在 SiC MOSFET 芯片上的驱动电压发生变化。

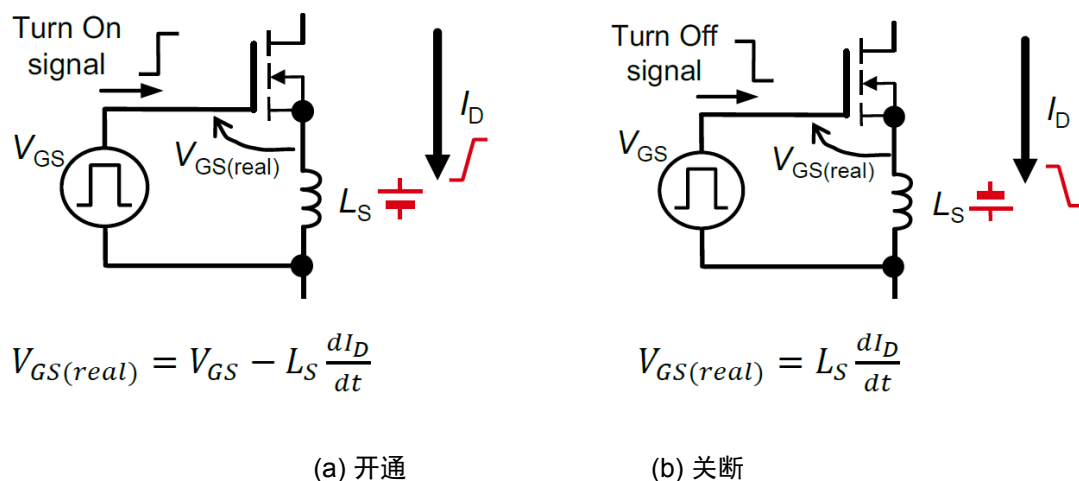


图 4-22 杂散电感对门极驱动电压影响

如图 4-22 (a)所示，在开通过程中，主功率电流 I_D 迅速变大，在 L_s 上形成一个正向压降，SiC MOSFET 芯片门极上的实际电压是 $L_s dI_D/dt$ ，小于额定开通电压，不仅会导致开通损耗增加，而且会在驱动回路引入不必要的振荡；如图 4-22 (b)所示，在关断过程中，主功率电流 I_D 迅速减小，SiC

MOSFET 芯片门极上的实际电压是 $V_{GS} - L_s di_D/dt$ ，大于实际关断电压，有可能导致器件误开通。除了增加开通损耗外，还会在开关回路引入不必要的振荡。由于 SiC MOSFET 的开关速度快， di/dt 远大于传统 Si 器件，该寄生电感引起的问题尤为严重。

为了抑制 L_s 引起的开关损耗和驱动电压振荡，可以采用 Kelvin 连接，即门极回路的源极单独引线出来，如图 4-22 (b)所示。SiC MOSFET 功率模块均采用 Kelvin 连接，SiC MOSFET 分立器件一般也都有基于 Kelvin 连接的封装(如 TO247-4)，如图 4-23 所示。目前 Wolfspeed, Infineon, Rohm 等公司都推出了 TO247-4 封装的 SiC MOSFET 分立器件。Rohm 公司测试了在相同测试电路和条件下，测试了 TO247-4 封装的 SiC MOSFET 分立器件。Rohm 公司测试了在相同测试电路和条件下，测试了 TO247-4 和传统三引脚 TO247 封装的开关损耗，如图 4-23，无论在开通还是关断损耗，采用 Kelvin 连接的 TO247-4 封装的器件，均显著小于传统硅器件。

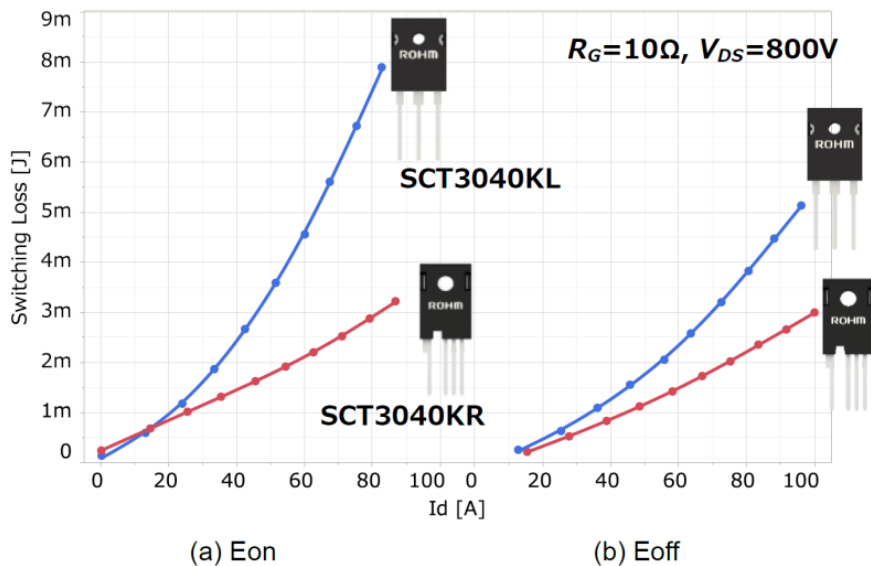


图 4-23 三管脚和四管脚 TO247 封装对 Rohm SiC MOSFET 损耗的影响^[4]

4.5 SiC MOSFET 过流和短路保护提升应用可靠性

可靠的短路和过流保护对电力电子器件的可靠性至关重要。相比于 Si IGBT，SiC MOSFET 的短路电流上升速度和峰值要大得多^[20,22]。浙江大学 PEDL 实验室测试了同电压/电流的 SiC MOSFET 和 IGBT 短路特性（图 4-24），发现 SiC MOSFET 的峰值短路电流是 IGBT 的近三倍，且短路电流承受时间 (SCWT, Short-Circuit Withstand Time) $7.7\mu\text{s}$ 远短于 IGBT 的 $40\mu\text{s}$ ^[20,21]。根据两者芯片面积，可计算得到临界短路能量密度 $E_{cr,SiC} = 8.99 \text{ J/cm}^2$ ， $E_{cr,IGBT} = 9.84 \text{ J/cm}^2$ ，两者的临界短路能量密度相近，短路电流大是 SiC MOSFET 短路承受时间短的直接原因^[18]。

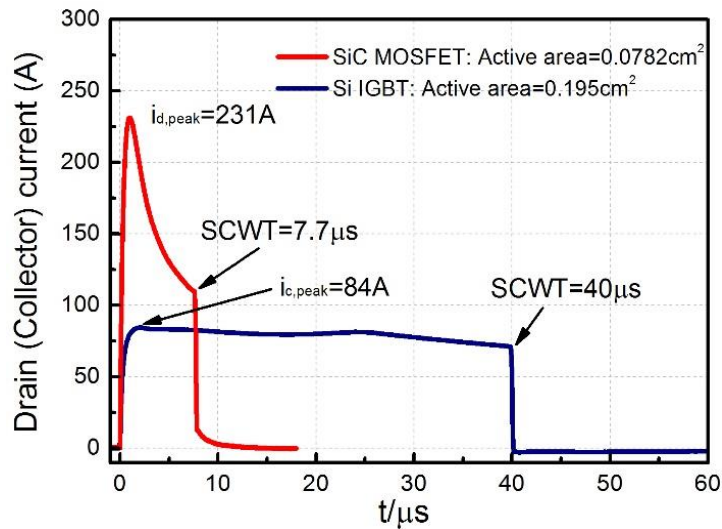


图 4-24 SiC MOSFET (C2M0080120D, 1200V/24A @100°C) 和 Si IGBT (1KW25N120H3, 1200V/25A@100°C) 的临界短路测试的电流波形^[20]

SiC MOSFET 短路电流上升速度快是因为其输出特性曲线的三角区(欧姆区)与饱和区没有明显过渡。图 4-25 展示了相近电压、电流等级的 SiC MOSFET 与 Si IGBT 功率模块的输出特性曲线, 当 IGBT 进入饱和区后, 电流维持在一个几乎恒定的值, 而在同条件下, SiC MOSFET 的电流却持续上升^[23]。此外, 由于 SiC MOSFET 的沟道载流子迁移率比 Si 低, 为减小沟道处的阻抗, 驱动电压一般为 20V 左右, 高于 Si IGBT 的 15V 驱动电压, 使得 SiC MOSFET 短路峰值电流高于 Si IGBT^[4]。

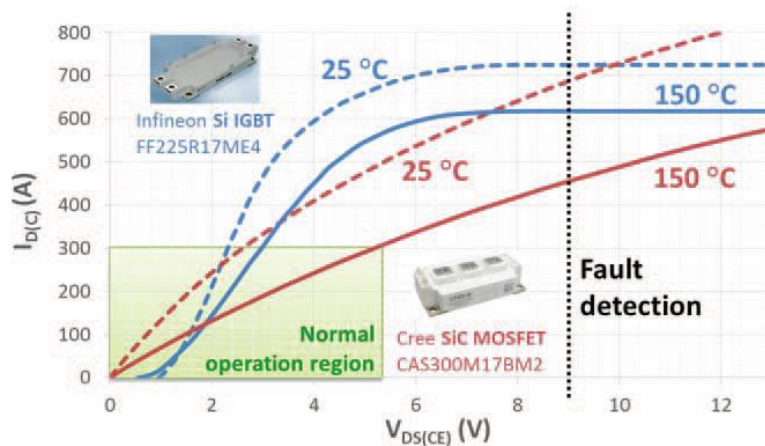


图 4-25 SiC MOSFET (1700V/300A) 与 Si IGBT(1700V/225A) 的输出特性曲线对比图^[23]

进一步研究还发现, SiC MOSFET 在遭受重复非破坏性短路(过流)实验后, 器件门极出现明显老化现象。文献[24][25][26][27]指出, 在非破坏性的短路(过流)实验后, SiC MOSFET 门极栅氧 SiO_2 绝缘层遭到破坏, 门极出现较大的漏电流, 典型的实验波形如图 4-26 所示, 过流测试前, 门极驱动电压高电平是 18V (蓝色), 而在 50 次过流测试后, 驱动电压高电平降到了 16.4V (红色), 此时门极漏电流达 25mA^[23]。SiC MOSFET 耐过流能力差有两方面原因, 首先其栅氧 SiO_2 薄(50nm 左右)且电场强度大(4MV/cm 左右)^[26], 还存在较多杂质及缺陷(场强高于 4MV/cm); 其次故障电流上升速度快, 芯片面积小, 瞬间在栅氧附近产生局部高温^[24,26], 使得 SiO_2 在缺陷处首先被击穿^[24, 26]。也有文献指出,

瞬间高温还有可能造成源极金属铝熔化扩散至栅氧层造成短路^[25]。

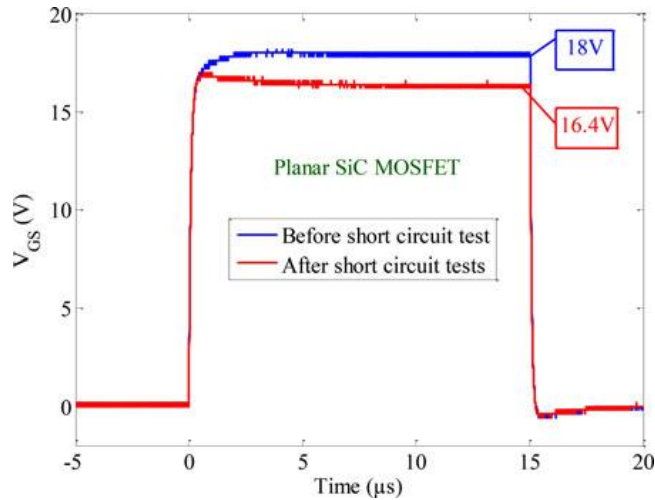


图 4-26 非破坏性短路测试前后栅极电压对比图^[24]

SiC MOSFET 的短路和过流保护方法，目前仍然沿用 Si IGBT 中广泛采用的退饱和技术，表 4-1 列出的典型驱动芯片均集成了该功能。退饱和电路的工作原理如图 4-27 所示，SiC MOSFET 开通时，一个电流源 I_c （如 0.5mA）给电容 C_{BLANK} 充电，直至其电压 V_{sat} 被钳位至 SiC MOSFET 导通压降与二极管 D_{DESAT} 及 R_{DESAT} 压降之和。 V_{sat} 可以反映 SiC MOSFET 的导通压降，发生短路故障时， V_{sat} 超过某一设定阈值，则能检测到故障。

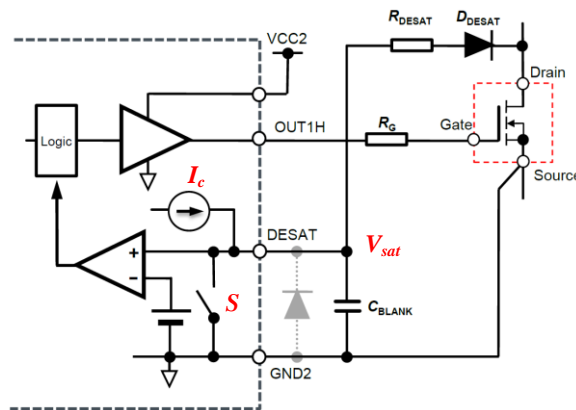


图 4-27 典型的退饱和和保护电路图^[19]

在实际中，为了避免误诊段，通常会设置一定的空白时间，空白时间包含前沿消影时间 $T_{DESATLEB}$ 和外部消影时间（也叫充电时间） $T_{BLANKING}$ ，在前沿消影时间 $T_{DESATLEB}$ 内不检测 DESAT 故障，在充电时间内 DESAT 电压超过参考电压，则触发故障检测。SiC MOSFET 开关速度比 IGBT 快一个量级，开关动作产生的高 dv/dt ，通过图 4-19 中的功率器件、 D_{sat} 和驱动板的寄生电容传播至退饱和电压 V_{sat} ，产生较大尖刺，为避免误诊断，需要设置较长的空白时间（如 $2\mu s$ ），降低了检测速度^[23,28]。此外，SiC MOSFET 的导通压降易受温度影响，从图 4-17 可以看出，同样电流下，SiC MOSFET 导通压降从 $25^\circ C$ 到 $150^\circ C$ 的变化幅度是 Si IGBT 的两倍左右，这进一步限制了以导通压降作为故障判断标准的退饱和技术在 SiC MOSFET 的应用。

为提高短路故障检测速度，研究人员提出了多种新方法检测故障，基本思路都是直接检测流经 SiC MOSFET 的电流，包括利用欧姆定律、法拉第电磁感应定律、磁阻等方式。SenseFET 技术利用欧姆定律检测电流，将 SiC MOSFET 芯片的小部分晶胞专门用于电流检测。图 4-28 展示了集成了 SenseFET 功能的 SiC MOSFET 芯片图片及其等效电路图，流经 Sense 电极的电流 i_{sense} 与主电路电流 i_d 呈正比，利用电阻转把 i_{sense} 转为电压信号即可用于短路和过流保护^[29]。学术界还提出了多种短路故障检测思路，例如 CPES 利用集成罗氏线圈^[30]，田纳西州立大学利用开尔文电感^[31]，浙江大学利用隧道磁电阻 TMR^[32]，检测流经 SiC MOSFET 的电流，判断短路故障。这些方法由于无需空白时间，短路故障检测延时能做到 100ns 以内。

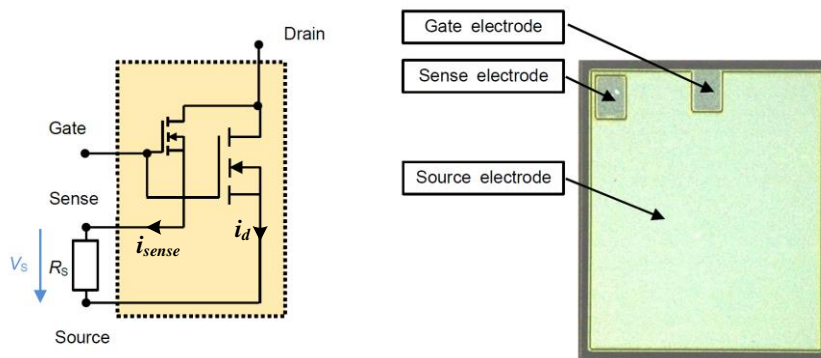


图 4-28 集成电流测量端子的 SiC MOSFET 芯片^[28]

参考文献

- [1] Fanny Björk, "A SiC MOSFET for Mainstream Adoption", Bodo's Power Systems, Apr. 2018.
- [2] M. H. Todorovic et al., "SiC MW PV Inverter," PCIM Europe 2016; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management, Nuremberg, Germany, 2016, pp. 1-8..
- [3] G2020 Series SiC 500–750 kVA, (2016). [Online]. Available: <http://www.toshiba.com/tic/power-electronics/uninterruptible-power-systems/g2020-series-sic-500-to-750-kva>
- [4] Products: Transportation Systems, (2016). [Online]. Available: <http://www.MitsubishiElectric.com/products/transportation/>
- [5] Power SiC 2022: Market and Technology Report [EB/OL]. <http://www.yole.fr/>.
- [6] 冯腾 基于 SiC 器件的全桥 LLC 谐振变换器的研究与开发[D] 华南理工大学 2018
- [7] 杨世名 基于 SiC 器件的多相交错并联 LLC 谐振变换器的设计与研究[D] 北京交通大学 2019 年
- [8] 董泽政. 小功率碳化硅集成模块若干关键问题研究[D]. 浙江大学, 2022
- [9] UAES 与罗姆成立“SiC 技术联合实验室” 并行启动仪式[EB/OL]. https://www.rohm.com.cn/news-detail?news-title=2020-12-08_news_uaes-sic&defaultGroupId=false.
- [10] ST to supply SiC power electronics to Renault-Nissan-Mitsubishi for high-speed on-board chargers in next-gen EVs[EB/OL]. http://www.semiconductor-today.com/news_items/2019/sep/st-100919.shtml.

- [11] 叶雪韬 全 SiC 功率器件三相车载充电机研究设计[D] 浙江大学 2021 年
- [12] J. W. Palmour *et al.*, "Silicon carbide power MOSFETs: Breakthrough performance from 900 V up to 15 kV," *2014 IEEE 26th International Symposium on Power Semiconductor Devices & IC's (ISPSD)*, 2014, pp. 79-82.
- [13] 宗沙沙 基于 SiC 逆变器的电动汽车永磁同步电机控制系统研究-山东大学 2021
- [14] 李志君, 碳化硅 MOSFET 栅源电压干扰动态响应机理及干扰抑制方法【D】, 北京交通大学, 2020
- [15] D. Varajao, C. Matriciano, Isolated gate driving solutions- Increasing power density and robustness with isolated gate driver ICs [EB/OL]. [2022-11-1] <http://www.MitsubishiElectric.com/>
- [16] UCC21737-Q1 数据手册. [EB/OL] <http://www.MitsubishiElectric.com/>
- [17] J. Wang, S. Mocevic, R. Burgos and D. Boroyevich, "High-Scalability Enhanced Gate Drivers for SiC MOSFET Modules With Transient Immunity Beyond 100 V/ns," in *IEEE Transactions on Power Electronics*, vol. 35, no. 10, pp. 10180-10199, Oct. 2020.
- [18] W. Zhang, A Deep Dive of Isolated Gate Driver Robustness – dv/dt (CMTI) [EB/OL] <https://www.pdma.com/sites/default/files/uploads/tech-forums-safety-compliance/presentations/is046-deep-dive-isolated-gate-driver-robustness.pdf>.
- [19] Rohm, SiC Power Devices and Modules Application Note, [Online]. Available: https://www.rohm.com/documents/11303/2861707/sic_app-note.pdf.
- [20] 孙佳慧. 1200V SiC MOSFET 与 Si IGBT 的短路可靠性对比和分析[D].浙江大学,2017.
- [21] Sun J, Xu H, Wu X, et al. Short circuit capability and high temperature channel mobility of SiC MOSFETs[C], 2017 IEEE ISPSD: 399-402
- [22] Z. Wang et al., "Temperature-Dependent Short-Circuit Capability of Silicon Carbide Power MOSFETs," in *IEEE Transactions on Power Electronics*, vol. 31, no. 2, pp. 1555-1566, Feb. 2016.
- [23] J. Wang, Z. Shen, R. Burgos and D. Boroyevich, "Integrated switch current sensor for shortcircuit protection and current control of 1.7-kV SiC MOSFET modules," 2016 IEEE Energy Conversion Congress and Exposition (ECCE), Milwaukee, WI, 2016, pp. 1-7.
- [24] T. Nguyen, A. Ahmed, T. V. Thang and J. Park, "Gate Oxide Reliability Issues of SiC MOSFETs Under Short-Circuit Operation," in *IEEE Transactions on Power Electronics*, vol. 30, no. 5, pp. 2445-2455, May 2015.
- [25] Boige F, Richardeau F, Trémouilles D, et al. Investigation on damaged planar-oxide of 1200 V SiC power MOSFETs in non-destructive short-circuit operation[J]. *Microelectronics Reliability*, 2017, 76: 500-506.
- [26] R. Ouaida et al., "Gate Oxide Degradation of SiC MOSFET in Switching Conditions," in *IEEE Electron Device Letters*, vol. 35, no. 12, pp. 1284-1286, Dec. 2014.
- [27] P. Diaz Reigosa, H. Luo and F. Iannuzzo Ge, "Implications of Ageing through Power Cycling on the Short Circuit Robustness of 1.2-kV SiC MOSFETs," in *IEEE Transactions on Power Electronics*.
- [28] Texas Instruments, "Understanding the Short Circuit Protection for Silicon Carbide MOSFETs".
- [29] Wiesner E, Thal E, Volke A, et al. Advanced protection for large current full SiC-modules, PCIM

Europe 2016; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management. VDE, 2016: 1-5.

[30] J. Wang, Z. Shen, C. DiMarino, R. Burgos and D. Boroyevich, "Gate driver design for 1.7kV SiC MOSFET module with Rogowski current sensor for shortcircuit protection," 2016 IEEE Applied Power Electronics Conference and Exposition (APEC), Long Beach, CA, 2016, pp. 516-523.

[31] Z. Wang, X. Shi, L. M. Tolbert, F. F. Wang and B. J. Blalock, "A di/dt Feedback-Based Active Gate Driver for Smart Switching and Fast Overcurrent Protection of IGBT Modules," in IEEE Transactions on Power Electronics, vol. 29, no. 7, pp. 3720-3732, July 2014.

[32] Y. Feng, S. Shao, J. Du, Q. Chen, J. Zhang and X. Wu, "Short-Circuit and Over-Current Fault Detection for SiC MOSFET Modules Based on Tunnel Magnetoresistance With Predictive Capabilities," in IEEE Transactions on Power Electronics, vol. 37, no. 4, pp. 3719-3723, April 2022

5 SiC MOSFET 车规级可靠性评价标准分析

5.1 现有标准概述

汽车用半导体器件可靠性要求高，具有工作温度范围宽（-40℃-125℃）、耐震动和冲击、抗干扰性强、寿命周期长（15年20万公里左右）、失效率达PPB（十亿分之一）量级等特点；对于电动汽车而言，高压器件产品必须同时满足不同的工作模式，并且在每种模式下都实现高可靠性，在驾驶模式下根据电池性能，能在高结温和宽电压范围内运行大约8000小时；在充电模式下，可在稳定的高直流母线电压下运行3万小时以上。

对于SiC MOSFET来讲，新的材料及工艺带来新的可靠性挑战的同时，应用条件面临以更快的开关速度实现更高的可靠性，比如Si技术典型击穿强度提高多达15倍的场强下进行。现有寿命试验相关标准（如AEC Q101）大部分是通用于各种半导体功率器件/模块的，并不专门针对SiC基器件/模块，虽然同样的试验方法和条件也可以应用于SiC MOSFET，但因为试验条件相对宽松，只能作为产品质量必须满足的一个最低要求，而很难有效考核SiC MOSFET的实际性能。因此，虽然通过这些标准的鉴定足以证明产品满足在相关领域的应用要求，但不足以获得与新型SiC产品性能相匹配的市场竞争优势，AQG 324（2021版）的发布实施为模块类产品改善了这种局面。

5.1.1 AEC Q101 简介

因为产品的复杂度日益提高以及用例更具有挑战性，AEC Q101 *Failure Mechanism Based Stress Test Qualification For Discrete Semiconductors* 基于失效机理的汽车用分立器件应力试验规范被视为必须遵守的指导原则之一，测试及试验项目总览如图5-1所示。

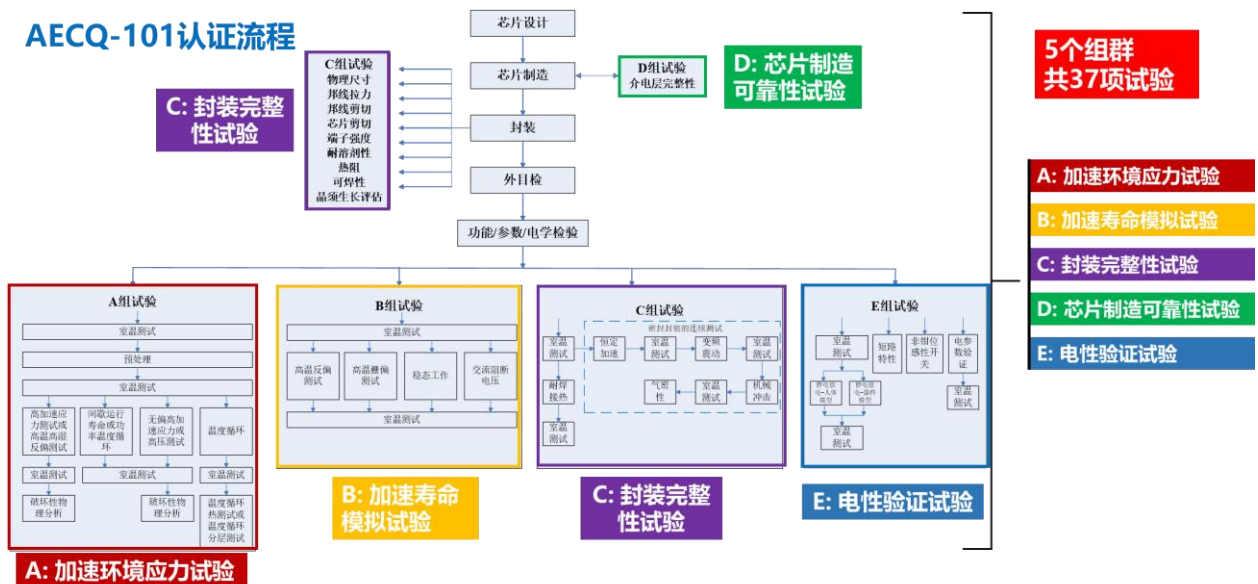


图 5-1 AEC Q101 认证测试及试验项目

AEC Q101 定义了汽车用分立器件的认可要求和参考使用条件的最低应力要求。一般情况下，试验优先级方面，采购方要求 > 用户单个器件的规范 > AEC Q > 参考文件 > 供应商数据表。最新的

AEC Q101E 版将检验项目分为加速环境应力试验、加速寿命试验、封装完整性试验、芯片制造可靠性试验和电性能验证试验 5 个群组，共包括 37 项检验。分立器件的封装形式分为气密封装和非气密封装(塑封)两种，目前民用产品的封装以非气密封装为主，AEC Q101 规定的大部分检验项目也是针对塑封器件制定的。

AEC Q101 标准对于分立器件的失效判据为：1、超出规范值；2、试验后参数变化与初始值的变化不得超过 20%，对于 $R_{DSon} < 2.5m\Omega$ 的产品的 IOL、PTC 和 TC 试验后 R_{DSon} 变化不得大于 0.5m Ω ，对于击穿电压，只有当最终读数在数据表最大值的 20%以内时，大于初始测量值的 20%才是失效；3、对于漏电流，湿度试验后不超过初始值 10 倍，其他试验后不超过初始值 5 倍。

AEC Q101 是一个通过性的鉴定试验标准，其可靠性试验的应力是依据汽车电子的典型任务剖面确定的，其任务剖面由使用寿命、发动机工作时间、发动机待机时间、不工作时间和发动机启动次数构成。从应用的角度看，AEC Q101 的应力设置有其合理性，可以明确地判别哪些产品符合汽车电子的应用要求，哪些则不符合。

但随着第三代半导体技术的飞速发展，以 SiC MOSFET 为代表的新产品，其长期可靠性获得了显著提高，AEC Q101 所规定的部分试验中以应用场景最低要求确定的试验应力条件变得相对宽松，不同厂家、不同型号的 SiC MOSFET 产品都能轻松通过这些试验的考核，而不能进一步判断出哪些产品可靠性更优。因此，对现阶段汽车领域 SiC MOSFET 产品而言，通过 AEC Q101 的鉴定非常必要，但还需要其他能进一步考核产品长期可靠性真实水平的标准。

5.1.2 AQG 324 简介

ECPE 指南 AQG 324 *Qualification of Power Modules for Use in Power Electronics Converter Units in Motor Vehicles* 机动车功率电子转换器单元中使用的功率模块的规范在 2021 年推出新的一版，并增加了对于 SiC 部分的条款内容，测试及试验框架如图 5-2 所示。

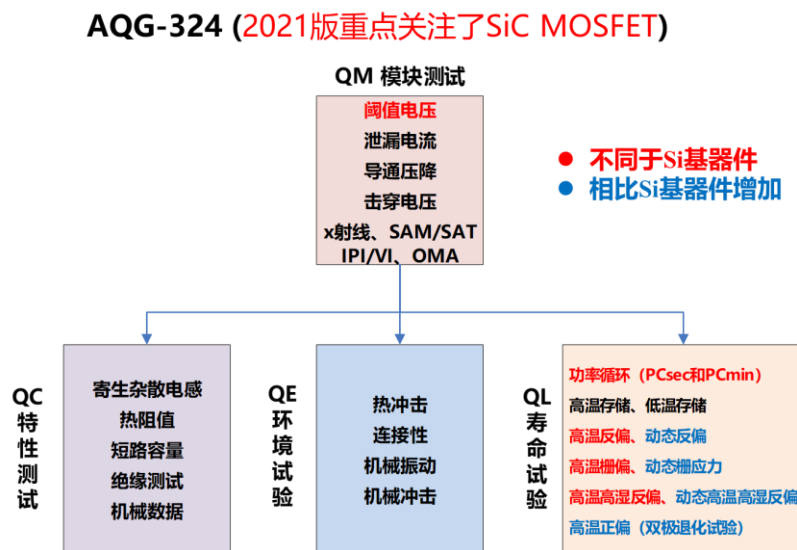


图 5-2 AQG 324 认证测试及试验项目

相比于此前的相关标准，AQG 324 (2021 版) 有三个突出特点，一在功率模块类别上重点关注了

SiC-MOSFET，二在试验项目上特别突出了功率循环试验，三是对试验条件及其控制、监测技术提出了更高的要求，并以验证或推导寿命模型为目的。

AQG 324 对 SiC 基功率模块，特别是 SiC-MOSFET 的可靠性试验项目进行了专门规定，其中特性测试与环境试验基本沿用其通用性规定，差异性规定主要集中在共 8 项寿命类可靠性试验项目上，其中除最后一项高温正向偏置（HTFB）尚在讨论中，没有给出具体试验条件，第 3 项、第 4 项高温和低温贮存沿用其通用试验条件，其余 5 项试验中都专门规定了 SiC 基功率模块，特别是 SiC-MOSFET 的相关试验原理、试验步骤、具体试验条件、失效判据及注意事项等，较其他通用性标准针对性更强，其中一些条款沿用了各类功率模块的通用性规定，同时结合 SiC-MOSFET 功率模块的特点对试验条件、注意事项等进行了专门修改，充分反映出了 SiC-MOSFET 功率模块在市场中的重要地位。

AQG 324 特别突出了功率循环试验，在整个 SiC-MOSFET 寿命试验相关内容中，功率循环试验不仅被列为首位，且占据的篇幅超过其他所有试验项目之和。同时，功率循环试验按照其试验周期可以分为秒级功率循环和分钟级功率循环，此前的标准中一般将秒级和分钟级视为同一个试验项目的两种不同的试验条件，而 AQG 324 将秒级功率循环和分钟级功率循环规定为了两个不同的试验项目，这些都侧面反映了功率循环试验在 SiC-MOSFET 寿命类试验项目中的重要程度。

功率循环试验受到重视的最主要原因是因为其较能反映模块真实工作状态下的应力，因此受到越来越多的认可，另外，虽然不同寿命试验下模块的失效机理并不相同，AQG 324 所规定的寿命试验一般都在高温或动态电应力作用下逐渐激发出各种老化失效，功率循环试验无论是秒级还是分钟级，天然同时具备了高温和动态这两个最主要的失效激发应力，相比于其他寿命试验具有其优势。

AQG 324 对寿命试验的试验条件、试验条件的控制能力、监测能力提出了较高要求，其中一些对当前试验设备的能力构成了挑战。AQG 324 规定的寿命试验以得出或验证模块的寿命模型为目的，此前的标准，包括 AEC Q101E（2021 年 3 月版）、IEC 60749-34:2011 等，都仅规定特定的通过性试验条件，而没有以得到寿命模型作为目的。不同的试验目的导致 AQG 324 在相同的试验项目在试验条件的设计上产生了很大差异，这是造成 AQG 324 试验条件要求较高的最主要原因。

此项涉及内容较多，这里仅举例说明，以功率循环试验为例，结温的温升是最重要的试验参数，此前各类标准一般仅规定需满足的温升条件下限，如 AEC Q101 规定为 100℃或 125℃，IEC 60749-34:2011 规定为 60℃至 95℃，按照器件类别选择其中的一个条件。而 AQG 324 则规定至少进行 2 个不同的结温温升条件下的试验，且最高温升比最低温升至少高 40%，其目的主要是为了获得合适的温度间隔，以期在计算模块的寿命模型时更加准确。

又规定秒级循环每个周期的导通时间小于 5s，分钟级循环导通时间大于 15s，均规定最高温升条件下的负载电流 $I_L > 0.85 \cdot I_{DN}$ ，显然，按照其规定的温升和负载电流条件，结温温升将不再局限于 100℃或 125℃，模块导通时的大电流、大功率对试验设备的负载能力、散热能力提出了考验。另外，实施难度较高的试验还有动态反偏试验（DRB），该试验要求对 SiC-MOSFET 施加高电压满足 $V_{DS} \geq 0.8V_{DS,max}$ ，SiC-MOSFET 的 $V_{DS,max}$ 能达到数百至数千伏，同时开关频率 $f \geq 25kHz$ ，同时试验电压变化率 dV_{DS}/dt 规定为 50V/ns，时间至少 1000 小时，这些条件综合起来，传统试验设备基本无法进行此类试验，对专用试验设备的设计能力提出了很高要求。

5.2 可靠性及寿命试验种类

产品的长期可靠性通过加速寿命试验进行考核鉴定，根据应力施加方式与失效机理的不同，SiC MOSFET 的寿命试验涉及了多个项目，应力类型包括器件/模块在加电状态下承受的温度应力、湿度应力、温变应力等与电应力的耦合应力，典型试验项目包括功率循环、高温反偏、高温栅偏和高温高湿反偏等。其中功率循环是 SiC MOSFET 在汽车电子领域应用时最基础、最重要的寿命试验，而恒定温度、恒定加电条件的传统加速寿命试验无论在 AEC Q101 还是 AQG 324 中都未作为重点，一般所述的车规 SiC MOSFET 寿命模型也是由功率循环试验得出的。

5.2.1 功率循环 PC

功率循环（Power cycling，简称 PC）通过给被测器件施加相应的负载电流使得器件结温升高达到指定结温，然后切断负载电流使其降温，如此反复升温和降温过程以达到使器件老化的目的，也称为主动温度循环^[1]。当功率循环试验时，在功率模块上施加规定的电流使器件芯片发热，当温升达到规定温度时断开电流使芯片恢复初始温度，完成一次循环。芯片发热时，芯片与键合丝之间、芯片与 DCB 板之间、甚至 DCB 板与铜基板之间都存在内部应力。功率循环试验模拟了器件在实际工作过程中的负载情况，可以检验功率模块承受规定次数间歇工作的能力。

功率循环与温度循环和稳态加速寿命试验存在一定联系，但又有显著区别，功率循环与温度循环都会产生温度变化，其区别在于，功率循环时器件/模块内部存在温度梯度，而温度循环时一般认为器件/模块内温度分布是均匀的，功率循环与稳态加速寿命试验都会产生温度梯度，其区别在于功率循环的温度梯度在时间上是变化的，而稳态加速寿命试验温度梯度是基本恒定的。功率器件工作时面临的温度变化主要有两个部分，一方面是所处外部环境的温度变化，另一方面则是内部损耗波动引起的温度变化。前者称之为“温度循环”，器件内部无源，加热源来自环境，因此器件内部各组件在空间上的温度分布是均匀的且随时间的温度波动（变化）规律也是相同的；后者则被称之为“功率循环”，芯片是发热源，并且热量从芯片向散热器单向流动，因此内部组件存在明显的温度梯度，在空间上温度分布不均匀，并且随时间的温度波动规律也不同。

由于这两种温度变化产生的应力在时间和空间分布上的不同，产生了两种基于单一应力加速的老化试验：温度循环试验和功率循环试验，如图 5-3 所示。温度循环试验的操作较为简单，将待测器件（Devices Under Test, DUT）放置在恒温环境中（如恒温箱中），利用空气与 DUT 之间的对流换热对器件进行加热和冷却，通过设置和调节恒温箱内的最高温度、最低温度、温度变化率和停滞时间等即可完成试验条件的设定，典型温度循环试验的温度变化率为 10~40°C/min^[2]。温度循环试验主要考核器件对极限环境温度的承受能力以及环境温度变化对器件内部封装的影响。目前的各种试验结果表明，温度循环试验中，焊料层是唯一的失效点，并未发现键合线的老化失效^[3]，由此可以看出温度循环试验并不能完全暴露器件的薄弱点。相比之下，功率循环试验则是通过外部电流加热被测器件使其结温升高到设定结温后，切断加热电流后并对被测器件进行降温，从而产生温度波动，也被称为“主动温度循环”。

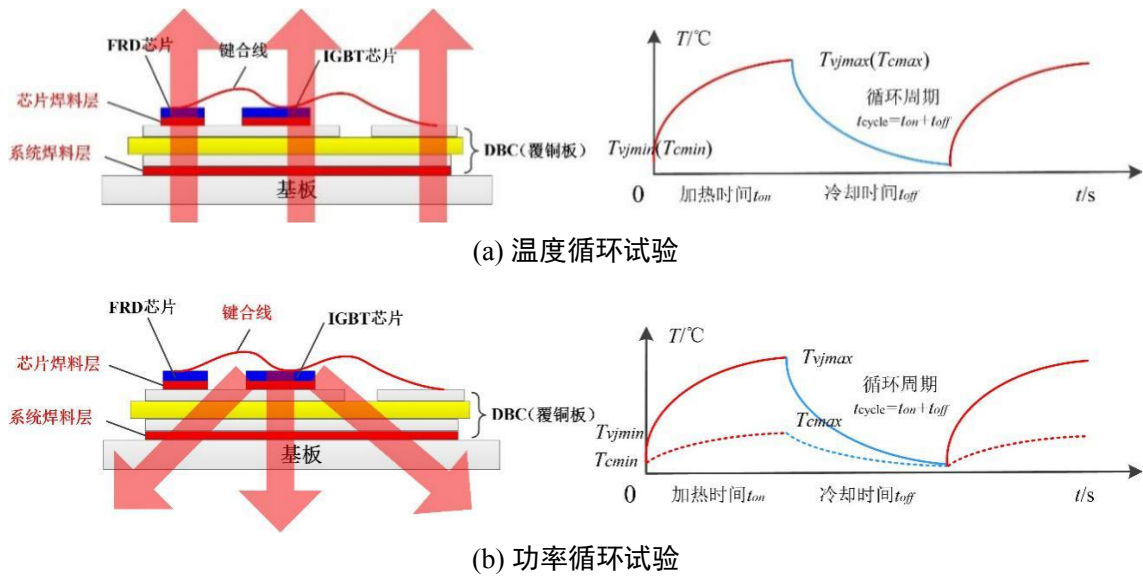


图 5-3 温度循环试验和功率循环试验器件内部温度变化示意图

具体的试验方法对比温度循环，在功率循环中，样品通过流过半导体的电流进行主动加热至最高目标温度，然后关断电流，样品主动冷却到最低温度。循环时间相对较短，此项试验的主要是验证键合线与芯片，芯片到 DCB 之间连接的老化。在热膨胀的过程中，由于芯片温度最高，因此与芯片相连的键合线和与 DCB 相连的焊接层受力最大。

由于功率循环试验与实际工况较为接近，能更好的模拟器件在长期工作中承受的热应力，被认为是研究热应力加速老化试验条件下可靠性的有效方法，同时也是进行器件失效机理分析和寿命评估的有效手段[5]。目前主流功率循环试验主要让器件工作在导通模式，依靠导通损耗来产生结温波动。在此前提下，MOSFET 因为工作模式多样，其功率循环也有许多不同类型的实施方式，除 AQG 324 外，一些现行标准规定比较宽泛，并没有对加电方式进行限制，不同的功率循环试验方法可能造成其得到的失效机理以及器件寿命长短存在差异[6]。

(1) 基本试验条件

功率循环试验的主要条件包括结温温升(有时也规定壳温温升)、负载电流及其施加方式、导通/关断时间和循环次数，采用水冷时还应包括冷却条件(冷却水的入口流量和温度)。其中当规定功率模块结温温升要求时，主要考核芯片与键合的可靠性以及芯片与 DCB 板焊接的可靠性，当规定功率模块壳温温升要求时，还考核 DCB 板与基板之间的焊接可靠性，温升一般根据功率模块面向的应用场合确定。也有标准，如 AQG 324，仅要求检测结温温升，并不将其作为试验条件而规定，而是规定负载电流作为替代。

对于功率循环试验，结温温升 ΔT_j 和最高结温 T_{jmax} 是两个最重要的目标试验条件，直接影响最终的寿命结果。 T_{jmax} 的设置较为简单和确定，当 ΔT_j 设置完成之后，通过调节冷却系统的性能即可实现，例如在水冷系统中可以调节冷却水温度(主要方式)或流量(用于微调)，风冷系统中可以调节风扇的风速[7]。 ΔT_j 的设置较为复杂且最关键， ΔT_j 同时受功率损耗和开通时间的影响，而功率损耗又主要受负载电流 I_L (主要因素)和栅极电压 V_{ge} (用于微调)的影响，因此可以通过改变 I_L 或 V_{ge} 以及 t_{on} 等多个试验条件来完成目标 ΔT_j 的设定。为达到同样的结温温升，可以加高电压小电流，也可以加低电

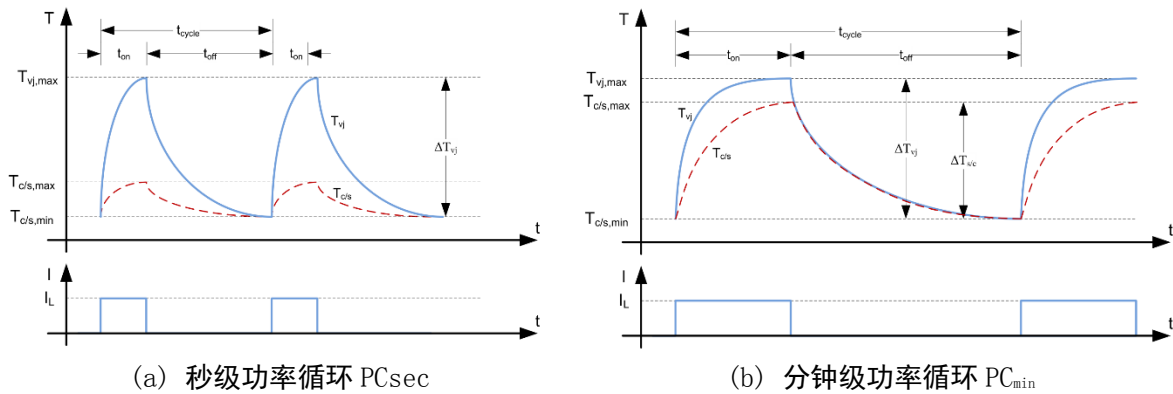
压大电流，这两种情况对功率模块的应力相差很大。应针对不同器件的应用场合确定具体的电流施加方式。根据 MIL-STD-750 试验标准，对 SiC 器件的功率循环试验条件为：当 $\Delta T_{Vj} \geq 100^\circ\text{C}$ 时，其中每循环的 $t_{\text{on}}/t_{\text{off}} \geq 2\text{min}$ ，循环次数为：60000/($t_{\text{on}}+t_{\text{off}}$)， $t_{\text{on}}/t_{\text{off}} < 2\text{min}$ ，循环次数规定为 15000 次；当 $\Delta T_{Vj} \geq 125^\circ\text{C}$ 时，其中每循环的 $t_{\text{on}}/t_{\text{off}} \geq 2\text{min}$ ，循环次数为：30000/($t_{\text{on}}+t_{\text{off}}$)， $t_{\text{on}}/t_{\text{off}} < 2\text{min}$ ，循环次数规定为 7500 次。通过改变上述的试验条件不仅可以设置目标 ΔT_j 和 $T_{j\text{max}}$ ，同时还可以影响待测器件的失效模式及机理，以实现不同的试验功能和目的，以此为根据又可以分为不同类型的功率循环试验。

(2) 秒级功率循环与分钟级功率循环

功率循环最基本的分类是按周期长短分为秒级与分钟级功率循环，周期短至几秒到十几秒的为秒级循环，周期较长的则为分钟级循环。当为功率模块应用试验时，为模拟汽车运行情况，针对混合动力汽车频繁的加速、减速、巡航带来的电流冲击，英飞凌公司定义了“秒级功率循环试验”（电流加热，外部水冷冷却），秒级功率循环试验是在试验时施加一个较短时间（秒级）的加热脉冲^[8]。该试验模拟了功率模块短时间工作状态下的受力情况，主要考核键合丝与芯片的焊接可靠性，当进行功率模块的应用要求，试验次数可达数十万次，主要失效模式是键合丝脱落或断裂。试验时结温温升 60°C ，最大结温不得超过 150°C ， $0.5\text{ s} < \text{试验时间} < 5\text{ s}$ 。另外有分钟级功率循环试验，试验时施加一个较长时间（达到分钟级）的加热脉冲，使芯片发出的热量传到基板并到达底板。该试验模拟功率模块长期工作状态下的受力情况，主要考核芯片与基板以及基板与底板之间和键合丝与芯片的焊接可靠性，根据功率模块的应用要求，试验次数一般不超过 1 万次，主要失效模式是芯片与基板焊接以及基板与底板之间焊接出现分层。其中循环次数要求与应用试验样品要求密切相关，不同样品对循环次数有不同的要求。

一个开关周期中关键的是导通时间，导通时间的改变主要会影响器件内部各层组件的温度波动，对于很小的导通时间，芯片产生的功率损耗只会引起芯片附近组件的温度变化，随着导通时间的增大，甚至大于整个器件的热时间常数，那么器件内部各个组件都会产生较大的温度波动。AQG 324 中即根据导通时间的长短而不是周期长短进行分类，分为秒级功率循环试验 PCsec ($t_{\text{on}} < 5\text{ s}$) 和分钟级 ($t_{\text{on}} > 15\text{ s}$) 功率循环试验 PCmin，两者对比如图 5-4 所示^[9]。应注意的是，不同标准中对秒级循环和分钟级循环的划分标准不完全一致，这主要由标准所应用的器件/模块类型决定。

许多标准中都指出，秒级功率循环与分钟级功率循环失效模式与失效机理是不同的，在 AQG 324 中更是将其分为两个独立的试验项目。在 AQG324 中，秒级循环和分钟级循环，除导通时间 t_{on} 不同外，其规定内容上区别主要有以下三点：一是产品失效机理不同，PCsec 主要考核芯片附近的键合线和芯片焊料层的可靠性，而 PCmin 则既考核芯片附件的键合线和芯片焊料层，又可以考核远离芯片的系统焊料层；二是分钟级循环能按比例模拟模块冷启动时的情况，而秒级循环没有类似描述；三是分钟级循环要求记录试验期间基板温度或散热器、冷却液 ($\Delta T_c/s/f$) 温度的温升，而秒级循环仅要求记录结温的温升。其他关于试验原理、试验步骤和条件以及注意事项的规定大致相同。

图 5-4 秒级和分钟级功率循环试验中器件内部温度变化曲线^[9]

(3) DC 功率循环与 AC 功率循环

根据试验中待测器件的导通状态，功率循环试验可分为直流（Direct Current, DC）功率循环试验和交流（Alternating Current, AC）功率循环试验。常规 DC 功率循环试验电路原理图如图 5-5 所示，也是 IEC60747、AQG324 等标准中指定的试验电路。DUT 的栅极施加恒定的电压，通常为 15V 使得器件始终工作在饱和模式，通过开关控制负载电流的注入和关断。当开关闭合，负载电流注入 DUT，其芯片结温因为导通损耗而持续升高，达到预设的最高结温后停止加热；然后开关断开，DUT 在外部散热作用下芯片结温开始逐渐降低，达到预设的最低结温，以此为一个循环周期。测量电流源一直给 DUT 提供一个较小的恒定电流，根据小电流下饱和压降法（ $V_{CE}(T)$ 法）间接测量 DUT 的结温，测量电流的大小通常选择负载电流的 1/1000^[10]，可以在不引起明显自热反应的同时保持较高的测量精度。功率循环试验中的结温测量方法并不固定，还有其他结温测量方法，例如 IEC60747 中还推荐使用阈值电压法，但是 $V_{CE}(T)$ 法是使用最为广泛的结温测量方法。而 AC 功率循环目前很少被采用，具体内容将在下一节中进行介绍。

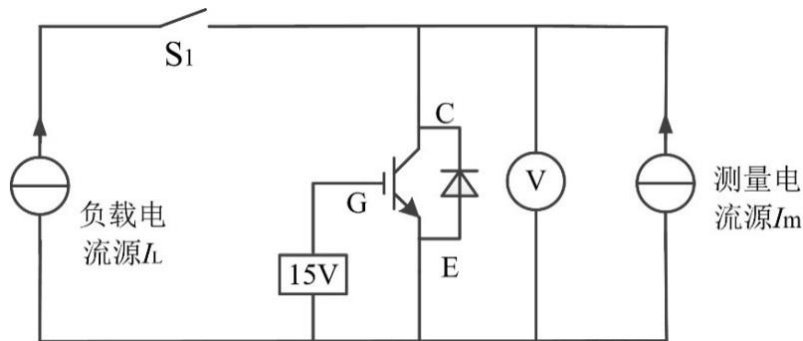


图 5-5 常规 DC 功率循环试验电路原理图

(4) 结温的控制策略

在功率循环试验前期可以通过调节不同的试验条件以达到目标结温波动和最高结温，然而随着试验的进行，器件键合线或焊料层发生老化，会导致端口电热特性发生改变，造成最高结温和结温波动的增加。因此，关于在功率循环试验过程中是否应该对某些试验条件进行控制以保持恒定，产生了不同的控制策略。

①恒定开通时间和负载电流，即恒定 t_{on} 和 I_L

这种控制策略最为简单，即在功率循环试验过程中，不对任何试验条件进行调整，也被称为“标准试验方法”。在这种控制策略下，器件的键合线老化会导致通态压降的增加，焊料层老化会导致热阻的增加，两者都会进而导致最高结温和结温波动的升高，使得老化试验的条件更加严苛，进一步加速老化的发展。因此，在试验后期会观测到通态压降和热阻呈现指数型发展的趋势。

②恒定壳温波动，即恒定 ΔT_c

这种控制策略要求在功率循环试验过程中壳温的波动保持恒定，实现方式是改变冷却介质的温度，通过建立壳温和冷却介质温度的反馈控制关系，当器件发生老化后壳温发生变化，及时调节冷却介质的温度来维持壳温波动的恒定。显然，这种控制方式对老化有一定作用的补偿效果，文献[11]的试验结果表明这种方式下的寿命大约是标准试验方法寿命的 150%。

③恒定功率损耗，即恒定 P_v

这种控制策略要求功率循环试验过程中功率损耗是恒定的，功率损耗是由负载电流和通态压降共同决定的，而通态压降又受负载电流、栅极电压和结温的影响。因此，实现这一控制目标可以有多种控制方法。文献[12]中通过改变栅极电压的方式来实现恒定的功率损耗，最终试验寿命是标准试验方法的 220%，而文献[13]则讨论了采用调节栅极电压和负载电流两种方式对结果的影响，结果表明两种方式下的寿命非常接近，分别是标准试验方法的 112%和 111%。

④恒定结温波动，即恒定 ΔT_j

这种控制策略要求功率循环试验过程中结温波动是恒定不变的，由于结温波动是影响寿命最重要的试验条件，因此这种控制策略将对老化起到极大的补偿作用。如前所述，结温波动主要受功率损耗和开通时间的影响，因此相比恒定功率损耗，保持结温波动恒定多了开通时间这一控制变量，在文献[14]中就是通过控制开通时间和关断时间来维持恒定的结温波动，结果表明寿命是标准试验方法的 320%，而文献[15]采用了调节栅极电压、负载电流和开通时间三种方式并进行了对比，三种方式下的寿命分别是标准试验方法的 123%、127%和 151%，认为当改变开通时间用于补偿老化时，试验中测得热阻或最高结温均不能用于监测焊料层的老化，导致缺少统一的失效准则，另外两个试验用的结温测量方法也不同，导致两个试验的结果无法直接进行对比。

综上所述，第 2-4 种控制策略不同程度上对老化有补偿作用，导致试验寿命比第 1 种控制策略下的寿命要高，并且同一控制策略下又有不同的控制方式，导致寿命又有差异，还会影响老化参数的监测和失效准则的判定，不利于结果的直接对比。因此，标准 AQG324 中将第一种控制策略确定为标准试验方法，即对老化过程不进行任何补偿，不允许采用其他控制策略。

(5) MOSFET 器件的工作模式

功率循环试验要求 MOSFET 工作在导通模式下，以主动产生结温温升，而实际上 MOSFET 在多种工作模式下都能够产生符合标准规定的温升，常见的工作模式有饱和区模式、线性放大区模式和二极管模式，都能够支持对应类型的功率循环试验，并且与 DUT 的串联、并联策略相关。

MOSFET 器件的典型输出曲线如图 5-6 所示。当栅极电压低于阈值电压，MOS 沟道被夹断，无论正向电压 V_{DS} 有多大，沟道中都不会有工作电流，仅有微弱的漏电流，这种状态被称之为“正向阻断状态”；当栅极电压高于阈值电压，MOS 沟道形成反型层之后，沟道中才会有正常的工作电流，电流

随正向电压的增大而增大，不受栅极电压的限制，该工作区域被称之为“饱和区”，产品一般工作在此区域，在较高的负载电流下由于电导调制仅有较小的饱和压降；然而 D、S 之间的电流并不会一直随着 V_{DS} 增大而增大，最终会受限于栅极电压，电流达到“饱和状态”，此时 MOSFET 相当于一个受栅极电压控制的电流源，如果 IGBT 被用于放大电路时，一般就工作在该区域，因此该区域被称之为“线性放大区”，其特点是在较小负载电流下有较大的通态压降。

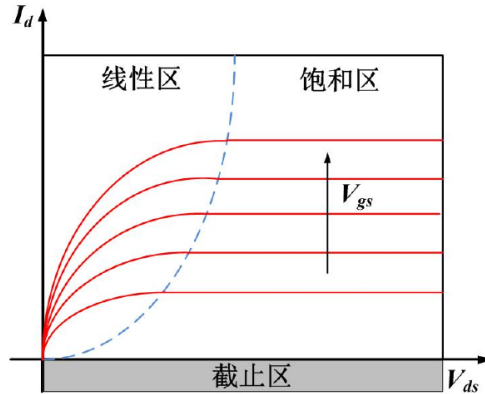


图 5-6 MOSFET 器件的不同工作区域示意图

MOSFET 体二极管模式、饱和导通模式和放大模式下的功率循环试验，分别如图 5-7、图 5-8、图 5-9 所示，其中体二极管模式、饱和导通模式仍采用串联加电方式，放大模式采用并联。

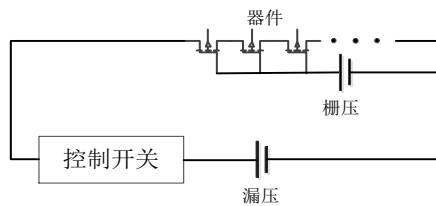


图 5-7 MOSFET 体二极管模式试验电路

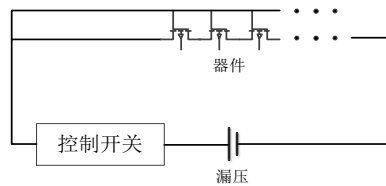


图 5-8 MOSFET 饱和导通模式试验电路

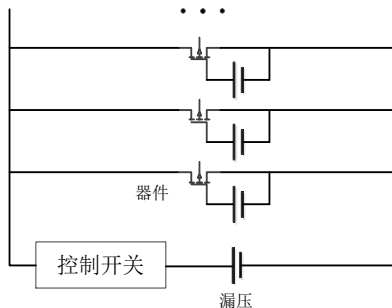


图 5-9 MOSFET 放大模式试验电路

功率循环试验属于加速老化试验，在试验过程中待测器件的结温波动会远高于实际工况，以此达到缩短试验时间的目的。如前所述，通常会增大负载电流来实现这一目的，有时甚至会超过1.5倍的额定电流^[6]，过大的负载电流可能会造成键合线提前失效，改变失效模式和机理，破坏加速老化试验和实际工况的等效性。为了避免这一现象，标准 AQG 324 中提到可以适当降低栅极电压 V_g 来增加通态损耗，使得在较低的负载电流下也能实现目标结温波动，但是标准中也特别说明了 V_g 不能太小，MOSFET 仍需要工作在饱和区，与实际工况中 MOSFET 的工作区域相同。

虽然 AQG 324 中规定 SiC MOSFET 在进行功率循环试验时应使模块工作在饱和区，但仍将体二极管模式作为备用加电方案，如果采用体二极管模式加电进行试验，需要制造商说明理由并由用户认可，关于放大区模式的功率循环，AQG 324 中没有涉及，本节不再具体介绍。

(6) AQG 324 的其他规定

AQG 324 对功率循环试验做出了许多具体规定，较其他标准而言更加细致，其中部分规定与此前的一些试验案例有所区别，应予关注。

首先关于试验条件控制，规定导通时间和关断时间（循环周期即二者之和）须按照恒定值施加，并在试验前确定，以达到试验所需的结温变化量。如果通过调整导通时间和关断时间无法达到所需的结温变化量，则相应地改变栅极电压来改变结温本身和结温变化量，但应注意使被测器件工作在饱和区，并且只允许在试验开始前调整一次。不允许使用除恒定开关时间之外的所有其他控制方法，比如通过检测散热器温度或基板温度来控制导通时间和关闭时间，或使用恒功率损耗进行控制。试验过程中不得调整 t_{on} 、 t_{off} 的设定值，因此，被测器件模拟结温的温升变化是可接受的，这反映了 DUT 的老化。试验过程中也不得改变开始时选择的栅极电压。在试验参数的短暂调整期之后，所有控制参数必须保持恒定，直到产品失效或试验结束，需要监测结温的上下限值。

关于试验过程中结温和热阻的测试 AQG 324 有其特殊规定，与一般实施案例有所不同，应当加以关注。SiC-MOSFET 由于器件设计的原因，电学法测试结温时不能再沟道中测试，而应该使用体二极管测试，如果在 0V 时沟道会打开，建议施加负栅极电压，以使沟道完全关断，施加的栅极电压应记录在报告中。如果体二极管无法测试结温，则允许其他方式，但不能影响测试结果。试验期间不得拆除 DUT 进行热阻测试，如果不从试验设备中拆除 DUT 就无法测试热阻，经客户同意，可以以结温变化量作为故障标准，而不是热阻。应使用 SiC MOSFET 的 V_{os} 和结温的温升以及其他相关参数来检测故障，在整个试验过程中，必须针对每个循环监测这些参数，并相应记录。可以选择要监测的热阻参数可以为结壳热阻或结到散热器、结到冷却液的热阻，但建议使用与规范中相同的热阻。如果需要结壳热阻但无法测量，也可以根据规范中的结壳热阻+（结到散热器热阻-试验开始时的结到散热器热阻）来计算，也就是认为结到壳和结到散热器的热阻变化量一致。

关于结温条件的选择，AQG 324 规定必须对至少两个不同的温升条件进行试验，且最高温升比最低温升至少高 40%，以便试验结果可以用于验证可靠性曲线和寿命模型。多个试验条件的电流值，其中有且只有一个条件下的负载电流值 $>0.85 \cdot I_{dn}$ ，第二个取样点可以 $<0.85 \cdot I_{dn}$ ，以便获得合适的温升跨度。

多通道组件的取样问题也作出了规定，规定为同一个组件中的相似的通道必须每个拓扑开关与温升条件一一对应进行试验，保证模块的所有半导体芯片和组件至少进行一次试验，应避免不同工作通

道间的热相互作用。随机样本范围至少是来自三个不同 DUT 的至少 6 个开关结构，必须确保在每种情况下测试与应用相关的电流路径。

关于使用体二极管加热的方案，AQG 324 规定为：为进行 MOSFET 的试验，在每种情况下检查 MOSFET 的反向体二极管可以通电，作为替代的加热方式。然而，必须确保不超过芯片的额定功率，电流小于 $0.85 \cdot I_{dn}$ 并记录。当通过体二极管加热时，模块供应商应提供理由，客户应批准加热方法。同时应注意二极管是负温度系数，这会导致温度不均匀性，尤其是在大规模并联封装的二极管。

AQG 324 中定义了两项失效判据，分别为 V_{DSon} 变化 5% 或热阻 $R_{th(j-c/j-s/j-f)}$ 变化 20%。并建议试验结束以后，使用声学扫描显微镜检查 DUT 的焊接点、基板、结构部件和外壳是否有裂纹，检查对寿命有影响的其他热结构和机械连接（是否有异常）。

(7) 基于功率循环试验的寿命模型

根据功率循环试验建立的寿命模型称为“解析模型”，解析模型顾名思义即未考虑 DUT 失效具体的物理过程，而是利用统计原理进行寿命预测的模型。功率循环寿命模型一般以失效的循环周期数 N_f 为输出变量，目前的主流观点认为关键输入变量应包括 ΔT_j 与 $T_{j,max}$ ，但还没有定论。应用比较广泛的模型有以下等：

① LESIT 模型

LESIT 是上世纪九十年代初在瑞士进行的标准功率模块寿命预测的研究项目。许多欧洲和日本的不同 IGBT 厂商的模块都在次项目中进行试验。文献[37]详细介绍了此项目中提出的预测模型：

$$N_f = A \cdot \Delta T_j^{-\alpha} \cdot \exp[E_a / (K_B \cdot T_m)] \quad (5.1)$$

式(5.1)中， K_B 为玻尔兹曼常数 ($1.380 \times 10^{-23} \text{J/K}$)，激活能 $E_a = 9.89 \times 10^{-20} \text{J}$ ；参数 $A = 302500 \text{K}/\alpha$ ， $\alpha = -5.039$ ， T_m 为平均温度。

式(5.1)是基于 Coffin-Manson 定理，假设失效周期数目 N_f 与 $\Delta T_j^{-\alpha}$ 成比例，即 $\log(N_f)$ 与 $\log(\Delta T_j)$ 近似线性关系。式(5.1)在 Coffin-Manson 定理中加了一个 Arrhenius 因子，该因子有一个与激活能和平均温度有关的指数项，因此可以一定程度上克服 Coffin-Manson 定理的一些缺点。其实 LESIT 模型也跟失效机理有一定关系，因为 ΔT_j 与塑性形变有关。

② Norris-Landzberg 模型

Norris-Landzberg 模型是在 LESIT 模型基础上改进而成的。在功率循环试验中，温度变换周期对 IGBT 的寿命也有很大影响，所以在此模型中加入与频率有关的参数^[38]。Norris-Landzberg 模型如下所示：

$$N_f = A \cdot f^{-n_2} \cdot (\Delta T_j)^{-n_1} \cdot \exp[E_a / (k \cdot T_m)] \quad (5.2)$$

Norris-Landzberg 模型的缺点主要在于将功率循环的影响只体现在循环周期一个常数上。然而在实际的功率循环中，结温的停留时间、斜坡上升时间以及循环时间都是重要的影响因素。与此同时这种模型也多用于温度循环等被动加热的情况，应用在主动加热的功率循环实验往往也会有较大误差。

③ Bayerer 模型

功率循环试验中试验条件的选取至关重要。在主动加热的功率循环试验中往往知道的是芯片导通正向电流的开通时间。由于很难在相同的试验条件下重复试验，并且即便是在相同电流和加热时间下

也很难精确测量结温差 ΔT_j ，上面提到的两种寿命预测模型有很大局限性。

Bayerer 在大量模块功率循环试验结果分析下，推导出新的 Bayerer 模型公式(5.3)：

$$N_f = K \cdot \Delta T_j^{\beta_1} \cdot \exp(\beta_2/T_{low}) \cdot t_{on}^{\beta_3} \cdot I^{\beta_4} \cdot V^{\beta_5} \cdot D^{\beta_6} \quad (5.3)$$

式(5.3)中， $K=9.30 \times 10^{14}$ ， $\beta_1=-4.416$ ， $\beta_2=1285$ ， $\beta_3=-0.463$ ， $\beta_4=-0.716$ ， $\beta_5=-0.761$ ， $\beta_6=-0.5$ 。该模型包括加热时间 t_{on} ，键合线上流过的电流 I （单位 A），器件的电压范围（以 0.001V 为单位，可以反映芯片厚度对焊料的影响），键合线直径 D （单位 μm ）。可以看出 Bayerer 模型考虑到了很多因素，但也有些限制。

Bayerer 模型适用于 Al_2O_3 为衬底的模块，不适用于 AlN 和 AlSiC 为衬底的高功率模块。加热时间 t_{on} 也不宜选取过大，最好在十几秒以内，因为加热时间太长的话，失效机理会改变，模型预测不再准确。同时 Bayerer 模型中的各个参数不是相互独立的，不适用于单一改变某个参数而直接进行寿命预测。

不同结构、不同类型的产品，适用不同的的最佳模型，给寿命模型的建立提出了一定理论挑战。

5.2.2 高温反偏 HTRB

高温反偏（High Temperature Reverse Bias，简称 HTRB）试验是模拟器件在高温大功率系统中的工作环境，将样品放在高温反偏环境下进行长时间考核，并监测器件的漏电流及阈值电压在试验前后有无出现退化。这项试验反映了器件在高温高电压状态下工作的可靠性，对有温升要求和高开关频率的电路具有非常重要的意义。

HTRB 有时也称为热反向试验，为了验证芯片漏电流的长期稳定性。在 HTRB 试验期间，在接近操作极限的环境温度下，半导体芯片承受反向偏压，该反向电压一般等于或略低于器件的阻断能力，能够揭示出器件边缘和钝化处场耗尽结构的退化效应^[17]及与芯片边缘密封性有关的缺陷，此外，试验还会受到生产过程中引入的离子污染物影响，这些污染物在高温和电场作用下迁移，导致表面电荷和漏电流增加，试验过程中高温作用下，模块的封装工艺和热匹配性也会影响其对外部污染物的防护。

在试验过程中，将被测器件在规定温度条件下用螺丝紧固在热板上，同时施加规定的漏源反向偏置电压，在设备和热板之间实施电气隔离。测量反向偏置应力和漏电流的电路原理图如图 5-10 所示。

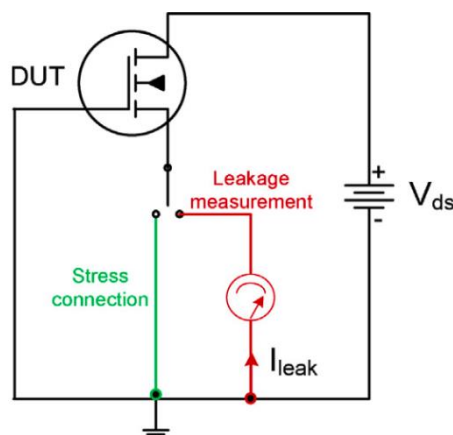


图5-10 HTRB试验电路示意图^[5]

在 HTRB 试验中，漏电流(I_{leak})是在高温下对设备进行长时间的漏极-源极-偏置应力监测的。电压条件为额定反向击穿电压($V_{\text{DS, max}}$ ，或 BV_{dss})的 80% (AQG 324) 或规定的最高反向直流电压 (AEC Q101)，可以在栅极与源极短路时施加，如果这种情况下沟道不能完全关断，AQG 324 规定可以在 V_{GS} =“negative gate bias” 条件下进行试验，即给栅极施加规定的负压，对应 SiC MOSFET 而言，一般取 -5V。另外即使 $V_{\text{GS}}=0\text{V}$ 时沟道能关断，AQG 324 仍建议开展一项 $V_{\text{GS}}=V_{\text{GS, min}}$ 的附加试验，AQG 324 认为这种条件下的失效模式可能会改变，因为模块受到的应力变成了反偏应力和负栅极应力的叠加，且在试验条件的备注中规定，如果不能证明 $V_{\text{GS}}=0\text{V}$ 和 $V_{\text{GS}}=V_{\text{GS, min}}$ 哪个更严苛，则需要两个条件的试验都进行。

因此，AQG 324 指出 SiC 模块可能触发两种不同于 Si 的失效模式：由于 DS 沟道未完全关断，导致漏电流更高；由于负栅应力和高反偏电压，关断状态下栅极的应力更高。

因为 HTRB 主要考核芯片附近的结构，AQG 324 主要规定结温必须达到规定的结温最大值，而环境温度可以低一些，这条规定默认了高压和漏电流会在芯片上产生一定的温升，外壳温度应在最大贮存温度的 $\pm 10^\circ\text{C}$ 以内，否则应监测和记录。另外，AEC Q101 中电压条件描述为“规定的最高反向直流电压”，而 AQG 324 不建议采用高于 $0.8 \cdot BV_{\text{dss}}$ 的试验条件，认为这对提高产品可靠性没有直接作用，同时使用更接近击穿电压的试验条件，会增加射线等随机事件引起失效的风险。

HTRB 试验后(当设备与电压电源断开并冷却后)漏电流一般会增加，大多数半导体设备制造商也在 1000 小时试验期间持续监测漏电流。在高温反向偏置试验中记录的漏电流的实例如下图所示，在试验期间监控了 8 台设备，器件最初是稳定的，但在大约 200 小时后，漏电流开始增加。920 小时后，由于部分器件漏电流大幅增加，试验被终止，这些器件的标记为失效，因为结已经钝化，不能满足实验要求。

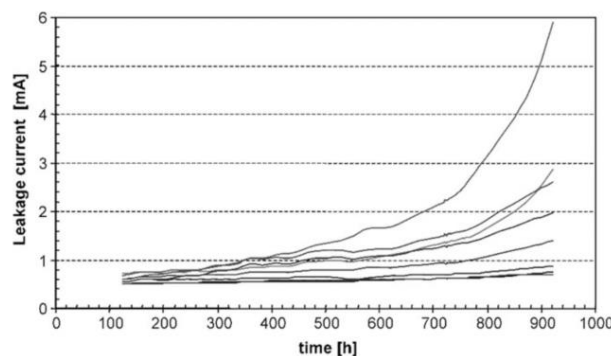


图5-11 高温反向偏置试验期间记录的漏电流

该项试验的失效判据为漏电流增加 5 倍或超过规范值，但要注意，试验开始时的几小时内可能产生一个位移电流（引起漏电流短暂增加），但随后会降低到规范值以下的一个稳定值，这个能导致漏电流大约增加一倍的效应不能被视为失效，失效标准也应调整到以新的稳定值为基准。

试验过程中实时监测漏电流，按照预定时间，试验结束后比较漏电流、阈值电压的变化量，将试验后的漏电流与开始时的稳定值或试验前后冷却状态下的值进行比较，任何一个条件超过规定的失效阈值都视为失效。也可以按照预定的失效阈值，一直进行试验直到达到规定的最大允许漏电流。

5.2.3 高温栅偏 HTGB

高温栅偏（High Temperature Gate Bias，简称 HTGB）试验就是将待测样品置于高温高栅压应力下进行长时间考核，考核电热应力对栅极的影响，适用于 MOSFET 和 IGBT 这样有栅极结构的模块。HTGB 旨在高温下对栅氧化层施加一个直流偏置电压的电应力，以检测电荷陷阱引起的 SiC/SiO₂ 界面附近电气参数的漂移，考核栅极电介质的完整性、半导体/电介质的边界层和可移动离子污染物的效应，并观测器件的阈值电压在应力前后有无出现退化。该项试验是 SiC MOSFET 可靠性考核中非常重要的一环，对于分析栅氧化层的质量具有非常重要的意义。

自 SiC MOSFET 的产品面世以来，其可靠性研究中一个最为关注的问题就是栅氧化层的稳定性。这一方面是由于 SiC MOSFET 中 SiC/SiO₂ 界面的势垒较低为 2.7eV（而 SiC/SiO₂ 界面势垒为 3.2eV），所以沟道中的载流子将会更为容易越过势垒到达氧化层中，从而形成隧穿电流影响氧化层的质量。另一方面是由于 SiC MOSFET 沟道中的载流子迁移率很低，为了降低器件的导通电阻，导通态时 SiC MOSFET 的栅极驱动电路都会向其栅极提供至少 15V 的开启电压，而 Si 基 VDMOSFET 的驱动电压通常只需 10V，因此当 SiC MOSFET 长期处于高栅压应力下时，栅氧化层中靠近 SiC/SiO₂ 界面的陷阱将更易俘获沟道中的电子，进而导致阈值电压发生漂移^[1]。

HTGB 能够验证栅漏电流的稳定性，即使最先进的 IGBT 和 MOSFET 的最大允许栅极电压也限制在 ±20V，该电压适用于不超过 100nm 厚的栅极氧化层，这将导致在栅极氧化物上形成 2MV/cm 的电场。对于稳定的漏电流，栅氧化物必须没有缺陷，可以容许较低的表面电荷密度。虽然 Si MOSFET 和 IGBT 在栅极应力试验中通常非常稳定，但栅极氧化物的可靠性一直是在 SiC 衬底材料上制备 MOS 结构的一个巨大挑战。随着 SiC 技术的成熟，碳化硅 MOS 器件的时间依赖性介电击穿特性逐渐得到改善。然而，即使到目前为止，大型器件(5-50mm²)的栅氧化可靠性也没有像具有类似栅氧化面积的硅器件那样成功实现较低的早期失败率。特别是在栅极氧化物中，R_{on} 和电场限制之间的权衡对 SiC 来说更具挑战性。通道电阻是 R_{on} 的主要组成部分。场效应晶体管的 R_{ch} 由式(5.4)式(5.5)给出，可表示为式(5.6)。

$$C_{ox} = \frac{\epsilon_0 \cdot \epsilon_r}{d_{ox}} \quad (5.4)$$

$$R_{ch} = \frac{L}{W \cdot \mu_n \cdot Q_s} = \frac{L}{W \cdot \mu_n \cdot C_{ox} \cdot (V_G - V_T)} = \frac{1}{\kappa \cdot (V_G - V_T)} \quad (5.5)$$

$$R_{ch} = \frac{L}{W \cdot \mu_n \cdot C_{ox} \cdot (V_G - V_T)} = \frac{L \cdot d_{ox}}{W \cdot \mu_n \cdot \epsilon_0 \cdot \epsilon_r \cdot (V_G - V_T)} \quad (5.6)$$

通道的整体宽度为 W，长度为 L，μ_n 为自由电子迁移率，V_G 为外加栅电压，V_T 为阈值电压，d_{ox} 为栅氧化层厚度。SiC 的沟道迁移率比 Si 低得多，由于氧化物厚度对沟道电阻的影响，与 Si MOSFET 和 Si IGBT 相比，SiC MOSFET 可以实现低 R_{ch}，另外增加 V_G 也可能对实现低 R_{ch} 有帮助，参见式(5.6)，但相对的，无论是采用 SiC 基材料还是增加 V_G，都会增加栅极氧化物中的电场，并对其可靠性造成风险。因此，高温栅偏试验对以低导通电阻为设计目标的 SiC MOSFET 产品而言是一项需要特别关注的试验项目。

HTGB 试验旨在监测器件在高温下施加长时间的栅源偏置直流电压后栅源漏电流和阈值电压值的变化。在试验过程中，被测器件(DUT)被放置在满足规定温度的环境下，同时通过施加栅极-源极直流

电压对其进行偏置应力，漏极短路。栅极偏置电路在应力和阈值电压测量时的原理图如图 5-12 所示。

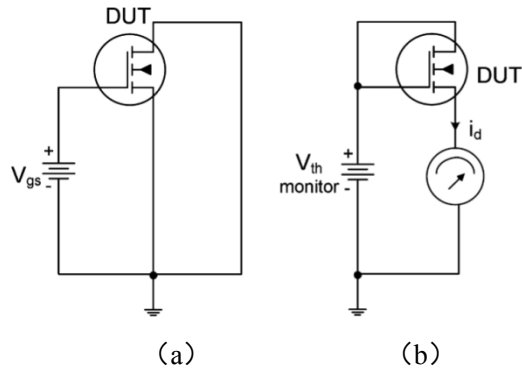


图5-12 HTGB试验电路示意图 (a) 试验过程 (b) 阈值电压测试^[2]

AEC Q101 要求施加 100%栅极电压，电压正负由工艺决定。AQG 324 指出高温栅偏需要预处理，因为阈值电压本身会因为开关而增加，但这不是老化问题。同时试验重点是验证寿命周期和寿命极限，监测早期失效。

典型失效机理有以下三种：a)高温加速了具有时间依赖关系的介质击穿，在栅极、源级或源级、漏极之间产生电阻路径，或栅源之间低电压击穿；b)电热应力导致栅极边界层退化，改变了阈值电压和米勒电容；c)电热应力导致电荷离子污染物漂移，可长期性降低阈值电压和米勒电容以及栅极的完整性或控制效果。

HTGB 试验前后主要效应为栅源漏电流增加和阈值电压漂移，如图 5-13 所示为试验过程中不同栅压应力下的阈值电压漂移结果。

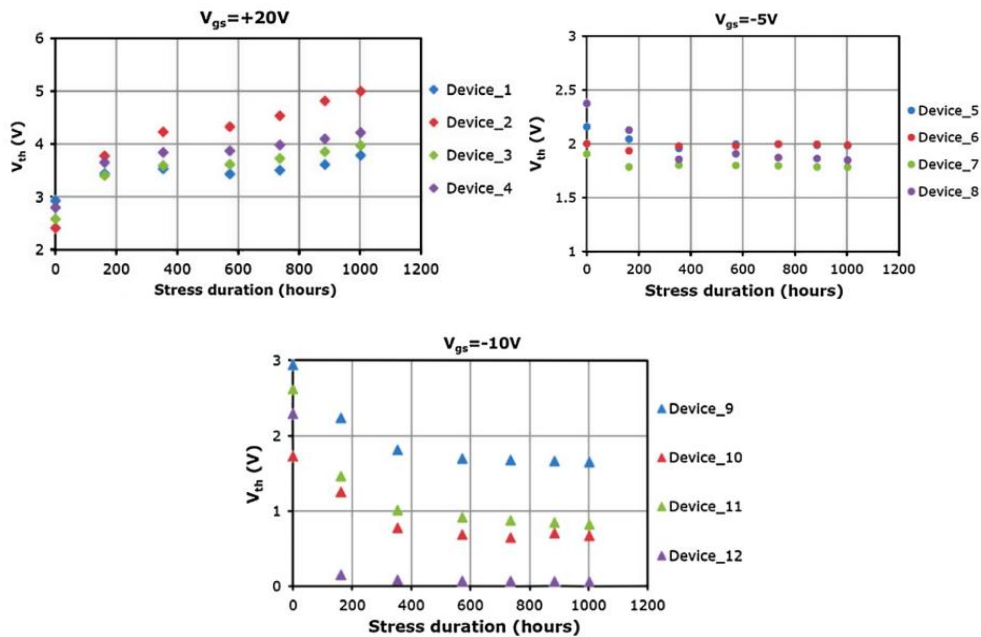


图5-13 HTGB试验中在不同栅压应力下的阈值电压漂移结果

在实施试验时，需要实时监测的指标为栅源漏电流，失效判据为栅源泄漏电流增加 5 倍或超过规

范值，试验前后需测试并记录阈值电压，并记录试验采用的环境温度 T_a 和电压 V_{DS} 、 V_{GS} 。另外，可以在栅极控制通路中设置限流串联电阻或断路器，防止模块放电。

5.2.4 高温高湿反偏 H3TRB

高温高湿反偏（H3TRB），也常被称为双 85 试验，主要用于测试湿度对功率器件长期特性的影响。通常为最大偏压的 0.8 倍时让器件暴露在 85% 的相对湿度和 85% 的温度下 1000 小时。对于功率半导体来说，由湿度引起的腐蚀机制通常是电机械迁移和铝腐蚀^[18]。在多芯片电源模块中，水分子能够进入非密封外壳，通过塑封材料或硅凝胶到达芯片，而对于功率半导体来说，最关键的区域是结端。当暴露在高温和富氧环境，湿度与钝化层发生化学反应，会破坏 SiC 半导体的欧姆接触。英飞凌和 Cree 对湿度对 SiC 肖特基二极管的影响进行了可靠性研究^[19]。与 Si 器件相比，SiC 器件的结端端暴露在更高的电场中，同时，由于碳化硅衬底较薄，结端受到的应力更大。

高温高湿反偏考核整个模块中的缺陷，包括半导体芯片。大多数模块不采用密封封装，水分可以随时间到达钝化层，芯片钝化层结构及芯片边缘密封的缺陷会受到水分影响。另外，生产过程中的离子污染物也可随水分转移，在温度和电场作用下增加表面电荷导致漏电流增加，或是生产过程中引入的气态腐蚀性物质，会影响封装互联和芯片。模块封装工艺和热膨胀系数（匹配性）也会对钝化完整性产生很大影响，降低对外部污染物的防护，机械应力作用下加剧电化学腐蚀。

高温高湿反偏试验的示意图如图 5-14 所示。

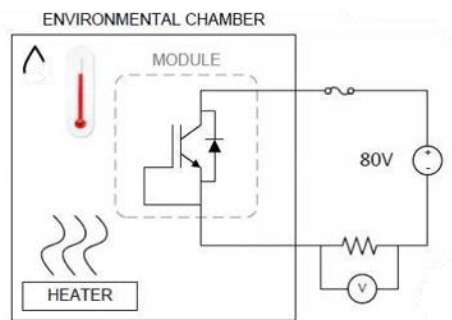


图5-14 H3TRB试验原理示意图

试验条件为：1000 个小时，环境温度 85℃，相对湿度 85%。在这一项试验中，施加的电场主要用于半导体表面离子积累和极性分子的驱动力，但是为了避免试验过程中漏电流产生的温升降低局部相对湿度，偏置电压只能取为 0.8 倍的击穿电压额定值。AEC Q101 中还规定该电压最高不能超过 100V，可能是因为器件尺寸较小，为避免高湿条件下的空气介质放电，模块标准 AQG 324 中则没有这样的限制。

试验过程中的主要现象为反向漏电流随时间增加，湿度作用下 SiC MOSFET 漏电流随时间增加的趋势在很多研究中都有涉及，如图 5-15 所示为一个包含 4 个 DUT 的示例。

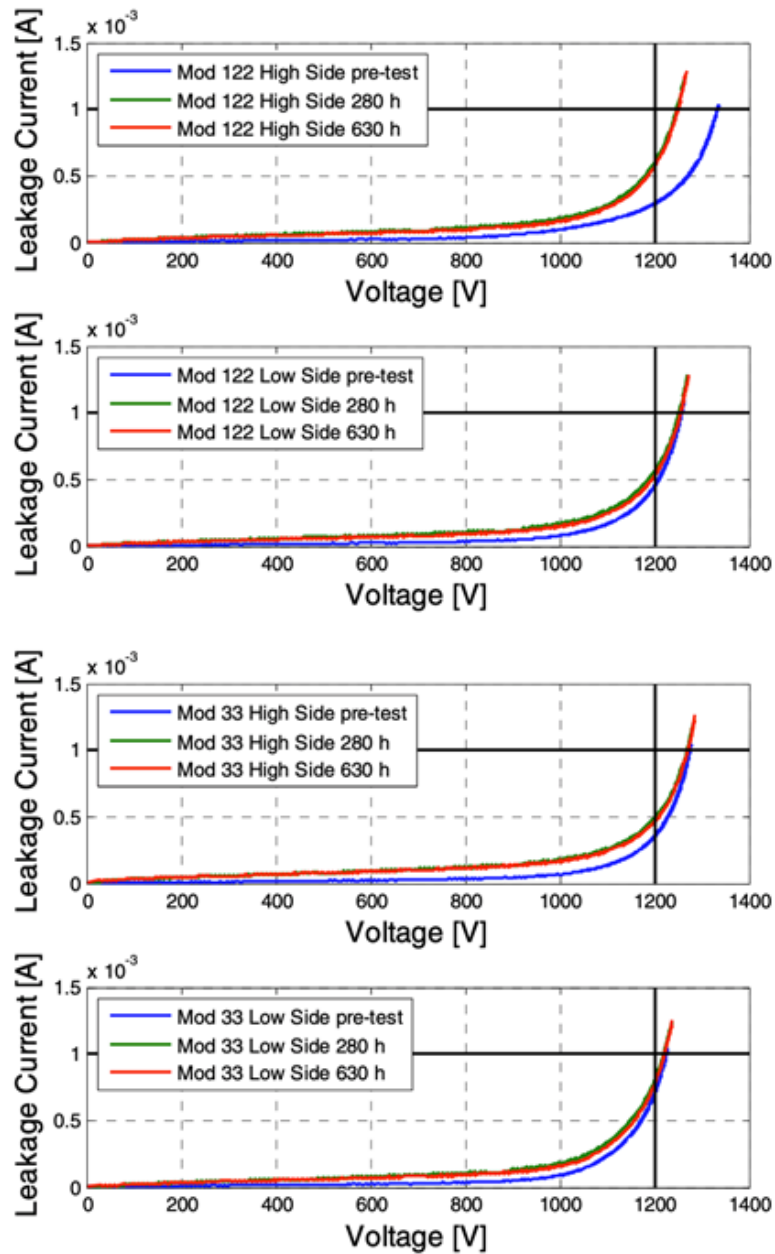


图5-15 湿度作用下SiC MOSFET漏电流随时间的变化^[6]

AQG 324 允许在恒定和间歇负载电压间选择不同的标准，但必须在沟道关断的条件下进行试验，如果 0V 栅压不能完全阻断则施加负栅压。

该项试验仍要求试验期间实时连续记录漏源泄露电流，试验前后记录栅极阈值电压。失效判据为漏电流增加 10 倍（在测量设备噪声之上的起始值的 10 倍），试验程序规定与其他相同，仍然与试验开始阶段的稳定值和加载前后冷却状态下的值比较，超过其中之一的 10 倍即视为失效。

5.2.5 动态偏置可靠性试验

(1) 动态偏置试验 DRB、DGS 与 dyn.H3TRB

与 HTRB、HTGB、H3TRB 三项高温偏置试验一一对应，AQG 324 该规定了三项动态偏置试验，即动态反偏（DRB，Dynamic reverse bias）、动态栅应力（DGS，Dynamic gate stress）和动态高温高湿反偏（dyn.H3TRB，Dynamic high-humidity, high-temperature reverse bias）。这三项试验所依据的原则类似，都是在各自对应的高温偏置试验基础上发展而来，AQG 324 中仅规定了这些试验的一般原则和试验条件，内容相对简略，这里将其放在一起介绍。

动态反偏和动态栅偏试验非常类似，都是将对应高温试验的温度条件改为动态偏置电压条件，AQG 324 中规定这两项试验都不必开展对应的高温动态偏置试验。

常温下的动态反偏试验被推荐为给 AEC Q101 等标准的一项附加试验，预期的失效模式是高 dv/dt 下芯片内部结构快速充电导致的老化，另规定振荡引起的超调应在 0.8 至 0.95 倍 $V_{DS,max}$ 范围内，防止过电压故障，允许钳位。试验时间规定为 1000 小时， $V_{DS} \geq 0.8V_{DS,max}$ ， dV_{DS}/dt 取 50V/ns， $f \geq 25kHz$ ，允许主动模式（DUT 栅极控制漏压）和被动模式（外部电路控制漏压）。

动态栅应力因为模块的并联、振荡、低电感设计等，芯片级和模块级试验可能存在差异，且只有当芯片级试验排除了 VDS 对 VGS 的影响时，才能采用 $V_{DS}=0V$ 的条件。试验时间规定为 10^{11} 次循环， V_{GS} 从 $V_{GS,min,recom}$ 至 $V_{GS,max}$ ， dV_{GS}/dt 取 1V/ns， $f \geq 50kHz$ 。

动态高温高湿反偏则仍在双 85 条件下进行，具体试验条件标准中还没有确定，目前给出的目标值将漏源电压降低至 $V_{DS} > 0.5V_{DS,max}$ ，动态条件相比于动态反偏也有下调，规定为 $dV_{DS}/dt > 30V/ns$ ， $15kHz \leq f \leq 25kHz$ ，其他如避免电压过冲允许钳位、栅极可加负压以确保沟道关断、避免漏电流的自热效应不宜使漏压过大等规定，与常规高温反偏试验均相同。

三项试验具体条件都应由典型应用或最佳应用确定。

总体来看，这些动态偏置试验具有较高实施难度，长期的高电压循环开关对试验设备本身的可靠性、动态电参数的监测能力构成了很大挑战，而其中一些试验条件尚未完全确定，这些试验的应用实例也不够丰富，有待进一步发展完善。

（2）高温贮存 HTS/低温贮存 LTS

SiC 材料相比于 Si 在耐高温上的性能优势明显，但关于低温性能的研究相对较少，有研究指出低温下 SiC MOSFET 会发生一系列参数劣化，主要表现为阈值电压上升，击穿电压降低和导通电阻升高等，另外开关时间等动态参数也会发生一定程度的劣化，但既没有与 Si 对比测试，低温条件下的参数劣化与贮存寿命也没有必然联系。

总的来说，SiC MOSFET 的高温贮存与低温贮存在汽车电子类标准中并没有获得较高关注。AEC Q101 的加速环境应力试验和加速寿命试验中没有涉及高温贮存和低温贮存，AQG 324 中虽然将其列为寿命试验项目，但也没有为 SiC MOSFET 规定任何额外内容，而是沿用其通用要求，即高温 125℃、1000h，低温 -40℃、1000h。从以上标准的情况来看，汽车电子行业对 SiC MOSFET 高低温贮存寿命没有特殊要求，试验与 Si 器件/模块基本相同。

（3）高温正向偏置 HTFB

AQG 324（2021 版）中尚未给出给出该项试验的具体条件，只是说明其与双极退化效应有关，并高度依赖于芯片。其具体内容尚在讨论中，且动态 HTFB 也将可能出现在未来的版本中。这个试验可能与传统正向偏置的稳态加速寿命试验相似，但目前车规器件的寿命模型一般是由功率循环试验得出

的，而不是传统的稳态加速寿命试验，类似的高温正向偏置试验在 AEC Q101 中也没有被列为加速寿命试验项目，仅是齐纳二极管采用稳态工作寿命替代高温反偏试验。这项试验的相关内容还需要等待标准后续版本的发布。

5.3 SiC 可靠性及寿命试验中的挑战

标准中规定的寿命试验在实施中仍存在一些技术挑战，前文提到的动态偏置试验具有较高的实施难度；从得出寿命模型的目的来看，SiC MOSFET 器件/模块的寿命试验与 Si 基器件/模块的传统寿命试验有所区别，车规 SiC MOSFET 产品的寿命模型一般是由秒级或分钟级功率循环试验得到的，因此仍以功率循环试验为重点，分析试验在具体实施中的技术挑战，这些挑战来源于标准规定条款的实施难度以及其局限性。

(1) 关键参数的监测技术

主要难点是热阻的在线监测。AQG 324 规定在寿命试验过程中对关键参数进行实时监测，且试验中的测试不能将模块从试验台上拆卸下来，但实际上一些关键参数的在线监测并不容易实施，或是难以保证精度。最典型的是功率循环试验过程中的热阻的准确监测，伴随器件老化过程中热模型参数的变化，在不拆卸被测件的前提下在线准确监测热阻有较高实施难度，此前的一些功率试验案例中的设备并不具备相应的能力，需要升级改造。

(2) DUT 串并联策略

考虑到经济成本和试验效率，DUT 的串并联策略是标准中未体现但在试验实际实施时必须考虑的。在试验支路中进行多个待测器件的串联，可以同时众多器件进行功率循环试验^[20]，如图 5-16(a)所示。这种单一试验支路在功率循环试验过程中，直流电源也会随之频繁启停，由于直流电源中也是电力电子系统，其中的功率器件也会面临老化的风险。因此，对于大功率器件的试验，需要的负载电流较大，一种多条支路并联的功率循环试验电路被提出^[21]，如图 5-16(b)所示，负载电流在不同支路中进行切换，一方面提高了直流电源的可靠性，另一方面极大的提高了试验效率，这种串并联扩展型电路正逐步成为主流，得到广泛的应用和推广。

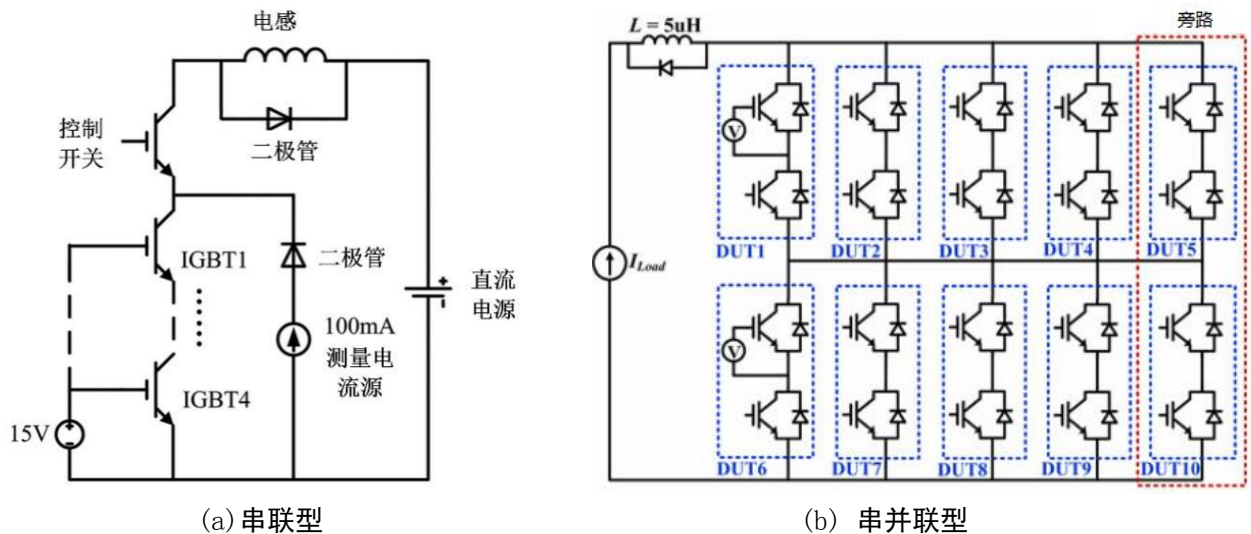


图 5-16 串并联扩展型功率循环试验电路示意图

(3) 放大区模式下的功率循环

AQG 324 对试验条件的控制方式提出了更明确的要求，MOSFET 的功率循环试验有多种加电方式，AEC Q101 仅规定结温温升需满足规定条件，并没有对加电方式进行限制，而 AQG 324 规定需使模块在导通时工作在饱和模式下，原有的体二极管加电方式不再被推荐，如果要使用需由制造商说明原因并取得用户认可，因为 AQG 324 对加电方式作出了规定，其他加电方式如放大模式下加电等方式不能继续应用，最简单便捷的体二极管加电方式也受到限制，仅成为一种备用方式。这项规定虽然有助于试验方法标准化以便于不同厂家的产品横向比较，但也存在一定的局限性，在一些前沿性研究中并不局限于饱和模式。

由第二章提到的 SiC MOSFET 区别于 Si MOSFET 的 SiC/SiO₂ 界面陷阱，导致器件的阈值电压漂移，从而影响到了器件的通态压降和结温，给功率循环试验带来了难度。同时，饱和模式下栅极电压对功率损耗的影响并不显著，随着芯片工艺水平和器件封装水平的提高，功率器件的饱和压降和热阻不断降低，使得在额定电流条件下单纯降低栅极电压来提高结温波动非常困难，试验方法出现局限性。另外，对于通过功率循环试验来考核和检验特定封装材料的可靠性时，而不是为了寿命模型建模，功率器件的工作模式就无需严格保持和正常工况相同了。例如，可以通过让待测器件工作在线性放大区，使得在较小的负载电流下获得较大的功率损耗，进而提高温度波动。Mentor 公司的功率循环试验设备采用的“阈值模式”就是属于“线性放大区模式”的一种^[22]，电路原理图如图 5-17 所示，直接将 IGBT 的栅极 G 和集电极 C 短接，一方面无需额外的栅极电压源，电路简单易实现，另一方面可以直接采用阈值电压法进行结温测量。同时，采用这种工作模式的缺点也很明显，首先是寿命数据无法用于指导实际工况下的寿命预测；其次此模式下大多是焊料层失效，键合线因为负载电流小不容易出现失效，多用于单纯考核焊料层的可靠性^[23]；最后是此模式下属于负温度特性，即随着温度升高通态压降会降低，对于多芯片组件容易造成某个芯片温度过高，进而导致其寿命异常降低甚至造成提前热失效，应考虑适当的串并联策略。

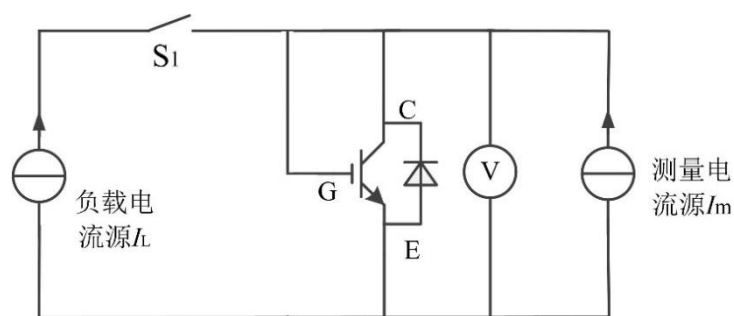


图 5-17 阈值模式功率循环试验电路原理图

(4) AC 功率循环

另一方面，DC 与 AC 功率循环仍然在学界存在争论。虽然 DC 功率循环试验被广泛应用于功率器件的封装可靠性考核，并且被各大标准推荐使用，但是学术界和工业界仍有不少学者和技术人员对其结果存疑，主要原因是器件在实际工作时处于频繁开关状态，与 DC 功率循环试验中待测器件一直处于导通状态不同。经过分析，器件处于这两种状态主要的不同点主要体现在以下几点：

(a) 频繁开关状态和恒定导通状态下，器件栅极所受电应力不同，可能造成栅极的老化情况不同。

栅极的考核属于芯片可靠性试验内容，而非封装可靠性的目的。在芯片可靠性试验项目中，有专门的高温栅偏试验（HTGB）对此进行考核，会对待测器件进行正栅极偏压试验、负栅极偏压试验和交变栅极偏压试验^[24]，因此对于这一点，不足以认为 DC 功率循环试验不能用于预测实际工况下的寿命；

(b) 恒定导通状态下，器件只有导通损耗，而在频繁开关状态下还有开关损耗。在功率循环试验中损耗的目的是为了产生结温波动，因此损耗的来源并不重要，重要的是损耗的大小，用于产生不同的结温波动。而在功率循环试验中，调节损耗的方式非常多，如前所述，可以通过改变负载电流的大小和栅极电压来实现，所以对于这一点，DC 功率循环和实际工况下并无区别；

(c) 实际工况下器件在阻断状态下需要耐受高压，DC 功率循环试验中缺少这一电应力。在标准可靠性试验中有专门的高温反偏试验（HTRB）对此进行考核，和 HTGB 不同，HTRB 不单纯属于芯片可靠性项目，而是属于芯片可靠性和封装可靠性交叉项目，但是更多的属于前者。究其原因，是因为造成器件阻断能力下降虽然主要是芯片设计或制造工艺缺陷引起的，也有可能是封装过程中引入的灰尘、杂质等因素造成的^[25]。因此，是否阻断高压是实际工况和 DC 功率循环试验最大的区别，而这还需建立在芯片失效和封装失效之间是否存在耦合效应的基础上。实际上，现在已经有研究在传统可靠性试验的基础上，开展两种可靠性试验的耦合试验，例如 DC 功率循环试验和 HTGB、HTRB 和高温高湿反偏试验（H3TRB）的双向耦合试验^[26-28]，这种耦合试验可以弥补 DC 功率循环试验对实际工况的预测作用，并且由于是单一应力试验，在研究具体失效机理方面将更加清晰和明确，而不像实际工况那种存在多种失效机制的共存，导致机理不清。

以上是从理论上分析 DC 功率循环试验的合理性，以及与其他类型试验一起与实际工况的等效性，然而终究需要从实验角度去进行验证。因此，需要以实际工况为基础，设计相应的试验方法，这种试验被称之为“AC 功率循环试验”。由于实际工况的复杂性和多样性，而 AC 功率循环试验通常采用与实际工况相同或类似的电路拓扑，其中最经典的是一种“对拖式”电路拓扑结构^[29]，主要包括三个部分组成：测试支路、负载支路 and 控制系统，如图 5-18 所示。输出电流是由测试支路和负载支路之间的输出电压差产生的，其中测试支路的电压采用开环控制，而负载支路的输出电压则是通过闭环电流控制，以输出具体特定幅值、频率和功率因子的电流。这种电路拓扑可以用于单相系统，也可以用于三相系统，不同相位的控制原理相同，只是设置 120° 和 240° 的相位角偏移。

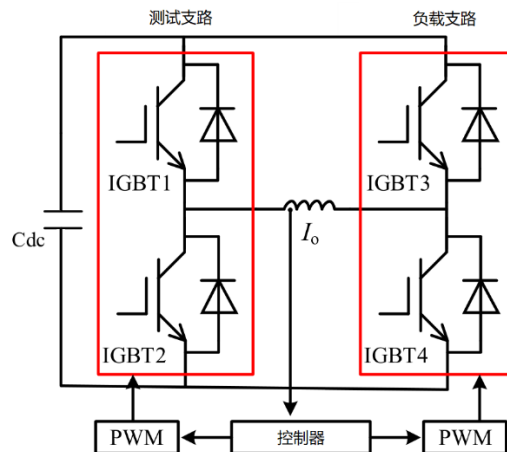


图 5-18 采用“对拖式”电路拓扑结构的 AC 功率循环试验

如前所述，结温是功率循环试验中最重要物理量，结温测量的精度直接决定功率循环试验结果的可信度。在 DC 功率循环试验中，可以采用标准中推荐的 $V_{CE}(T)$ 法或阈值电压法等温敏电参数法，而在 AC 功率循环试验中，对于 SiC MOSFET 主要采用 $V_{SD}(T)$ 法。由于电路结构和控制方法复杂，并且又需要耐受高压，导致 $V_{CE}(T)$ 法无法应用，更多的是采用光纤或红外热成像仪等方式进行测量^[30]。一方面，这两种方式都需要破坏模块封装和去除硅胶，其中红外还需要在芯片表面喷涂均匀的黑漆以保证发射率的相同，这种破坏封装的行为可能会影响功率循环寿命，例如对于塑封的 TO 封装器件，文献^[31]指出去掉环氧树脂塑封后的试验寿命几乎是标准器件的 3 倍；另一方面，不同方法测得结温表征的物理意义不同，例如 $V_{CE}(T)$ 法测得虚拟结温接近芯片表面平均温度，而光纤只能测得芯片表面某一点温度，红外可以测得芯片和键合线表面的温度分布，获得平均温度需要经过复杂的数据处理，通常直接取最高温度^[32]，因此，不同结温测量方法测得结温很难直接进行比较。文献^[33]中也提出采用大电流下饱和压降法这种温敏电参数法用于测量结温，但是这种方法也存在测量难度、测量精度和适用性的问题，在结温测量方法综述中会对此重点介绍，这里不再赘述。

为了解决结温测量难题，德国开姆尼兹工业大学提出了一种新型 AC 功率循环试验电路^[34]，如图 5-19 所示。这种电路是在传统 DC 功率循环试验电路的基础上进行改进，将每条测试支路的待测器件部分一分为二，然后两个部分交替进行主动开关，使得负载电流在两部分之间交替流动用于加热器件。同时，线路中串联一个电感，快速的电流变化可以在电感上产生较高的感应电压，模拟实际工况下的高压。这种电路拓扑虽然和实际工况的电路结构不同，没有采用 PWM 控制器件的开关，但是符合前面所述的 AC 功率循环试验的三个特点：1) 主动开关，交变的栅极电压；2) 具有开关损耗；3) 器件耐受高压。最重要的是，这种电路拓扑是在传统 DC 功率循环试验电路的基础上进行改进的，当测试支路的负载电流被外部开关切断后，可以采用标准的 $V_{CE}(T)$ 法进行结温测量，因此试验结果可以与 DC 功率循环试验结果直接对比^[35]。

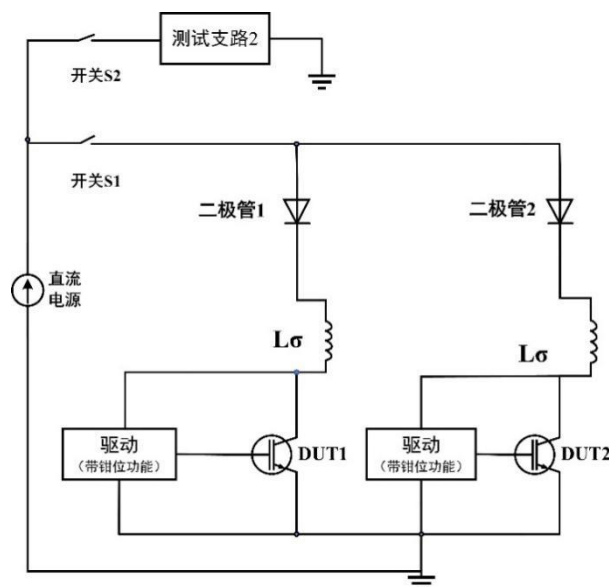


图 5-19 基于 DC 功率循环试验电路改进后的 AC 功率循环试验

实际上，关于 AC 功率循环试验和 DC 功率循环试验结果的区别，学术界也作了大量的工作，在失效模式及机理和寿命方面做了详细的对比，文献^[36]对此也进行了系统的综述。结果表明两种试验方

法下失效模式都是类似的，并没有出现新的失效模式，考虑到结温测量的误差和分散性导致的误差，两者的试验寿命也是十分接近的，没有明显的差异，DC功率循环的可靠性结果及寿命预测仍然是具有可信度的。鉴于其在电路拓扑和控制方式的简便性，以及结温测量的标准性，目前来看，DC功率循环试验仍然是主流的试验方法。

参考文献

- [1] 田航,陈民武,张振宇,贺超凡,鲁浩如.牵引负荷对补偿装置功率器件寿命预测的影响及分析[J].电气化铁道,2019,30(01):24-28.
- [2] 李志刚, 张亚玲, 梅霜. 温度循环下 IGBT 热阻退化模型的研究[J]. 电子技术应用, 2016, 42(2):25-27+31.
- [3] 张瑾, 仇志杰, 王磊, 等. 汽车级 IGBT 模块功率循环及温度循环寿命对比与分析[J]. 中国电力, 2019, 52(9):54-60.
- [4] European Center for Power Electronics. AQC 324 qualification of power modules for use in power electronics converter units (PCUs) in motor vehicles[S]. Nuremberg, Germany: ECPE Working Group, 2018.
- [5] 叶峻涵,杨平,周荣斌,沈星江,沈俊,唐茂森.基于 SVPWM 调制方式的列车牵引逆变器功率器件寿命预测[J].机车电传动,2021,(05):175-182.
- [6] Dornic et al., "Stress-Based Model for Lifetime Estimation of Bond Wire Contacts Using Power Cycling Tests and Finite-Element Modeling," in IEEE Journal of Emerging and Selected Topics in Power Electronics, vol. 7, no. 3, pp. 1659-1667, Sept. 2019.
- [7] 郑帅, 杜雄, 张军, 等. 采用降温曲线的 SiC MOSFET 模块热参数的测量[J]. 中国电机工程学报, 2020, 40(6):1759-1769.
- [8] 周望君,陆金辉,罗海辉,汤翔,方超,柯灏韬,彭勇殿.汽车 IGBT 器件功率循环寿命研究[J].机车电传动,2021,(05):183-188.
- [9] European Center for Power Electronics. AQC 324 qualification of power modules for use in power electronics converter units (PCUs) in motor vehicles[S]. Nuremberg, Germany: ECPE Working Group, 2018.
- [10] Schmidt R, Scheuermann U. Using the chip as a temperature sensor - The influence of steep lateral temperature gradients on the Vce(T)-measurement[C]// 13th European Conference on Power Electronics and Applications. Barcelona, Spain, 2009:1-9.
- [11] Scheuermann U, Schuler S. Power cycling results for different control strategies[J]. Microelectronics Reliability, 2010, 50 (9-11):1203-1209.
- [12] Scheuermann U, Schuler S. Power cycling results for different control strategies[J]. Microelectronics Reliability, 2010, 50 (9-11):1203-1209.
- [13] Zeng G, Wenisch-Kober F, J Lutz. Study on power cycling test with different control strategies[J].

- Microelectronics Reliability, 2018, 88-90:756-761.
- [14] Zeng G, Borucki L, Wenzel O, et al. First results of development of a lifetime model for transfer molded discrete power devices[C]// PCIM Europe 2018. Nuremberg, Germany, 2018: 706-713.
- [15] Zeng G, Wenisch-Kober F, J Lutz. Study on power cycling test with different control strategies[J]. Microelectronics Reliability, 2018, 88-90:756-761.
- [16] Zeng G, Herold C, Beier-Moebius M, et al. High-Current Power Cycling Test-Bench for Short Load Pulse Duration and First Results[C]// PCIM Europe 2016. Nuremberg, Germany, 2016:588-595.
- [17] 孟鹤立,邓二平,常桂钦,黄永章.SiC MOSFET 栅极电参数退化机理及耦合关系[J].半导体技术,2022,47(01):9-18.
- [18] Cannatà, S. De Caro, S. Panarello, T. Scimone, A. Testa and S. Russo, "Reliability Assessment of Avalanche Mode Operating Power MOSFETs through Coffin Manson Law based Mathematical Models," 2014 International Symposium on Power Electronics, Electrical Drives, Automation and Motion, 2014, pp. 139-145
- [19] 赖伟. 计及低强度热载荷疲劳累积效应的 IGBT 功率器件寿命模型研究[D].重庆大学,2016.
- [20] Wei L, Chen M, Li R, et al. Experimental Investigation on the Effects of Narrow Junction Temperature Cycles on Die-Attach Solder Layer in an IGBT Module[J]. IEEE Transactions on Power Electronics, 2016, 32(2):1431-1441.
- [21] Tinschert L, Ardal A R, Poller T, et al. Possible failure modes in Press-Pack IGBTs[J]. Microelectronics Reliability, 2015, 55(6):903-911.
- [22] Sarkany Z, Rencz M. Methods for the Separation of Failure Modes in Power-Cycling Tests of High-Power Transistor Modules Using Accurate Voltage Monitoring[J]. Energies, 2020, 13(11):1-18.
- [23] Sarkany Z, Vass-Varnai A, Laky S, et al. Thermal transient analysis of semiconductor device degradation in power cycling reliability tests with variable control strategies[C]// Semiconductor Thermal Measurement and Management Symposium (SEMI-THERM). San Jose, CA, USA, 2014:236-241.
- [24] Molin Q, Kanoun M, Raynaud C, et al. Measurement and analysis of SiC-MOSFET threshold voltage shift[J]. Microelectronics Reliability, 2018, (88-90):656-660.
- [25] Papadopoulos C, Corvasce C, Kopta A, et al. The influence of humidity on the high voltage blocking reliability of power IGBT modules and means of protection[J]. Microelectronics Reliability, 2018, 88-90:470-475.
- [26] Hoffmann F, Hanf M, Kaminski N, et al. Investigation on the Impact of Thermo-Mechanical Stress on the Humidity Ruggedness of IGBTs by Means of Consecutive PCT and H3TRB Testing[C]// 32nd International Symposium on Power Semiconductor Devices and ICs (ISPSD). Vienna, Austria, 2020:376-379.
- [27] Hoffmann F, Kaminski N, Schmitt S. Investigation on the Impact of Environmental Stress on the Thermo-Mechanical Reliability of IGBTs by Means of Consecutive H3TRB and PCT Testing[C]// 33rd International Symposium on Power Semiconductor Devices and ICs (ISPSD). Nagoya, Japan, 2021:371-374.
- [28] Hoffmann F, Schmitt S, Kaminski N. Impact of Combined Thermo-Mechanical and Electro-Chemical

- Stress on the Lifetime of Power Electronic Devices[C]// 22nd European Conference on Power Electronics and Applications (EPE'20 ECCE Europe). Lyon, France, 2020:1-8.
- [29] Smet V, Forest F, Huselstein J, et al. Ageing and Failure Modes of IGBT Modules in High-Temperature Power Cycling[J]. IEEE Transactions on Industrial Electronics, 2011, 58(10):4931-4941.
- [30] Choi U M, Blaabjerg F, Jrgensen S. Power Cycling Test Methods for Reliability Assessment of Power Device Modules in Respect to Temperature Stress[J]. IEEE Transactions on Power Electronics, 2017, 33(3):2531-2551.
- [31] Zeng G, Borucki L, Wenzel O, et al. First results of development of a lifetime model for transfer molded discrete power devices[C]// PCIM Europe 2018. Nuremberg, Germany, 2018: 706-713.
- [32] Huang Y, Jia Y, Luo Y, et al. Lifting-off of Al bonding wires in IGBT modules under power cycling: failure mechanism and lifetime model[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2020, 8(3):3162-3173.
- [33] Choi U M, Blaabjerg F, Iannuzzo F, et al. Junction temperature estimation method for a 600 V, 30A IGBT module during converter operation [J]. Microelectronics Reliability, 2015, 55:2022-2026.
- [34] Herold C, Seidel P, Lutz J, et al. Topologies for inverter like operation of power cycling tests[J]. Microelectronics Reliability, 2016, 64:453-457.
- [35] Seidel P, Herold C, Lutz J, et al. Power cycling test with power generated by an adjustable part of switching losses[C]// 19th European Conference on Power Electronics and Applications (EPE'17 ECCE Europe). Warsaw, Poland, 2017:1-10.
- [36] 谢露红, 赵雨山, 常桂钦, 等. DC 功率循环与 PWM 功率循环的差异对比分析[J]. 半导体技术, 2021, 46(10):808-818.
- [37] 杨帆, 吴涛, 廖瑞金, 江金洋, 陈涛, 高兵. 数字孪生在电力装备领域中的应用与实现方法[J]. 高电压技术, 2021, 47(05):1505-1521.
- [38] 房方, 姚贵山, 胡阳, 吴旭涛, 刘吉臻. 风力发电机组数字孪生系统[J/OL]. 中国科学:技术科学:1-13[2022-05-07]
- [39] 汤文亮, 袁柯, 侯会斌, 马浩航. 基于数字孪生的设备 RUL 预测研究[J]. 制造业自动化, 2021, 43(12):46-49.

6 SiC MOSFET 的寿命预测研究

6.1 多物理场耦合仿真模拟

多物理场耦合技术应用广泛的一个最重要原因是可以对功率器件内部物理场的耦合规律进行探究，省去繁琐的实验步骤。由于有限的测量手段和高昂的实验成本，难以通过实验探究不同老化状态下各物理场的变化规律，多物理场耦合技术提供了有力的手段。只有对器件内部物理场进行准确的刻画与描述才能有效地对器件进行封装优化、结温监测、老化评估、寿命预测、失效分析。

多物理场建模的难点和挑战主要在于不同物理场之间协同计算的处理，尽管借助场路耦合的思路在一定程度上缓解了多物理场联合仿真时带来的计算困难，但是在对功率器件进行长时间瞬态多物理场仿真时仍然需要克服物理场之间协同处理时所面对的问题，具体表现为：

(1) 不同物理场下时间尺度的匹配。

不同物理场处理的时间尺度不同，如在进行电气仿真时，由于电磁场的瞬态特性，软件仿真的时间步长通常是微秒甚至 ns 级；而在进行热场仿真时，通常仿真时间步长是 ms 甚至 s 级。在进行电热仿真时，根据电磁场和热场的特性，若仿真时间步长按照电磁场时间尺度进行匹配，则会导致计算量巨大，求解困难；若仿真时间步长按照热场时间尺度进行匹配，则会导致计算结果不够精确，影响求解准确度。因此在进行长时间、瞬态的多物理场耦合仿真时，还需要能够合理匹配不同物理场时间尺度的交互策略，实现仿真精度和效率的折中。

(2) 不同物理场之间数据的传递。

多物理场建模方法通常分为直接耦合法和间接耦合法。直接耦合法通过直接对各物理场偏微分方程进行联立求解，计算量较大，难以收敛，计算效率低下。而间接耦合法使用上一个物理场的计算结果作为下一个物理场的激励，按照耦合顺序逐一对各个物理场求解，易收敛、计算效率较高。在进行多物理场耦合时，为了兼顾计算的精度和效率，多数多物理场建模技术采用间接耦合法。在进行间接耦合时，需要利用网格来完成各物理场之间的数据传递，然而由于不同物理场的特性不同，各自采用的网格剖分方法不同。在进行网格剖分时，若不同物理场采用一致的方法，为了兼顾不同物理场对网格划分的要求，需增加网格数目，而降低了计算效率。如果对不同物理场采用适宜的网格剖分方式，在提高计算效率的同时也带来了数据在传递过程中的丢失。

(3) 迭代求解的收敛性问题。

影响结果收敛性的因素主要包括介质材料的非线性度、网格划分的精细度和结构的不规整度。在对器件进行多物理场建模时，介质材料的非线性现象是影响其求解的一个重要因素。以器件电热分析为例，芯片的热阻和电阻是随温度非线性变化的物理量，芯片导通产生损耗，导致温度的上升；而温度的上升反过来又会影响电阻和热阻，导致损耗的变化和传热特性的改变最终带来温度的改变。在这个过程中，需要在电场和热场之间进行反复迭代计算，直到计算误差缩小到合理范围内停止计算。反复迭代计算的过程使得多物理场求解难以收敛，增加了计算难度。网格划分的精细度通常根据计算机的算力进行匹配，适当的精细度有助于折中计算精度与计算速度。结构的不规整度主要通过影响数据的传递和网格的划分来影响求解的收敛性。

另外，多物理场耦合技术固然有不少优势，但是其“局限性”也需要被深刻认识：

(1) 数值的稳定性。

多物理场耦合分析的本质是联立求解各物理场的偏微分方程，控制计算误差亦是其保障其结果收敛的核心任务。器件内部材料多为非线性材料，在考虑非线性效应时，多物理场耦合结果往往难以收敛，甚至得不到结果。

(2) 硬件的依赖性。

多物理场耦合分析需要借助计算机进行计算模拟，计算机的性能决定了多物理场耦合时的计算能力。在对器件进行多物理场耦合分析时，由于 IGBT 体积小、结构层薄、网格划分困难，欲求得精确结果，对计算机算力要求较高。比较典型的情况便是多物理场耦合技术难以同时对多种老化状态进行评估，这便是受硬件限制带来的无法处理过大的计算量所致。

(3) 方法的滞后性。

在面对复杂问题求解时，当下多物理场分析往往采用“粗放式”模拟，即不断地堆叠计算机的性能。这是由于数值计算方法落后于计算机硬件的发展而导致的，使得计算机的硬件资源不能被充分利用。因此，多物理场计算方法仍需创新突破，以匹配计算机日益增强的算力。

(4) 结果的可靠性。

相较于实验，仿真模拟的优势在于缩短研发周期、降低实验成本。然而，欲通过多物理场建模技术精确模拟随时间变化的实际工况难度较高。多物理场耦合技术当前更多被用于“定性”揭示内部机理，起到与实验相互验证的作用。

考虑到上述的困难和挑战，未来基于多物理场耦合模型的可靠性失效分析的趋势将是多尺度协调。多尺度的协调之于多物理场建模甚至于电力电子学的发展与进步意义重大。然而当前的多尺度协调还有待发展，主要体现在：

(1) 多时间尺度的协调。

一方面，单一物理场下需要根据不同应用场合切换不同的时间尺度进行计算。譬如：在工程应用时，为了兼顾计算效率与精确度，器件级、组件级、系统级的电力电子设备所涉及的时间尺度是不同的。小尺度计算一般用来精确描述器件的瞬态行为，大时间尺度计算通常用来对电力电子系统进行模拟以避免出现“计算灾难”。另一方面，不同物理场之间的时间尺度也需要被合理协调。以电热分析为例，尤其是在第三代宽禁带半导体发展的大背景之下，器件的电磁模型必须建立在更小的时间尺度之下。而器件的热行为，因热时间常数较大，时间尺度较大。这就使得电磁问题和热问题因时间尺度差异在耦合时极为不便。因此若要求对器件的多物理场行为进行精确描述，时间尺度的协调性必不可少。

(2) 多空间尺度的协调。

以器件级仿真为例，每个芯片微观下一般由数万个元胞构成，每个元胞由若干个不同的掺杂区域组成。在进行多物理场宏观模拟时，一般只是把芯片层当作特殊的“电阻”对待，而无法真正有效地模拟由元胞构成的芯片的特性。同时，芯片损耗带来的温度分布不均匀也会作用于元胞，导致芯片的电特性发生变化(比如均流问题)。因此，空间尺度的协调性也要被考虑。

6.2 寿命及可靠性预测模型及方法

SiC MOSFET 器件具有更高的功率密度和更快的开关速度，在分布式发电、电动汽车及轨道交通

等高频、高温和新型电力系统上具有巨大的应用前景。然而 SiC MOSFET 一方面由于寄生参数影响，器件在开关过程中的漏极电流变化率 di_D/dt 、漏源极电压变化率 dV_{DS}/dt 通过耦合作用产生寄生振荡，带来电流、电压尖峰问题；另外一方面，由于 SiC 器件的栅氧界面较薄弱，栅氧界面将承受极高的电场容易导致雪崩失效等可靠性问题。因此，准确评估和预测 SiC MOSFET 器件的寿命及可靠性对器件的安全运行至关重要。本章节从寿命及可靠性预测算法流程、现状和挑战进行阐述，重点从失效物理模型、数据驱动算法、机器学习与人工智能、数字孪生技术等四方面对 SiC MOSFET 寿命及可靠性预测方法进行分析 and 总结，从而探讨 SiC MOSFET 在寿命及可靠性预测算法上面临的挑战及展望。

6.2.1 基于失效物理的寿命预测研究

由于 SiC MOSFET 器件芯片、封装结构和材料的复杂性，使得功率器件在实际工作时受交变热应力、电应力和机械应力的冲击，同时在运行工况中如震动、湿度等多个因数影响，当功率器件长期工作在该种环境下会导致封装材料老化、芯片失效等。

封装失效是 SiC MOSFET 老化失效的主要原因，是器件在制造、使用过程中受到工作环境影响，使得芯片和不同封装材料的热膨胀系数不匹配，在运行过程中温度的不断波动加剧了器件疲劳老化过程，器件的老化使得其在运行时温度升高，形成器件发热与器件老化的恶性循环，最终导致了 SiC MOSFET 的失效，破坏芯片自身。封装失效过程往往体现于结温、导通压降等参数变化，失效模式有键合线脱落或断裂、焊料层疲劳等。

基于失效物理模型的寿命预测方法一般通过功率器件加速老化实验和有限元仿真建模，研究功率器件老化失效机理和损伤演化过程，可以获得失效模拟过程中功率器件键合线与焊料层的性能参数变化情况及应力分布，从而结合寿命预测模型，可以获取某一工况下功率器件的寿命。

在功率器件寿命方面，国内外学者提出了基于解析模型和基于物理模型两大类的寿命预测模型。

(1) 基于解析模型的 SiC MOSFET 器件寿命预测：首先，根据器件结温差、平均温度、开关频率和引线电流等参数来估计器件失效循环次数，如采用雨流计数法对功率器件的热载荷谱进行解析。其次，提取载荷信息，代入解析模型中进行计算和预测 SiC MOSFET 剩余寿命。基于解析寿命模型的 SiC MOSFET 器件寿命预测流程如图 6-1 所示。

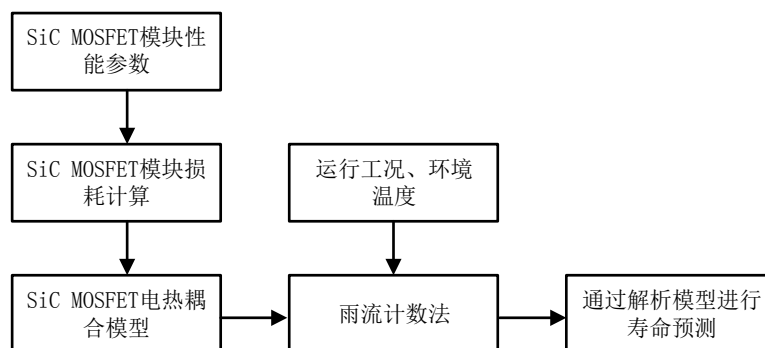


图 6-1 基于解析寿命模型的 SiC MOSFET 器件寿命预测流程

(2) 基于物理模型的 SiC MOSFET 器件寿命预测：在实际运行工况下基于物理寿命模型可以通过有限元建模分析来评估 SiC MOSFET 器件寿命，其流程如图 6-2 所示。首先，通过收集产品材料、几

何尺寸和器件结构等固有参数后，利用 COMSOL 或 ANSYS 等有限元分析软件，建立功率器件的电-热-力多物理场耦合模型；其次，结合工况下环境条件和载荷参数等数据进行特定物理失效的有限元仿真分析；最后，根据有限元分析的结果，确定器件失效参数，并选择相应的物理寿命模型进行寿命评估[1]。

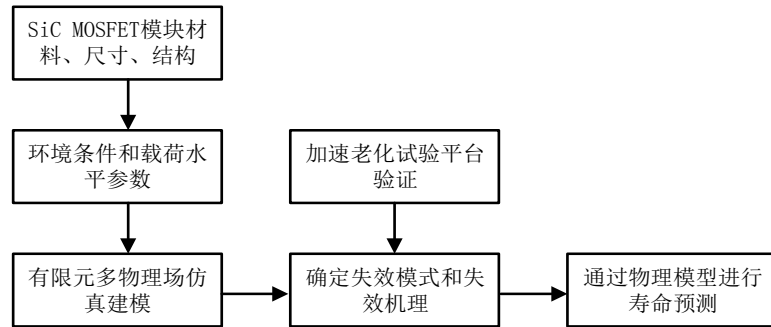


图 6-2 基于物理寿命模型和有限元分析的寿命预测流程

①国内外研究现状分析

进行失效物理模型进行功率器件寿命及可靠性评估，需要准确获取功率器件的失效机理或寿命及可靠性预测影响参数，对其进行研究分析，从而得出寿命或可靠性预测结果。重庆大学钟懿^[2]等人研究发现单次脉冲雪崩冲击下寄生 BJT 导通造成 SiC MOSFET 器件失效，而氧化层捕获空穴形成氧化层固定电荷导致器件后期阈值电压降低，引起重复雪崩冲击下器件失效，单次脉冲雪崩结果如图 6-3 所示；华北电力大学孟鹤立等人^[3]指出了栅极漏电流下降现象的本质是栅极陷阱充电，并给出了栅极老化过程中漏电流失效基准值选取的方法；陈杰等人^[4]对 SiC MOSFET 在不同导通模式下进行功率循环试验，探究和对比 SiC MOSFET 在不同老化试验方法下的失效机理和失效表征参数的变化规律；重庆大学 Xinglin Liao^[5]通过电感钳位双脉冲测试电路实验，研究温度对 SiC MOSFET 漏极电流、漏源极电压及其变化率的影响，其结果表明漏极电流变化率 dI_D/dt 可以作为 SiC MOSFET 结温测量中的温敏电学参数。迄今为止学者对 SiC MOSFET 失效机理与寿命及可靠性影响参数进行了一定的研究，但 SiC MOSFET 应用工况复杂，更多 SiC MOSFET 失效机理以及可靠性预测影响因素仍有待深入研究。

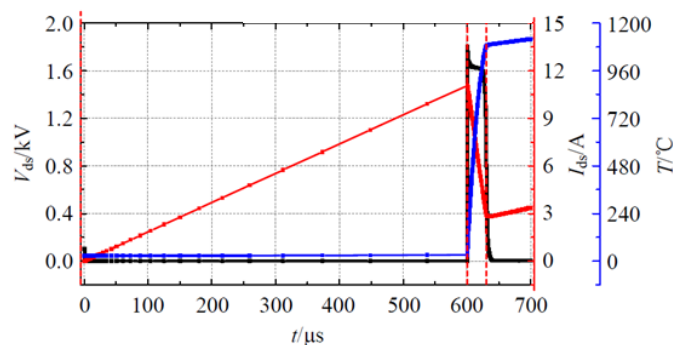


图 6-3 单次脉冲雪崩击穿结果

G. Cannatà 等利用 Coffin-Manson 模型评估了工作在雪崩模式下的 MOSFET 器件可靠性^[6]，然而 Coffin-Manson 模型仅给出结温波动 ΔT_j 对器件寿命的关系而未考虑平均结温对器件寿命影响。因此研究学者结合 Arrhenius 定理提出了 Coffin-Manson-Arrhenius 寿命模型，重庆大学赖伟^[7]通过麦夸特法，利

用老化实验数据对模型参数进行拟合，得到了任意平均结温下的功率器件寿命模型，结果如图 6-4 所示；后续 Wei Lai^[8]利用该模型，计算了在不同健康状态和故障位置下双馈风电变流器 IGBT 的剩余寿命。然而上述两个模型仅考虑结温信息单一变量对功率器件寿命预测的影响，整体预测精度不高。为此，学者们开始提出考虑除结温外的更多失效特征因素，提出了 Norris-Landzberg 模型和 Bayerer 模型。西安交通大学叶峻涵等通过雨流计数法提取功率器件结温信息，采用 Norris-Landzberg 寿命模型和 Miner 线性累积损伤模型建立了列车牵引逆变器功率器件寿命评估模型^[9]，但其未考虑更多实际应用环境工况，导致结果与实际存在一定误差。Bayerer 模型融入了大量模型参数，不仅包含功率循环实验信息，而且包括了功率器件特征参数，因此预测精度较高，西南交通大学田航等^[10]充分考虑负荷影响与实际运行工况，采用 Bayerer 模型计算功率器件循环失效周期数，验证了寿命预测需要考虑其他因素影响，尽管 Bayerer 模型预测精度较高，但在实际条件下部分预测变量难以获取，不容易控制，因此限制了模型的应用范围。

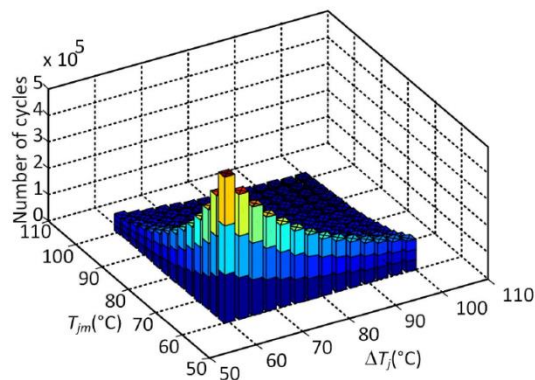


图 6-4 Coffin-Manson-Arrhenius 模型结果图

物理寿命预测模型是基于在热循环过程中加载在材料上的应力、应变变化来建模。Nausicaa Dornic 等^[11]基于加速老化实验及电-热-机械多物理场耦合有限元模型，建立了功率器件键合线触点寿命模型。株洲中车时代周望君等^[12]在有限元软件中建立功率器件多物理场模型，模拟功率器件芯片发热温度场分布，表明温度变化产生的热应力会导致器件内部层次间产生蠕变热疲劳，并计算了不同实验条件下的功率器件功率循环寿命。合肥工业大学张宇娇等^[13]以功率器件焊料层单个循环产生的非弹性应变增量为条件，对焊料层进行了寿命预测并利用功率循环试验对其进行验证，其热阻变化与循环次数关系如图 6-5 所示。物理寿命预测模型预测精度高，对器件失效机理解释清晰，但由于器件内部应力和应变测量需要特殊的测量方法和设备，实际应用中很难提取到器件内部各层的应力、应变值，导致很难在实际运行环境中进行运用。

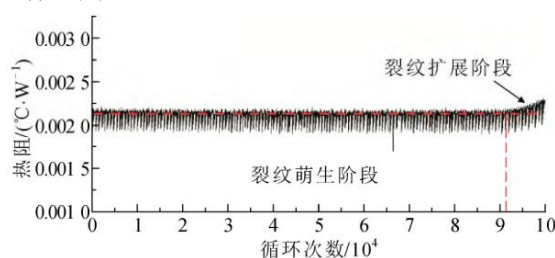


图 6-5 功率循环试验热阻变化图

②挑战及局限性

在基于失效物理模型的 SiC MOSFET 寿命预测方面大多沿用焊接性 IGBT 器件评估方法，且目前对于 SiC MOSFET 的失效机理尚未完全明确，寿命预测影响因素仍需要进一步研究。对于已有的寿命评估模型，通过解析模型进行寿命预测目前常用雨流计数法提取 SiC MOSFET 器件载荷曲线中提取载荷幅值和次数等信息，但是目前 SiC 器件应用工况复杂，多种加速因子具有耦合关系，载荷曲线提取的精确性难以保证；而基于物理模型的寿命预测需要确定 SiC MOSFET 的失效机理，基于失效机理选择对应的寿命模型，且在实际应用中很难提取到器件内部各层的应力、应变值，在不同工况下的需要建立对应的模型，模型的使用范围小，模型精度难以证明。

6.2.2 基于人工智能算法的寿命预测研究

(1) 数据驱动算法

数据驱动算法的可靠性预测方法是通过运用各种是数据处理方法对功率器件运行过程数据进行信息挖掘，进而结合预测模型对功率器件的寿命及可靠性进行预测。基于数据驱动的寿命及可靠性预测方法不完全依赖功率器件内部工作机理，而是通过对来源广泛、类型繁多、结构各异的大量历史数据和实时运行数据及仿真数据进行数据处理，并对其充分提取利用，挖掘出功率器件的寿命及可靠性信息，建立数据与功率器件老化程度之间关系，从而实现对功率器件寿命及可靠性的预测。

随着现在传感器系统的发展以及数据存储与数据处理技术的发展，SiC MOSFET 运行过程数据获取难度不断降低，数据驱动算法在 SiC 器件逐步得到应用。现有的数据驱动算法有神经网络算法、自适应推理方法、蒙特卡罗法、粒子滤波法等^[1]。基于数据驱动的 SiC MOSFET 可靠性预测主要包含三个关键步骤：确定合适的特征参量、设计搭建测量系统、量化评估老化程度^[4]，并延伸至健康管理层面。当 SiC MOSFET 发生老化失效时，器件表现出一定的失效故障特征，反映在器件的电热力特征参数的变化，因此 SiC MOSFET 器件在不同时间-空间的性能数据能够反应器件的老化过程，从而实现 SiC MOSFET 的寿命及可靠性预测。基于数据驱动算法的可靠性预测流程如图 6-6 所示。

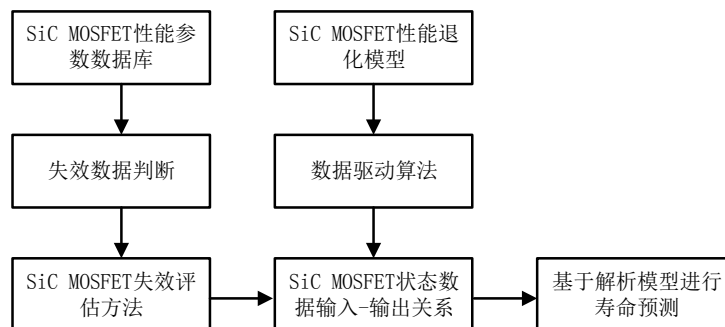


图 6-6 基于数据驱动算法的可靠性预测流程

①国内外研究现状分析

神经网络通过对数据进行迭代训练学习，挖掘出数据与功率器件寿命之间的联系，并利用学习训练后网络进行功率器件的寿命预测。重庆大学胡姚刚等人^[15]利用 BP 神经网络获取 IGBT 壳温值，并基于壳温差建立了风电变流器 IGBT 模块基板焊层脱落状态评估模型，为准确获取模块结温分布，实现功率模型寿命及可靠性预测提供了可行方案；上海交通大学葛建文等人^[16]以功率器件结-壳瞬态热阻数

据为输入，并利用基于 Transformer 模型的神经网络方法对 IGBT 的剩余寿命进行了预测，结果表明 Transformer 模型平均预测误差为 0.188%，与长短时记忆网络模型进行对比，Transformer 模型的预测准确度提高了 0.126%。Jang Roger 在 1993 年提出的自适应网络模糊推理系统（Adaptive Neural Network Fuzzy Inference System, ANFIS），综合了神经网络的学习算法和模糊推理的简洁形式，具有学习机制与模糊系统推理能力的优点，重庆大学王月月^[17]利用 ANFIS 算法提出一种基于特征参量间的泛在关系建立的健康状态评估模型，同时通过有限元仿真实验验证了评估模型的准确有效性，评估结果如图 6-7 所示。蒙特卡洛法对非线性、多维度等复杂问题具有很好的适用性，能够较好的应用于 SiC MOSFET 器件的可靠性预测当中，Alessandro Borghese 等^[18]基于蒙特卡洛法建立了温度相关的并联 SiC MOSFET 仿真模型，并利用 Arrhenius 模型进行寿命预测评估。粒子滤波算法（Particle Filter, PF）是一种以蒙特卡洛为基础的采样技术，该算法的原理是将非线性随机系统的状态空间模型用随机样本集合的概率密度函数近似表示，但采用序列重要性采样（SIS）粒子滤波算法将导致寿命预测估计方差较大，为充分降低估计方差误差，Moinul Shahidul Haque 等人^[19]提出了一种辅助粒子滤波算法（APF）的功率器件剩余寿命评估方法，结果显示采用 APF 算法的方差评估值误差由 22%下降至 17.8%。

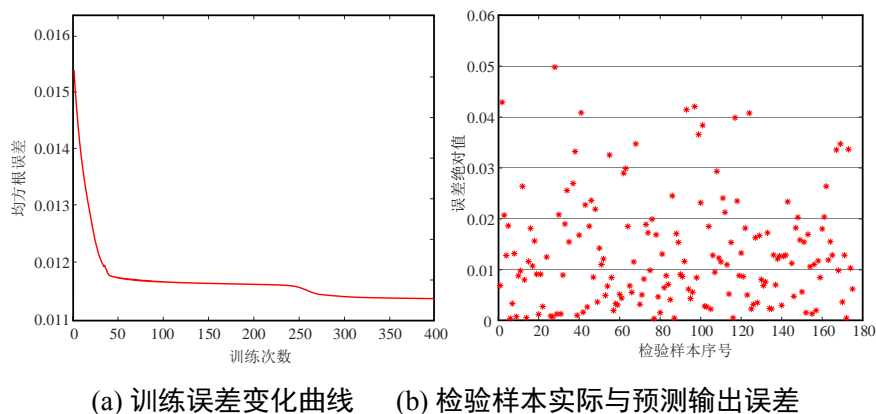


图 6-7 评估模型结果误差图

②挑战及局限性

基于数据驱动技术的可靠性预测算法难以给出 SiC MOSFET 器件的失效物理解释，且运用数据驱动算法的可靠性模型需要大量运行数据与失效数据支撑，然而当前 SiC MOSFET 可靠性统计数据缺乏，难以支撑有效的基于数据驱动算法的 SiC MOSFET 寿命预测，因此目前往往采用仿真数据来修正完善寿命模型，但这与真实的工作载荷与环境应力有较大的差异，导致其寿命预测准确性值得进一步验证。

（2）机器学习算法

尽管 SiC MOSFET 功率器件相对于常用的 Si 器件可以工作在更高温度，但 SiC MOSFET 芯片面积较小，易使芯片热量更加集中，同时在材料较大杨氏模量的作用下，SiC MOSFET 器件封装可靠性面临更严峻的考验；而多芯片间的电-热-力参数分布不均将进一步威胁 SiC MOSFET 器件的可靠性。然而现有的 SiC MOSFET 功率器件的封装设计仍缺乏理论指导。因此，利用机器学习与人工智能算法优化 SiC MOSFET 功率器件封装设计，从理论层面进行 SiC MOSFET 可靠性预测，有着重要意义。利用机器学习与人工智能算法进行寿命及可靠性预测流程如图 6-8 所示。

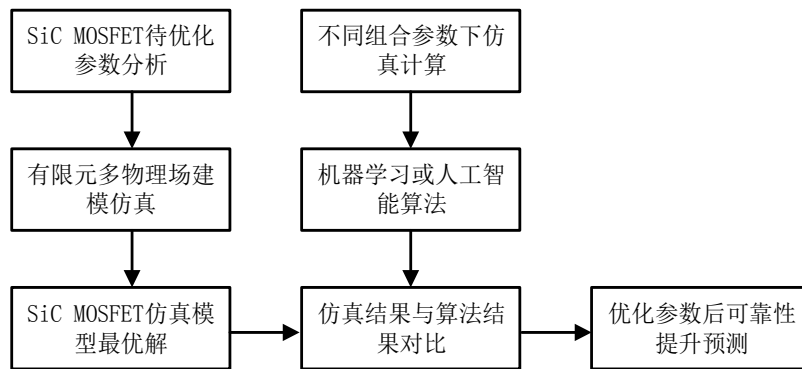


图 6-8 机器学习与人工智能算法进行寿命及可靠性预测流程

①国内外研究现状分析

在利用机器学习与人工智能对 SiC MOSFET 进行寿命可靠性预测的方法有：基于快速非支配排序遗传算法的 SiC MOSFET 电-热-力多目标优化方法与基于响应面法的全压接型 SiC 器件热-力性能多目标优化方法^[20]。重庆大学曾正等人提出一种多目标协同的双面散热功率器件设计方法，在理论层面减小寄生参数和热阻，为对设计的功率器件进行寿命预测奠定基础；重庆大学 Renze Yu^[21]设计多芯片 SiC 器件布局和封装结构，提出响应面法优化 SiC 器件的热-力性能，并开展器件功率循环仿真，从而进行所提封装结构下 SiC 器件的可靠性预测，研究表明所提封装设计 SiC 芯片结温显著降低，疲劳寿命得到显著提升，结果如图 6-9 所示。

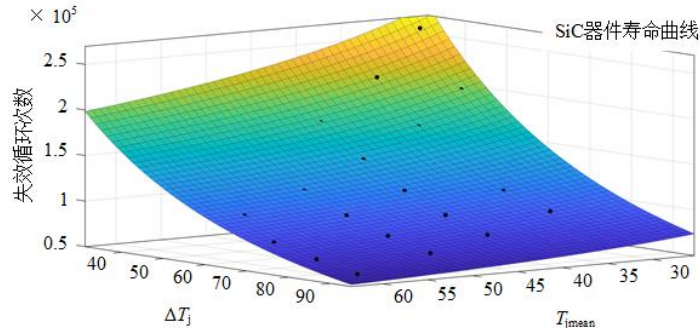


图 6-9 全压接型 SiC 器件寿命与结温波动、平均结温关系

②挑战及局限性

基于机器学习与人工智能算法的 SiC MOSFET 的可靠性预测方面，是通过机器学习与人工智能算法实现对 SiC MOSFET 封装优化设计，通过算法实现对影响器件可靠性的相关参数进行设计优化，再利用有限元仿真软件模拟实际运行环境，对比设计前后器件性能提升程度，最终通过基于失效物理模型与数据驱动模型的寿命预测方法进行 SiC MOSFET 器件的可靠性预测；然而 SiC MOSFET 功率器件内部多物理场耦合规律难以揭示，热阻和可靠性之间的相互制约关系难以表征，导致封装体积和器件功率等级之间的矛盾难以协调统一，因此，如何利用机器学习与人工智能算法协同考虑 SiC MOSFET 电-热-应力是现阶段功率器件封装的多目标优化设计方法的一大挑战。

6.2.3 数字孪生技术

2003 年由美国密歇根大学的 Michael Grieves 提出的数字孪生，是充分利用物理模型、传感器更新、

运行历史等数据，集成多学科、多物理量、多尺度、多概率的仿真过程，在虚拟空间中完成映射，从而反映相对应的实体装备的全生命周期过程。

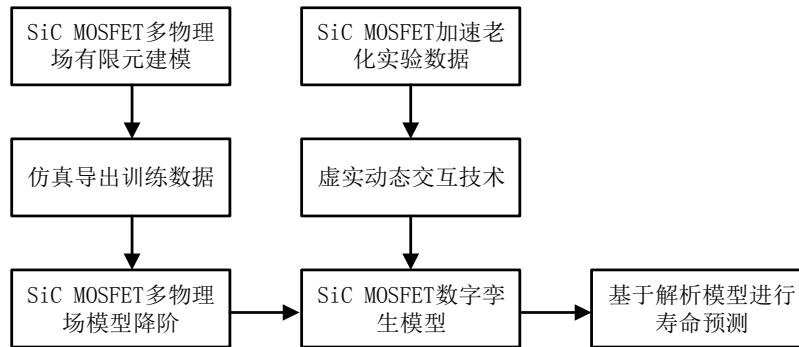


图 6-10 基于数字孪生技术的寿命及可靠性预测流程

在 SiC MOSFET 寿命及可靠性预测领域，可以将数字孪生描述为^[22]：通过三维模型和传感器采集的高密度动态数据，构建 SiC MOSFET 器件在虚拟数字空间中的映射，以模拟其在现实环境下的动态变化情况，在器件可能存在异常时实现预测和预警。具体而言，通过多源数据将数字孪生体与 SiC MOSFET 器件实体相匹配，并通过多源大数据、人工智能等技术为数字孪生的应用提供数据分析、场景模拟等，进而从 SiC MOSFET 器件的态势感知、状态评价、缺陷诊断、迭代优化多个维度，全面提升对 SiC MOSFET 器件健康状态及可靠性的把控能力，实现对 SiC MOSFET 器件寿命及可靠性的精准预测。基于数字孪生技术的寿命及可靠性预测流程如图 6-10 所示。

构建 SiC MOSFET 数字孪生模型的方法有基于模型驱动和基于数据驱动两类^[23]。两种建模方法的对比如表 6-1 所示。

表 6-1 模型驱动与数据驱动对比

	基于模型驱动建模	基于数据驱动建模
模型理解	可从物理机理和运行过程上理解	基于算法建立的黑盒模型
可纳入数据	难以将历史数据纳入物理模型仿真过程	可以将长期历史数据与经验纳入考虑
模型稳定性	受初始条件与边界条件的影响，仿真易出现不收敛情况	模型训练完成后非常稳定能不受影响使用
误差和不确定性限制	误差和不确定性可以被控制与限制	不能限制误差和不确定性
受偏置影响	所建模型不易受到数据偏置影响	数据偏置情况会直接影响所建模型
推广应用	可以推广到具有类似物理本质的问题	对未学习的样本适用性很差

(1) 模型驱动建模可以反映 SiC MOSFET 器件的物理失效机理和过程。

首先构建装备的三维几何模型结合实景数据实现 3D 可视实景化的 SiC MOSFET 器件数字孪生模型。另一方面，数字孪生模型需要融合物理实体的相关物理参数，以及表征物理实体的行为和规则，

实现 SiC MOSFET 器件全尺度多物理场数字孪生模型。

(2) 数据驱动建模可以绕过复杂的物理建模过程并利用输入输出数据很好地描述物理过程。

结合 SiC MOSFET 器件多源监测数据、实验数据等，利用人工智能学科中算法构造出 SiC MOSFET 器件输入数据与输出数据之间的数据模型，实现 SiC MOSFET 器件运行过程中的物理现象与机理用数据模型进行表征，完成 SiC MOSFET 器件的孪生。

①国内外研究现状分析

数字孪生技术已经在许多领域内展开应用，但在功率器件领域的相关研究处于初期起步阶段。

在模型驱动建模方面，重庆大学李辉团队提出了一种用于压接型 IGBT 器件结温监测的数字孪生建模方法，并通过功率循环实验对模型进行验证，实验结果与数字孪生模型结果对比如图 6-11 所示；华北电力大学房方等人^[24]研发了一套基于风机机理模型的风力发电机组数字孪生系统，能够准确映射风电机组运行状态。华东交通大学汤文亮等人^[25]提出了一种基于数字孪生模型预测机械设备剩余使用寿命的方法，并通过一个工业机械臂的剩余使用寿命实例验证了方法的有效性，得出基于最大误差的该机械臂剩余使用寿命大约为 6 周，如图 6-12 所示。

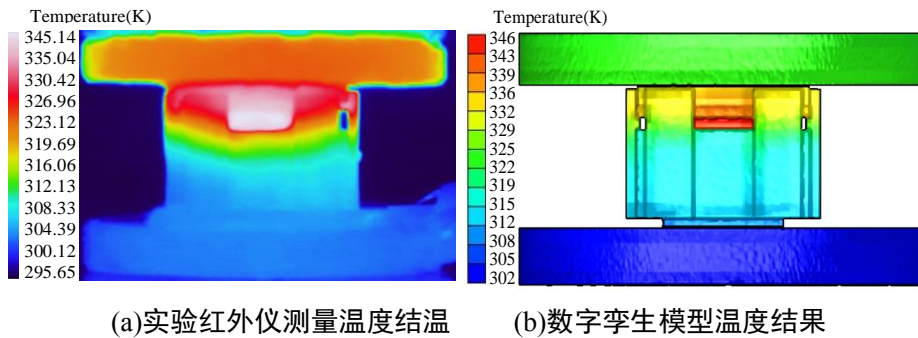


图 6-11 实验与模型结果对比

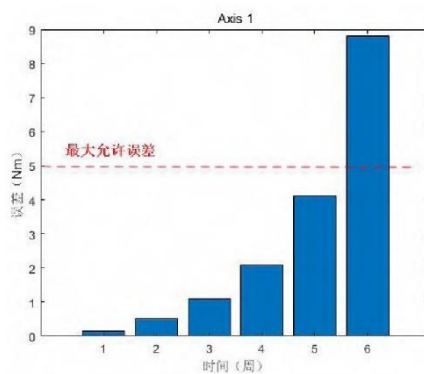


图 6-12 基于最大允许误差的剩余寿命

在数据驱动建模方面，西安交通大学付洋等人^[26]构建航空发动机涡轮盘性能退化表征模型，结合粒子滤波算法建立了涡轮盘性能退化数字孪生模型，实现涡轮盘退化状态追踪和剩余寿命预测，结果如图 6-13 所示；文献^[27]使用神经网络和模糊逻辑创建了永磁同步电机参数和健康参数之间的智能数字孪生模型

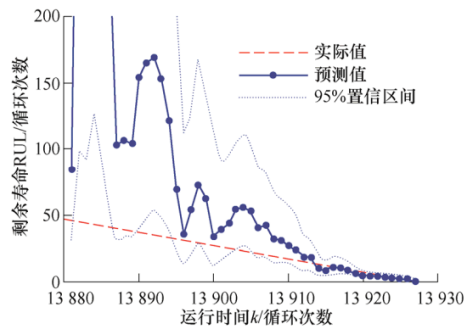


图 6-13 涡轮盘剩余寿命

在功率器件数字孪生模拟方面，文献[28]通过建立 DC-DC 变换器的数字孪生模型，对变换器系统健康状态进行评估。文献[29]利用数字孪生技术实现对配电变压器进行电压实时监测模拟。文献[30]基于硬件在环技术，提出了一种电力电子变换器故障诊断概率数字孪生模型。文献[31]综述了未来数字孪生技术在功率半导体器件中的应用，可实现对功率半导体器件内部应力分布、可靠性等进行在线数字孪生模拟。

②挑战及局限性

数字孪生技术在 SiC MOSFET 寿命及可靠性中的应用鲜有研究，也许在 SiC 器件中实现数字孪生面临诸多难题。首先是建模方法大多基于统计学算法，利用数据转化替代物理模型，导致模型难以表征 SiC MOSFET 物理实体的机理；其次，要建立具有较高精准度与物理机理解释的 SiC MOSFET 有限元多物理场模型，需要克服有限元模型庞杂的计算量，为此需要短时间尺度且计算准确的 SiC MOSFET 有限元模型降阶技术，且数字孪生系统寿命预测及其他各项功能的实现也需要高性能的计算能力，需要部署在终端的边缘计算平台；在虚实交互方面，需要布置大量高精度传感器进行运行数据采集、监测，同时，数字孪生体与 SiC MOSFET 物理实体数据交互问题需要进一步研究；最后，SiC MOSFET 寿命及可靠性预测仍然需要将失效物理模型与数据驱动模型的寿命预测方法整合至数字孪生体，该过程的实时求解算法也成为一大挑战。

6.3 寿命及可靠性预测方法研究展望

通过上述对基于失效物理模型预测、基于数据驱动算法预测、基于机器学习及人工智能技术预测、基于数字孪生预测等四种方法在 SiC MOSFET 器件寿命及可靠性预测算法方面的阐述，可以看出机器学习与人工智能算法、数字孪生技术是通过优化寿命模型中特征参量监测，再选择合适的解析寿命模型、物理寿命模型及数据驱动相关模型，从而进行 SiC MOSFET 寿命及可靠性预测。

尽管 SiC MOSFET 寿命及可靠性预测已开展了相应的研究，但由于 SiC MOSFET 寿命及可靠性预测涉及电气工程、热力学、人工智能等交叉学科，器件本身内部结构复杂、应用工况多样，使得基于上述方法的 SiC MOSFET 的寿命及可靠性预测都存在一定的挑战。为了进一步提高预测 SiC MOSFET 的寿命及可靠性的准确性，提出 SiC MOSFET 寿命及可靠性算法亟待进一步研究思路展望如下：

(1) 可以进一步开展高灵敏非侵入式状态监测技术，通过提取 SiC MOSFET 器件在复杂运行工况下的内部应力、应变分布及其健康状态的特征参量，结合解析模型，基于内部健康状态准确预测 SiC MOSFET 寿命及可靠性的影响。

(2) 可以将失效物理模型与数据驱动算法相结合, 通过不同工况、不同环境下的 SiC MOSFET 运行状态模拟, 建立结合仿真数据与实测数据相结合的预测数据库, 弥补仅运用数据驱动算法进行寿命及可靠性预测时数据样本不足的问题。

(3) 可以利用机器学习与人工智能算法在进行 SiC MOSFET 器件布局与封装结构设计时, 结合应用工况和器件驱动等信息, 进一步模拟实现 SiC MOSFET 器件的设计寿命与可靠性的预测。

(4) 可以进一步研究 SiC MOSFET 数字孪生有限元物理模型降阶、器件虚实动态交互、数字孪生模型迭代优化等方法, 进一步可以利用芯片-器件-组件-装备等全链条信息实现不同层面的寿命及可靠性的智能感知等。

参考文献

- [1] 唐圣学,张继欣,姚芳,马强.IGBT 器件寿命预测方法研究综述[J].电源学报:1-29.
- [2] 李辉,钟懿,王少刚,于仁泽,陈显平,姚然,王晓,龙海洋.不同雪崩冲击模式下 SiC MOSFET 的失效机理[J].中国电机工程学报,2019,39(19):5595-5603+5887.
- [3] 孟鹤立,邓二平,常桂钦,黄永章.SiC MOSFET 栅极电参数退化机理及耦合关系[J].半导体技术,2022,47(01):9-18.
- [4] 陈杰,邓二平,赵子轩,吴宇轩,黄永章.不同老化试验方法下 SiC MOSFET 失效机理分析[J].电工技术学报,2020,35(24):5105-5114.
- [5] X. Liao, H. Li, Y. Hu, Z. Huang, E. Song and H. Xiao, "Analysis of SiC MOSFET di/dt and its temperature dependence," IECON 2017 - 43rd Annual Conference of the IEEE Industrial Electronics Society, 2017, pp. 864-869.
- [6] Cannatà, S. De Caro, S. Panarello, T. Scimone, A. Testa and S. Russo, "Reliability Assessment of Avalanche Mode Operating Power MOSFETs through Coffin Manson Law based Mathematical Models," 2014 International Symposium on Power Electronics, Electrical Drives, Automation and Motion, 2014, pp. 139-145
- [7] 赖伟. 计及低强度热载荷疲劳累积效应的 IGBT 功率器件寿命模型研究[D].重庆大学,2016.
- [8] W. Lai et al., "Evaluation of IGBT Module Remaining Lifetime in Wind Power Converters Considering Impacts of Failure Location," in IEEE Transactions on Electron Devices, vol. 68, no. 4, pp. 1810-1818, April 2021.
- [9] 叶峻涵,杨平,周荣斌,沈星江,沈俊,唐茂森.基于 SVPWM 调制方式的列车牵引逆变器功率器件寿命预测[J].机车电传动,2021,(05):175-182.
- [10] 田航,陈民武,张振宇,贺超凡,鲁浩如.牵引负荷对补偿装置功率器件寿命预测的影响及分析[J].电气化铁道,2019,30(01):24-28.
- [11] Dornic et al., "Stress-Based Model for Lifetime Estimation of Bond Wire Contacts Using Power Cycling Tests and Finite-Element Modeling," in IEEE Journal of Emerging and Selected Topics in Power Electronics, vol. 7, no. 3, pp. 1659-1667, Sept. 2019.

- [12] 周望君,陆金辉,罗海辉,汤翔,方超,柯灏韬,彭勇殿.汽车 IGBT 器件功率循环寿命研究[J].机车电传动,2021,(05):183-188.
- [13] 张宇娇,范虹兴,张炫焜,阮江军,黄雄峰.柔性直流输电换流阀用 IGBT 器件焊料层疲劳寿命研究[J].高电压技术,2020,46(10):3381-3389.
- [14] Avenas Y, Dupont L, Baker N, et al. Condition monitoring: a decade of proposed techniques[J]. IEEE Industrial Electronics Magazine, 2015, 9(4):22-36.
- [15] 胡姚刚,李辉,白鹏飞,姚然,胡玉,梁媛媛.基于壳温差的风电变流器 IGBT 模块基板焊层健康状态评估[J].太阳能学报,2020,41(04):194-204.
- [16] 葛建文,黄亦翔,陶智宇,刘成良.基于 Transformer 模型的 IGBT 剩余寿命预测[J].半导体技术,2021,46(04):316-323.
- [17] 王月月.基于特征辨识的 MOSFET 健康状态评估模型研究[D].重庆大学,2018.
- [18] Borghese, M. Riccio, A. Castellazzi, L. Maresca, G. Breglio and A. Irace, "Statistical Electrothermal Simulation for Lifetime Prediction of Parallel SiC MOSFETs and Modules," 2020 2nd IEEE International Conference on Industrial Electronics for Sustainable Energy Systems (IESES), 2020, pp. 383-386.
- [19] M. S. Haque, S. Choi and J. Baek, "Auxiliary Particle Filtering-Based Estimation of Remaining Useful Life of IGBT," in IEEE Transactions on Industrial Electronics, vol. 65, no. 3, pp. 2693-2703, March 2018.
- [20] 曾正,李晓玲,林超彪,冉立.功率器件封装的电-热-力多目标优化设计[J].中国电机工程学报,2019,39(17):5161-5171+5297.
- [21] H. Li et al., "Optimization on Thermomechanical Behavior for Improving the Reliability of Press Pack IGBT Using Response Surface Method," in IEEE Journal of Emerging and Selected Topics in Power Electronics, vol. 9, no. 5, pp. 6329-6343, Oct. 2021.
- [22] 黄鑫,汤蕾,朱涛,张弛,顾力,万轶伦,张毅洲.数字孪生在变电设备运行维护中的应用探索[J].电力信息与通信技术,2021,19(12):102-108.
- [23] 杨帆,吴涛,廖瑞金,江金洋,陈涛,高兵.数字孪生在电力装备领域中的应用与实现方法[J].高电压技术,2021,47(05):1505-1521.
- [24] 房方,姚贵山,胡阳,吴旭涛,刘吉臻.风力发电机组数字孪生系统[J/OL].中国科学:技术科学:1-13[2022-05-07]
- [25] 汤文亮,袁柯,侯会斌,马浩航.基于数字孪生的设备 RUL 预测研究[J].制造业自动化,2021,43(12):46-49.
- [26] 付洋,曹宏瑞,郜伟强,高文辉.数字孪生驱动的航空发动机涡轮盘剩余寿命预测[J].机械工程学报,2021,57(22):106-113.
- [27] Venkatesan, Suchitra; Manickavasagam, Krishnan; Tengenkai, Nikita; Vijayalakshmi, Nagendran: 'Health monitoring and prognosis of electric vehicle motor using intelligent-digital twin', IET Electric Power Applications, 2019, 13, (9), p. 1328-1335.
- [28] Y.Z. Peng, S. Zhao, and H. Wang. A Digital Twin Based Estimation Method for Health Indicators of DC-DC Converters[J]. IEEE Transactions on Power Electronics, 2021, 36(2):2105-2117.
- [29] P. Moutis, O. A. Mousavi. Digital Twin of Distribution Power Transformer for Real-Time Monitoring of

- Medium Voltage from Low Voltage Measurements[J]. IEEE Transactions on Power Delivery, 2020, Early Access.
- [30] M. Milton, O. Castulo, and L.G. Herbert, et al. Controller-Embeddable Probabilistic Real-Time Digital Twins for Power Electronic Converter Diagnostics[J]. IEEE Transactions on Power Electronics, 2020, 35(9):9850-9864.
- [31] S. K. Mazumder, A. Kulkarni, and S. Sahoo, et al. A Review of Current Research Trends in Power-Electronic Innovations in Cyber-Physical Systems[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2021, Early Access.

7 SiC MOSFET 可靠性评价标准体系建立的工作建议

7.1 Si 器件标准体系不完全适用于 SiC，可靠性评价方法是评价体系建立的基础

7.1.1 国际标准化组织积极推出 SiC MOSFET 可靠性评价指南

SiC MOSFET可参考的标准有：国家标准 GB/T 4586-1994 半导体器件分立器件第8部分:场效应晶体管 (IDT IEC 747-1984)、国家标准 GB/T 29332-2012 半导体器件分立器件第9部分:绝缘栅双极晶体管(IGBT) (IDT IEC 60747-9:2007)、国军标 GJB128A-1997 半导体分立器件试验方法3400系列等。

IEC/TC47 半导体器件技术委员会、JEDEC 制定的与 SiC MOSFET 相关的标准如表 7-1 所示，其中 IEC62375 由日本提案。JC-70 Wide Bandgap Power Electronic Conversion Semiconductors 是 JEDEC 的主要委员会，由德州仪器公司主席 Stephanie Watts Butler 博士领导，下设两个小组委员会：JC-70.1 GaN 功率电子转换半导体标准小组委员会和 JC-70.2 SiC 功率电子转换半导体标准小组委员会。

表 7-1 2023 年 2 月，IEC/TC47、JEDEC 制定与 SiC 相关的标准文件

序号	标准号	标准名称	状态
1	IEC 63068-1:2019	半导体器件 功率器件用碳化硅同质外延片缺陷的无损检测识别判据 第 1 部分：缺陷分类	发布
2	IEC 63068-2:2019	半导体器件 功率器件用碳化硅同质外延片缺陷的无损检测识别判据 第 2 部分：缺陷的光学检测方法	发布
3	IEC 63068-3:2020	半导体器件 功率器件用碳化硅同质外延片缺陷的无损检测识别判据 第 3 部分：缺陷的光致发光检测方法	发布
4	IEC 63068-4:2022	半导体器件-功率器件用碳化硅同质外延片缺陷的无损检测识别判据 第 4 部分：光学检测和光致发联合方法识别和评价缺陷的程序	发布
5	IEC 63229:2021	半导体器件 碳化硅基氮化镓外延层的缺陷分类	发布
6	IEC 63275-1 : 2022	半导体器件 碳化硅金属氧化物半导体场效应晶体管 (MOSFET) 可靠性试验方法 第 1 部分：偏置温度不稳定试验方法	发布
7	IEC 63275-2:2022	半导体器件 碳化硅分立金属氧化物半导体场效应晶体管 (MOSFET) 可靠性试验方法 第 2 部分：体二极管工作引起的双极退化试验方法	发布
8	JEP183	SiC MOSFET 阈值电压 (VT) 测试指南	2021 年 1 月发布
9	JEP184	用于电力电子转换的碳化硅金属氧化物半导体器件的偏置温度不稳定性评估指南	2021 年 3 月发布
10	JEP187	SiC MOSFET 规格书中开关损耗表征指南	2021 年 12 月发布
11	JEP190	SiC 功率器件的 dv/dt 鲁棒性评估指南	2022 年 8 月发布
12	JEP192	SiC MOSFET 栅电荷 (QG) 测试方法指南	2023 年 1 月发布
13	JEP183A	SiC MOSFET 阈值电压 (VT) 测试方法指南	2023 年 1 月发布

14	JEP194	SiC 功率 MOSFET 栅氧可靠性和鲁棒性评估流程指南	2023 年 2 月发布
15	JEP195	用于功率电子转换的 SiC MOS 器件栅开关稳定性评估指南	2023 年 2 月发布

7.1.2 不同产业链环节、不同的目的标准侧重点各有不同

JEDEC制定了关于工艺、可靠性评估方法、失效机理和模型、环境可靠性、可靠性监控、产品鉴定等多类型的标准，如针对CMOS逻辑技术的晶圆制造商现场制定了JEP001工厂工艺鉴定指南的系列标准，其中1A为工艺线后端、2A前端晶体管级别、3A产品级；针对半导体器件的失效机理和模型制定了JEP 122，包括唯一加速应力的激活能/加速因子列表，一般失效机制模型面向栅氧层的经时介质击穿TDDDB、热载流子注入HCI、负偏压温度稳定性NBTI、移动离子的表面反型等。JEP001文件中引用的系列标准如表7-2所示。

表 7-2 JEP001 工厂工艺鉴定指南系列标准参考引用标准

序号	标准	工艺	JEDEC 参考标准
1	JEP001 -1A 工 艺线后 端	Electromigration 电迁移	Jesd61 Isothermal Electromigration Test Procedure 等温电迁移试验程序
2			Jesd87 Standard Test Structure For Reliability Assessment Of Alcu Metallizations With Barrier Materials 具有阻挡材料的 Alcu 金属化可靠性评估的标准试验结构
3			Jesd33A Standard Method For Measuring And Using The Temperature Coefficient Of Resistance To Determine The Temperature Of A Metallization Line 测量和使用电阻温度系数确定金属化线温度的标准方法
4			Jesd37 Standard Lognormal Analysis Of Uncensored Data, And Of Singly Right -Censored Data Utilizing The Persson And Rootzen Method 使用 Persson 和 Rootzen 方法对未经审查数据和单右删失数据进行标准对数正态分析
5			Jesd63 Standard Method For Calculating The Electromigration Model Parameters For Current Density And Temperature 计算电流密度和温度的电迁移模型参数的标准方法
6			Jep122G Failure Mechanisms And Models For Semiconductor Devices 半导体器件失效机理和模型
7		Stress Migration (Stress-Induced Voiding) 应力迁移 (应力引起的空洞)	Jep139 Guideline For Constant Temperature Aging To Characterize Aluminum Interconnect Metallizations For Stress-Induced Voiding 应力诱导空洞铝互连金属化的恒温老化特性指南
8			Jesd87 Standard Test Structure For Reliability Assessment Of Alcu Metallizations With Barrier Materials 具有阻挡材料的 Alcu 金属化可靠性评估的标准试验结构
9			Jep122 Failure Mechanisms And Models For Semiconductor Devices 半导体器件失效机理和模型
10		Thermal Cycling (Copper Interconnect) 热循环 (铜互连)	Jesd22-A104 Temperature Cycling 温度循环
11		Inter/Intra Metal-Dielectric Reliability	Jep159 Procedure For The Evaluation Of Low-K/Metal Inter/Intra-Level Dielectric Integrity 低 K/金属层间/层内介电完整性评估程序
12		Yield Data&Defect Density Calculation 产量数据和缺陷密度计算	None
13		JEP001	DC Hot Carrier Injection

	-2A 前端晶体管级别	直流热载流子注入	Degradation Under Dc Stress 测量直流应力下 N 沟道 Mosfet 热载流子诱导退化的程序 Jesd60 Procedure For Measuring P-Channel Mosfet Hot-Carrier-Induced Degradation At Maximum Gate Current Under Dc Stress 测量直流应力下最大栅极电流下 P 沟道 Mosfet 热载流子诱导退化的程序 Jep122 Failure Mechanisms And Models For Semiconductor Devices 半导体器件失效机理和模型
14		Voltage Ramp Dielectric Breakdown(VRDB)/Charge to Breakdown(QBD) 电压斜坡介电击穿 (VRDB) /电荷击穿 (QBD)	Jesd35 Procedure For Wafer-Level-Testing Of Thin Dielectrics 薄电介质的晶片级测试程序
15		Time-Dependent Dielectric Breakdown(Tddb) 时间相关介质击穿	Jesd92 Procedure For Characterizing Time-Dependent Dielectric Breakdown Of Ultra-Thin Gate Dielectrics 表征超薄栅极电介质随时间变化的介电击穿过程 Jep122 Failure Mechanisms And Models For Semiconductor Devices 半导体器件失效机理和模型
16		Plasma Process Induced Damage(P2ID) 等离子体过程诱导损伤	None
17		Ionic Contamination/Bias Temperature Stress(BTS) 离子污染/偏压温度应力	None
18		Ionic Contamination/Triangular Voltage Sweep(TVS) 离子污染/三角电压扫描	None
19		Bias Temperature Instability(BTI) 偏置温度不稳定性	Jesd241 Procedure For Wafer-Level Dc Characterization Of Bias Temperature Instabilities 偏压温度不稳定性的晶片级直流表征程序 Jep122 Failure Mechanisms And Models For Semiconductor Devices 半导体器件失效机理和模型
20		Long Term Life Test(HTOL) 长期寿命试验 (HTOL) / Early Life Test 早期寿命试验	Jesd22-A108 Temperature, Bias, And Operating Life 温度、偏压和工作寿命 Jesd47 Stress-Test-Driven Qualification Of Integrated Circuits 集成电路应力测试驱动鉴定 Jesd74 Early Life Failure Rate Calculation Procedure For Semiconductor Components 半导体元件早期寿命失效率计算程序 Jesd85 Methods For Calculating Failure Rates In Units Of Fits 以配合为单位计算失效率的方法
21	JEP001-3A 产品级	Temperature Cycling(TC)温度循环	Jesd22-A113 Preconditioning Of Nonhermetic Surface Mount Devices Prior To Reliability Testing 可靠性测试前非密封表面安装装置的预处理 Jesd22-A104 Temperature Cycling 温度循环 Jep122 Failure Mechanisms And Models For Semiconductor Devices 半导体器件失效机理和模型
22		Temperature Humidity Bias(THB) or Highly Accelerated Stress Test(HAST) 温湿度偏差或高加速应力试验	Jesd22-A113 Preconditioning Of Nonhermetic Surface Mount Devices Prior To Reliability Testing 可靠性测试前非密封表面安装装置的预处理 Jesd22-A101 Steady-State Temperature-Humidity Bias Life Test 稳态温湿度偏差寿命试验 Jesd22-A110 Highly Accelerated Temperature And Humidity Stress Test (Hast) 高加速温度和湿度应力试验 (Hast)
23		ESD Characterization 静电特性	Jesd22-A114 Electrostatic Discharge (Esd) Sensitivity Testing Human Body Model (Hbm) 人体模型 (Hbm) 静电放电 (Esd) 灵敏度测试 Jesd22-A115 Electrostatic Discharge (Esd) Sensitivity Testing Machine Model (Mm) 静电放电 (Esd) 灵敏度试验机型号 (Mm)

		Jesd22-C101 Field-Induced Charged-Device Model Test Method For Electrostatic Discharge Withstand Thresholds Of Microelectronic Components 微电子元件静电放电耐受阈值的场致充电器件模型试验方法 Ansi/Esd:Stm5.1,Stm5.2&Stm5.3
24	Latchup Characterization 门锁特性	Jesd78 Standard Test Structure For Reliability Assessment Of AlCu Metallizations With Barrier Materials 具有阻挡材料的 AlCu 金属化可靠性评估的标准试验结构
25	Process Control Monitor(PCM) Characterization 过程控制监视器 (PCM) 特征化	Jep132 Process Characterization Guideline 工艺特性指南 Astm:F616-86,F617-86&F1096-87
26	Construction Analysis 结构分析	None

SiC MOSFET的工艺结构、工艺条件、栅氧结构、金属层等与硅CMOS有很多不同，但从理论、方法、模型等方面均有很高的参考价值。在现有SiC工艺不完全成熟的情况下，特别是动态参数的测量增加，需要监测的数据量比Si成熟工艺的数据量大大增加。

我国SiC功率器件产业链涉及设计、外延、芯片代工、封装、测试等环节各方面企业，呈现出小而散的特点，希望下一步的标准化工作可以衔接上、中、下游，凝聚更多产业共识，合力发展。

7.2 SiC MOSFET 可靠性评价方法建立

7.2.1 SiC MOSFET 可靠性试验的标准建立思路

产品的可靠性是如何是产品使用之前必须要解决的一个问题。只有知道产品的寿命、失效率等可靠性水平，才能准确、恰当地对产品进行应用。根据国家标准GB/T 6583的规定，可靠性是指：产品在规定的条件下、在规定的时间内完成规定的功能的能力。

产品可靠性定义的要素是三个“规定”：“规定条件”、“规定时间”和“规定功能”。“规定条件”包括使用时的环境条件和工作条件；“规定时间”是指产品使用周期；“规定功能”是指产品必须完成的功能。例如SiC MOS在电网和电动汽车领域应用时，其使用环境、工作条件、服役时间、电路功能等均不相同。因此，产品在不同领域中应用时，其可靠性水平不同，可靠性评价的标准也不同。

如何建立合适的可靠性评价标准体系，从而评价产品在不同应用环境下的可靠性水平，保障产品的可靠性应用？通常来说，如果可靠性考核标准体系能够覆盖具体应用时的所有使用工况，并覆盖产品的使用周期，且失效率达到要求，那么认为这个可靠性标准体系是完善的。

因此，可靠性评价标准体系通常从覆盖应用具体工况，来选择可靠性考核实验的种类；通过覆盖产品的使用周期及要求的失效率水平，来确定样品数、实验时间及实验条件。

7.2.2 覆盖应用工况

可靠性的评价是一项系统工程，需要从整体进行考虑设计。可以根据器件实际的使用工况有所侧重，但仍需覆盖全部工况，一个未覆盖的短板可能会制约器件的使用可靠性。

从覆盖应用具体工况来考虑，通常可靠性考核实验包括高温反偏试验（HTRB）、高温栅偏试验（HTGB）、间歇寿命试验（IOL）、功率循环试验（PC）、温度循环试验（TC）等等，每一个试验的目

的是模拟器件工作工程中的某一个工况，或对应着某一种失效条件（失效机理）。但每个单一的可靠性试验都不能给出器件在使用条件（使用工况）下的使用可靠性或寿命。

每个单一试验进能够保证试验对应的特定使用条件下的使用可靠性，但由于同一器件的应用场景存在一定差异，只进行部分试验无法保证器件的使用可靠性。需要将每一种可能出现的工况考虑在内，覆盖所有工况，将其对应的所有可靠性考核试验组合起来，从而保证器件的使用可靠性。

7.2.3 覆盖使用周期

除了需要覆盖器件的所有工况，可靠性评价需要覆盖整个使用周期。而具体的可靠性试验条件与器件的服役周期及可靠性指标相关，如可靠工作20年和可靠工作8年不相同，可靠度99%与99.99%不同，使用环境25℃与90℃不同等等。所以在进行可靠性试验前其试验方案应该有所不同，如高温反偏试验，不能简单使用常规的77×3&1000小时&125℃条件来保证所有可靠性周期。

如果器件常规工作在25℃条件下，那么77×3&1000小时&125℃的高温反偏试验能够保证器件什么程度的可靠性呢？假设激活能为0.65eV，125℃相对于25℃进行加速，根据阿伦尼斯模型，其对应的加速系数约为570，那么1000小时77×3对应的器件小时数约为131686845，换算为失效率约为7.59E-09，对应可靠度约为0.9993。如果采用10000个器件，工作10年后，其对应的损坏的个数约为6.65个。

综上所述，通过单一试验条件的可靠性试验，只能保证器件达到一个固定的可靠性水平。单一试验条件不能适用于所有的工况，如电网使用的SiC MOSFET器件与电动汽车中使用的SiC MOSFET器件要求的可靠性周期不一致，同时工况温度也会有所不同，其对应选择的试验器件数量和时间同样应该进行调整。可靠性评价的试验条件选择需要对应器件实际应用场景，进行体系化的设计，以此针对性进行可靠性评估。在保证满足用户所需求器件可靠性的同时，减少厂家不必要的经济支出。

7.2.4 考虑碳化硅 MOS 器件与硅基器件的差异

在参考硅基可靠性评价体系，覆盖器件的所有工况和使用周期的基础上，还需要考虑碳化硅MOS器件与硅基器件的差异，增加对应的实验，或对实验方案进行修改。

例如，针对碳化硅材料缺陷的问题，增加BD等考核标准；针对工艺引入的栅极缺陷问题，增加阈值电压测量、栅氧缺陷测试等标准，并针对失效机理的改变，改进栅氧可靠性考核标准；针对尺寸及结构的改变，增加短路耐量、非钳位感性开关特性、浪涌电流以及芯片温度均一性等考核标准，改进热阻测试标准等；针对工况差异，增加高频、高温以及断路器等考核标准；针对失效机理与硅基器件的差异，根据具体失效机理对应的加速系数，修改实验条件、样品数量或实验时间等可靠性考核方案。从而保障碳化硅MOS器件的长期使用可靠性。

7.2.5 SiC MOSFET 标准布局建议

针对SiC MOSFET的特有的材料特点、工艺难点、失效机理、工况要求等，建议以“急用先行”的原则，启动以下标准的制定：

- （1）芯片层面：栅氧可靠性经时击穿测试方法（TDDB）、芯片性能筛选/老化方法等；
- （2）器件层面：阈值电压测试、偏压温度不稳定（NBTI、PBTI、AC BTI）测试、开关条件下阈

值电压/动态特性测试、结温200℃（如225℃/250℃）应用条件下温度循环/存储/冲击测试方法、前期失效摸底试验程序、马拉松试验方法、高温间歇寿命试验方法（HTOL）等；

（3）模块层面：寄生电感测试方法、双面散热结温测试方法等；

（4）应用电路层面：细分应用场景下，典型电路关键参数的测试方法、性能评测等。

在测试方法相对统一的基础上，设置不同的样本量、试验时间和试验条件，分析抽检率、失效率、置信度、早期失效率等，积累产业数据，开展成品率/可靠性判定、寿命预测等工作。针对实际工况下面临的非预判性应力，在考虑与应用实际工况下所面临的过载、电压/电流冲击、温度等影响做出相对精准的分析。

7.3 标准化工作建议

（1）标准制定需有效结合利益相关方协同推动

标准是经济活动和社会发展的技术支撑，是国家治理体系和治理能力现代化的基础性制度。标准化组织中的企业、研究机构、大学、测试和认证机构等各种利益相关方自愿参与到标准化组织当中，可以为纷繁复杂的产业创新寻求统一的技术规则或技术解决方案。

第三代半导体设备带宽、精度要求高，国际企业如是德、泰克、ITC、力科等测试设备成本高，在规模化发展的背景下，需要研发新的国产化设备，以降低工业生产成本。国内相关测试设备企业有北京华峰测控、佛山联动、上海忱芯、北京博测、山东阅芯、深圳麦科信、广州致远、深圳知用、普源精电、杭州飞仕得、天津海瑞、杭州中安等。但国内企业在研发方面积累相对薄弱，对产业创新技术发展的熟悉程度有待加强，需有效结合产业研发力量，如浙江大学、中山大学、东南大学、北京工业大学、工信部电子五所等，共同讨论，联合制定标准，以支撑应用评价，服务产业化发展。

（2）以技术标准桥梁，服务应用解决方案的市场拓展

标准化是科研、生产和实施三者之间的桥梁。可靠性测试标准方面，以技术标准为纽带，共同树立用户信心；规格接口标准化工作，保证技术升级时新旧产品的兼容，降低研发成本与研发周期，降低库存压力、节约资源。以技术标准协同推进产业上、中、下游协同发展，汇集优势资源，有效协商，可降低产业研发重复投入，支撑应用示范的有效评价，优势产品规模化应用，形成产业可持续发展良性循环。

（3）汇聚产业优势资源，以我国市场优势培育产业国际竞争力

民间非政府组织，比如第三代半导体产业技术创新战略联盟，在科技、标准化的国际合作方面有相当的灵活性，以共同推进中国大市场应用为目标，建立互信关系，更容易达成多方共同发展的共识点。虽然 SiC MOSFET 器件及电力电子应用的全创新链的创新能力和产业化水平与国际仍有差距，但我国具有广大的应用市场，应用驱动的发展模式有利于中国这种制造和市场大国。在下流的细分应用领域，技术不断催生新的市场需求，高质量发展亟需建立新的标准体系，未来有效参与国际竞争。

