

团 体 标 准

T/CASAS 042—2024

碳化硅金属氧化物半导体场效应晶体管 (SiC MOSFETs) 高温栅偏试验方法

High temperature gate bias test method for silicon carbide metal
oxide semiconductor filed effect transistors (SiC MOSFETs)

2024 - 11 - 19 发布

2024 - 11 - 19 实施

第三代半导体产业技术创新战略联盟 发布

目 次

前言.....	III
引言.....	IV
1 范围.....	1
2 规范性引用文件.....	1
3 术语和定义.....	1
4 试验装置.....	2
5 试验方法.....	3
5.1 目的.....	3
5.2 测试.....	4
6 失效判定.....	5
7 测试报告.....	6
附录 A（资料性） SiC MOSFET 器件高温栅偏试验记录表.....	7
参考文献.....	8

前 言

本文件按照GB/T 1.1—2020《标准化工作导则 第1部分：标准化文件的结构和起草规则》的规定起草。

请注意本文件的某些内容可能涉及专利。本文件的发布机构不承担识别专利的责任。

本文件由第三代半导体产业技术创新战略联盟（CASA）制定发布，版权归CASA所有，未经CASA许可不得随意复制；其他机构采用本文件的技术内容制定标准需经CASA允许；任何单位或个人引用本文件的内容需指明本文件的标准号。

本文件主要起草单位：忱芯科技(上海)公司、工业和信息化部电子第五研究所、复旦大学、杭州芯迈半导体技术有限公司、浙江大学、广电计量检测集团股份有限公司、深圳市禾望电气股份有限公司、中国第一汽车集团有限公司、清纯半导体（宁波）有限公司、东风汽车集团有限公司、怀柔实验室、湖北九峰山实验室、深圳平湖实验室、安徽长飞先进半导体股份有限公司、浙江大学绍兴研究院、西安交通大学、中国电力科学研究院有限公司、江苏第三代半导体研究院有限公司、上海维安电子股份有限公司、上海瞻芯电子科技股份有限公司、深圳市大能创智半导体有限公司、东莞南方半导体科技有限公司、广东省东莞市质量监督检测中心、北京第三代半导体产业技术创新战略联盟。

本文件主要起草人：毛赛君、杨书豪、陈媛、罗涛、陆月明、王珩宇、李汝冠、谢峰、林翰东、李双媛、孙博韬、李钾、王民、陈中圆、王丹丹、周紫薇、刘红超、郭清、林氩、杨奉涛、张雷、唐虎、刘鹏飞、仲雪倩、谢斌、乔良、李本亮、高伟。

引 言

碳化硅金属氧化物半导体场效应晶体管(SiC MOSFET)具有阻断电压高、工作频率高、耐高温能力强、通态电阻低和开关损耗小等特点,广泛应用于高频、高压功率系统中。随着电力电子技术的不断发展,越来越多的领域如航天、航空、石油勘探、核能、通信等,迫切需要能够在高温、高频、高湿等极端环境下工作的电子器件。SiC MOSFET的高温可靠性试验是使器件在高温或高温高湿的环境下,承受高电压应力,以暴露跟时间、应力相关的缺陷。器件能否承受规定应力条件下的试验是评估器件实际应用可靠性的重要手段。

由于SiC/SiO₂界面陷阱、近界面氧化物陷阱以及氧化物层中的缺陷和可移动电荷等问题,在长期高应力的测试环境下,导致SiC MOSFET器件的失效机制变得复杂,例如阈值电压 $V_{GS(th)}$ 和米勒电容的变化等。SiC MOSFET的高温可靠性试验方法及监控参数,需要做出相应的调整,本文件给出了适用于SiC MOSFET器件的高温栅偏试验方法。

碳化硅金属氧化物半导体场效应晶体管（SiC MOSFETs）高温栅偏 试验方法

1 范围

本文件描述了碳化硅金属氧化物半导体场效应晶体管（SiC MOSFETs）高温栅偏试验方法，包括：试验装置、试验程序以及失效判据。

本文件适用范围：SiC MOSFET分立功率器件，功率模块。

2 规范性引用文件

下列文件中的内容通过文中的规范性引用而构成本文件必不可少的条款。其中，注日期的引用文件，仅该日期对应的版本适用于本文件；不注日期的引用文件，其最新版本（包括所有的修改单）适用于本文件。

GB/T 4586—1994 半导体器件 分立器件第8部分 场效应晶体管

GB/T 4937.23—2023 半导体器件 机械和气候试验方法 第23部分：高温工作寿命

T/CASAS 002—2021 宽禁带半导体术语

T/CASAS 006—2020 碳化硅金属氧化物半导体场效应晶体管通用技术规范

3 术语和定义

GB/T 4586—1994、T/CASAS 002—2021、T/CASAS 006—2020界定的以及下列术语和定义适用于本文件。

3.1

栅-源电压 gate-source voltage

V_{GS}

器件的栅极和源极之间的电压。

3.2

漏-源电压 drain-source voltage

V_F

器件的漏极和源极之间的电压。

3.3

栅极漏泄电流/栅极漏电流 gate leakage current

I_{GSS}

漏极-源极短路时，栅-源电压达到最大的条件下对应栅极电流的最大值。

3.4

漏极漏泄电流/漏极漏电流 drain leakage current

I_{DSS}

在漏-源电压达到规定的高值，栅-源电压达到规定条件下，对应漏极电流的最大值。

3.5

栅-源阈值电压 gate-source threshold voltage

$V_{GS(th)}$

漏极电流值达到规定低值时的栅-源电压。

3.6

漏-源极导通电阻 drain-source on-state resistance

$R_{DS(on)}$

在规定的栅-源电压、漏极电流以及芯片结温下的漏极-源极之间的阻值。

3.7

漏-源反向电压 drain-source reverse voltage

V_F

在规定的条件下，器件的漏极和源极之间的反向电压。

3.8 击穿电压 breakdown voltage, drain to source

V_{BR}

在规定的栅-源电压，漏极电流达到规定低值时的漏极-源极电压。

3.9

环境温度 ambient temperature

T_a

测试环境规定点测得的温度。

3.10

管壳温度 case temperature

T_c

在半导体器件管壳规定点测得的温度。

3.11

散热器温度 sink temperature

T_s

在器件散热器规定点测得的温度。

3.12

结温 junction temperature

T_j

器件中主要发热部分的半导体结的温度。

3.13

虚拟结温 virtual junction temperature

T_{vj}

通过电学性能简介测量得到的结温，通常来说，功率半导体的结温是没有办法直接测量到的，如MOSFET可以通过体二极管的正向电压测量，因此， T_{vj} 用来代替 T_j 。

4 试验装置

4.1 试验环境

SiC MOSFET高温栅偏试验装置应能够提供合适的SiC MOSFET偏置电压及所需的高温环境，并具备以下功能和性能指标：

- 能够提供所需的高温环境和偏置电压，能够覆盖SiC MOSFET器件的工作温度和偏置电压范围；
- 具备可靠的温度控制和监测能力，确保试验过程中温度稳定性和可重复性；
- 配备精确的电参数测量系统，能够实时记录关键电气特性参数，如 V_{GS} 、 V_{DS} 、 I_{GSS} 等；
- 具备完善的数据采集和分析功能，方便试验结束后续的失效分析。

4.2 试验装置

所使用的试验装置的关键组成如下：

- a) 功率偏置单元（电源）：
- 1) 具备基本的恒压、恒流输出模式，输出的电压和电流范围应该覆盖 SiC MOSFET 器件试验所需的额定值；
 - 2) 具备基本的保护功能，例如过压、过流、过温等，确保试验安全；
 - 3) 输出纹波和噪声应该控制在较低水平，以免影响器件的性能测试；
 - 4) 输出以及测量的分辨率、精度等应该保证在较高的水平（例如 30 V 量程范围下，分辨率优于 1 mV，精度优于 $\pm 0.03\% + 1.0 \text{ mV}$ ；1 A 量程范围下，分辨率优于 1 mA，精度优于 $\pm 0.1\% + 5 \text{ mA}$ ），以确保试验结果的准确性。
- b) 温度控制系统：
- 1) 应使用具有良好温度控制能力的恒温槽、热平台或温箱，以提供所需的高温应力环境能够在广泛的温度范围内（例如 25 °C–300 °C）提供恒定和均匀的高温环境；
 - 2) 应具备快速升温 and 降温的能力，以缩短试验周期；
 - 3) 温度波动度应优于 1 °C，温度容许偏差应优于 $\pm 2 \text{ °C}$ ，升温速率应优于 1 °C/min，并能实时监测和记录环境温度数据；
 - 4) 具备基本的保护功能，确保试验安全。
- c) 测量设备或测量系统：
- 1) 包括但不限于高分辨率及高精度的示波器、电流表、电压表、温度传感器、精密源测量单元等，能够准确记录相关的试验数据，包括温度、试验时间、电参数测试信息和结果；
 - 2) 测量设备应具有良好的抗干扰性，避免受试验环境干扰而产生测量误差；
 - 3) 测量设备应能实时记录、存储备份实验数据，避免意外情况导致长时间测试的数据保存问题。

为确保试验过程的标准化和可重复性，建议采用专门为 SiC MOSFET 高温栅偏试验设计的标准化试验系统，该系统包含了上述各关键组成部分，具有良好的温度控制和关键电学参数（例如 I_{DSS} 、正偏压 $I_{\text{GSS}+}$ 、负偏压 $I_{\text{GSS}-}$ 、 $R_{\text{DS(on)}}$ 、 $V_{\text{GS(th)}}$ 、 V_{SD} 、 V_{BR} 等）在线监测能力，尤其在微弱信号测量部分具备较高的分辨率及精度（例如测量 100 nA 量程范围下，分辨率优于 10 pA，精度优于 $\pm 0.1\% + 0.5 \text{ nA}$ ），并针对 SiC MOSFET 器件的特性进行试验优化（例如针对阈值电压测量的迟滞效应进行预处理）。SiC MOSFET 高温栅偏试验装置使用前应进行全面的校准，确保各项性能指标符合要求。在试验过程中，应定期检查和维护试验装置，及时发现并解决可能出现的问题，确保试验数据的准确性和可靠性。

5 试验方法

5.1 目的

本试验用于确定随着时间的推移，电气应力（器件偏置电压）和热应力（高温环境）对 SiC MOSFET 的综合影响。与 SiC MOSFET 器件大部分的使用工况不同，本试验通过提高偏置电压、环境温度的应力条件，以模拟了加速条件下的工作状态，从而在较短的时间内评估器件在正常使用条件下的可靠性和寿命，用于器件的质量验证和栅极电介质的可靠性监控（老化筛选）。在质量验证的框架内，重点是验证指定的使用寿命和使用寿命极限，而可靠性监控则聚焦于与生产相关的早期失效。

本试验旨在评估：

- a) 栅极电介质的完整性。

注：测试会加速所谓的经时介电层击穿（time-dependent dielectric breakdown, TDDB），其会在栅极和源极或栅极和漏极之间产生一个电阻路径，或在栅极和源极之间产生一个低击穿二极管。

- b) 半导体和电介质边界层的状况。

注：除其他因素外，热电负载还会导致半导体与栅极绝缘体之间的边界层退化，这通过阈值电压 $V_{GS(th)}$ 的变化和米勒电容的变化而显现出来。

- c) 可动离子对半导体的污染情况。

注：在长期温度升高和电场增强的情况下，移动污染电荷会使得阈值电压 $V_{GS(th)}$ 、米勒电容和栅极绝缘体的完整性或控制效果发生退化。

5.2 测试

测试建议按照以下流程进行：

- a) 样品准备：根据被测器件的封装形式，建议按照表 1 选择合适的样品数量。根据被测器件的封装形式，建议按照表 1 选择合适的样品数量。样品需去除表面污染物，确保一致性和标准化。将 SiC MOSFET 样品焊接或安装在适当的测试夹具上，确保良好的电气连接和热连接，避免在测试过程中发生位置偏移，需确保样品在测试过程中能够良好散热，避免因局部过热而导致测试结果偏差。偏置连接时，应减少其他寄生参数的影响，例如采用四线制开尔文连接测试法，以减小接线电阻对测试结果的影响。
- b) 最初测试：在测试开始之前，进行器件的电特性参数测试及记录，包括但不限于正偏压 I_{GSS+} 、负偏压 I_{GSS-} 、 I_{DSS} 、 $R_{DS(on)}$ 、 $V_{GS(th)}$ 、 V_F 、 V_{BR} 。需要注意的是，所选样品需经过目检及电参数初步测试，确保无明显缺陷和功能正常才能进行后续测试。
- c) 温度及偏置电源设置：根据测试要求设置温度控制系统及偏置电源的输出电压，需要注意的是，在升温前的 10min 之内，器件应当施加偏置。
- d) HTGB 试验：试验电路参考图 1，将偏置电源 V_{GS_bias1} 的正极（或 V_{GS_bias2} 的负极）连接到 SiC MOSFET 的栅极， V_{GS_bias1} 的负极（或 V_{GS_bias2} 的正极）连接到源极，施加所需的偏置电压。此时 SiC MOSFET 的漏极短接至源极。

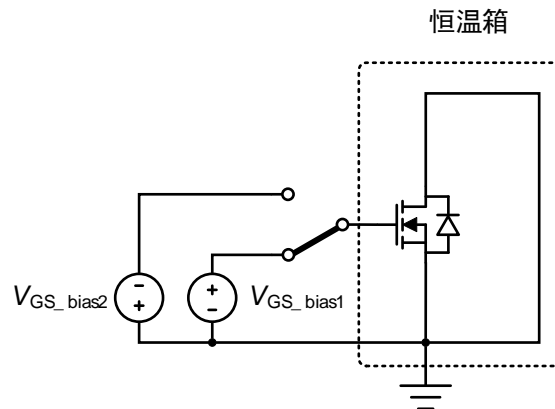


图1 高温栅偏试验电路参考

- e) 中间测试：使用相应的测量设备监测 SiC MOSFET 的 I_{GSS} 。
- f) 冷却：在去掉偏置前，处于高温应力下的器件应冷却至 $55\text{ }^{\circ}\text{C}$ 或更低温度。对于规定的工艺，如果制造商提供验证数据，不需要偏置条件下的冷却。若在冷却过程中，如需将器件移动到温度控制系统外的冷却位置，偏置中断不超过 1 min 时，不应该视为去掉偏置。
- g) 最终测试：在测试完成之后，进行器件的电特性参数测试及记录，包括但不限于正偏压 I_{GSS+} 、负偏压 I_{GSS-} 、 I_{DSS} 、 $R_{DS(on)}$ 、 $V_{GS(th)}$ 、 V_F 、 V_{BR} 。需要注意，器件在去掉偏置的 96 h 内应该尽快

完成电气参数测试。如果器件去掉偏置并超出 96 h，器件在完成测试前应该按照表 2 规定的时间重新施加应力。中间测试后，应力应该在中断点继续施加。

h) 数据记录：记录试验期间的应力及监测数据，并注意任何异常现象。

注1：HTGB是针对SiC MOSFET芯片及其近距离环境的失效模式测试，而不是针对远距离外壳的测试。芯片必须达到最大温度 T_{vj} ，但外壳周围的环境温度 T_a 可以更低。必须确保芯片下方的外壳温度 T_c 或散热器温度 T_s 达到 T_{vj} 。外壳温度应在允许的最高存储温度范围内（ $\pm 10\text{ K}$ ），否则必须测量外壳温度并在测试报告中注明。

注2：需要注意的是，SiC MOSFET在栅-源电压上升扫描过程中对应的 $V_{GS(th)}$ 会小于下降扫描过程中对应的 $V_{GS(th)}$ ，这种现象称为阈值电压的迟滞效应，此现象存在的根源是宽禁带SiC材料的所带来的界面态陷阱电荷。需要进行预处理以获得明确的测量信号，这一过程在所有测量期间都必须相同。

表1 高温栅偏部分试验条件要求

试验条件参数	试验要求
试验时间 (t)	$t \geq 1000\text{ h}$
试验温度 (T_j)	$T_{vj,max}$
漏源电压 (V_{DS})	$V_{DS} = 0\text{ V}$
栅源电压 (V_{GS})	被测器件栅极-源极施加正压, $V_{GS} = V_{GS,max}$ 被测器件栅极-源极施加负压, $V_{GS} = V_{GS,min}$
注1：测试样品数量，单批次，分立器件建议154个（其中正负栅压偏置各77个），功率模块建议6个（其中正负栅压偏置各3个）。	

表2 96h 内未完成测试的器件附加应力要求

超出96 h的时间t (h)	$0 < t \leq 168$	$168 < t \leq 336$	$336 < t \leq 504$	其他
电测试之前附加应力时间 (h)	24	48	72	超出96 h后，每168 h（一周）增加24 h

6 失效判定

器件完成试验和记录后，符合以下任一条目即判定为失效。需要注意的是，如果产品失效是由于试验过程中试验人员操作不当、试验装置失效等非样品本身因素导致，则该失效不算做批次性失效，但必须详细记录失效情况进行失效分析，在征得用户同意后，可重新选择样品进行该试验。

- 参考表3，电学参数满足任意一条，必须视为不合格；
- 器件外观出现任何的物理损坏，必须视为不合格；
- 可根据需求增加其余的失效判定。

表3 高温栅偏失效判定表

参数	符号	失效判据 (相对于初始值的变化率)
漏-源极导通电阻	$R_{DS(on)}$	a) 20%； b) 高于数据手册中规定的最大值； c) 低于数据手册中规定的最小值。
体二极管正向压降	V_F	a) 5%； b) 高于数据手册中规定的最大值； c) 低于数据手册中规定的最小值。
击穿电压	V_{BR}	a) 20%； b) 低于数据手册中规定的最小值。
阈值电压	$V_{GS(th)}$	a) 20%； b) 高于数据手册中规定的最大值； c) 低于数据手册中规定的最小值。
漏源漏电流	I_{DSS}	a) 1000%； b) 高于数据手册中规定的最大值。

表 3 高温栅偏失效判定表（续）

参数	符号	失效判据 (相对于初始值的变化率)
栅源漏电流	I_{GSS+}	a) 1000 %;
	I_{GSS-}	b) 高于数据手册中规定的最大值。

7 测试报告

测试结束应提供测试报告，其中记录的数据应当包括：

- a) 样品名称及数量；
- b) 加热期间的试验偏置条件；
- c) 试验温度；
- d) 试验电压；
- e) 试验时间；
- f) 连续记录的 I_{GSS} ；
- g) 试验前后的 I_{DSS} 、正偏压 I_{GSS+} 、负偏压 I_{GSS-} 、 $R_{DS(on)}$ 、 $V_{GS(th)}$ 、 V_F 、 V_{BR} ；
- h) 其他必要的项目。

附录 A

(资料性)

SiC MOSFET 器件高温栅偏试验记录表

A.1 SiC MOSFET 器件高温栅偏试验记录表

试验记录表如图A.1。

表A.1 高温栅偏试验记录表示例

产品名称 型号规格					组别						
检测项目					环境条件						
测试仪器 仪表	型号:				计量有效期						
	编号:										
检测依据 标准条款					样品数量						
试验条件 及技术要求	试验时间:										
	试验温度:										
	偏置电压 V_{DS} :					偏置电压 V_{GS} :					
	其余补充说明: 1. 2. ...										
样品编号	测试结果										
	试验前参数					试验后参数					已失效 (勾选)
	I_{DSS}	I_{GSS+} I_{GSS-}	$r_{DS(on)}$	$V_{GS(th)}$	V_{SD}	I_{DSS}	I_{GSS+} I_{GSS-}	$r_{DS(on)}$	$V_{GS(th)}$	V_{SD}	
1											<input type="checkbox"/>
2											<input type="checkbox"/>
3											<input type="checkbox"/>
...											<input type="checkbox"/>

参 考 文 献

- [1] AEC-Q101 Stress test qualification for discrete semiconductors
 - [2] AQG 324 Qualification of Power Modules for Use in Power Electronics Converter Units in Motor Vehicles
 - [3] IEC 60747-2—2016 Semiconductor devices - Part 2: Discrete devices - Rectifier diodes
 - [4] IEC 60747-8—2021 Semiconductor devices - Discrete devices - Part 8: Field-effect transistors
 - [5] IEC 60749-5—2017 Semiconductor devices - Mechanical and climatic test methods - Part 5: Steady-state temperature humidity bias life test
 - [6] IEC 60749-23—2011 Semiconductor devices - Mechanical and climatic test methods - Part 23: High temperature operating life
 - [7] JESD 22-A108G Temperature, Bias, and Operating Life
 - [8] JEP 183A SiC MOSFET Guidelines for measuring the threshold voltage (VT) of SiC MOSFETs
 - [9] Gate Oxide Failure Mechanisms of SiC MOSFET Related to Electro-Thermomechanical Stress Under HTRB and HTGB Test, 2024 36th International Symposium on Power Semiconductor Devices and ICs (ISPSD)
-

