

ICS 31.080.30  
CCS L 44



# 团 标 准

T/CASAS 037—2025  
代替 T/CASAS 037—2024

## 碳化硅金属氧化物半导体场效应晶体管 (SiC MOSFET) 棚极电荷试验方法

Gate charge test method for silicon carbide metal-oxide-semiconductor field effect transistor (SiC MOSFET)

2025-12-30 发布

2025-12-30 实施

第三代半导体产业技术创新战略联盟 发布

## 目 次

前言.....	II
引言.....	III
1 范围.....	1
2 规范性引用文件.....	1
3 术语和定义.....	1
4 试验原理.....	2
4.1 栅极电荷试验基本原理.....	2
4.2 感性负载（双脉冲）电路试验原理.....	4
4.3 阻性负载（单脉冲）电路试验原理.....	5
5 试验设备.....	6
5.1 电源设备.....	6
5.1.1 栅极电压源.....	6
5.1.2 栅极电流源.....	6
5.1.3 漏极电压源.....	6
5.2 量测设备.....	6
5.2.1 栅极电压探头.....	6
5.2.2 栅极电流探头.....	6
5.2.3 漏极电压探头.....	6
5.2.4 漏极电流探头.....	6
5.3 回路寄生.....	6
5.3.1 栅极驱动.....	7
6 试验条件.....	7
7 试验程序.....	7
7.1 感性负载（双脉冲）试验程序.....	7
7.2 阻性负载（单脉冲）试验程序.....	7
8 试验数据处理.....	8
8.1 感性负载（双脉冲）试验数据处理.....	8
8.2 阻性负载（单脉冲）试验数据处理.....	9
9 试验报告.....	9
附录 A (资料性) SiC MOSFET 器件栅极电荷试验记录表.....	10
参考文献.....	11

## 前　　言

本文件按照GB/T 1.1—2020《标准化工作导则 第1部分：标准化文件的结构和起草规则》的规定起草。

本文件代替T/CASAS 037—2024《碳化硅金属氧化物半导体场效应晶体管（SiC MOSFET）栅极电荷试验方法》（2024年11月19日发布）。

本文件与T/CASAS 037—2024相比，除编辑性修改外主要技术差异如下：

——新增试验设备要求，对试验过程中所需电源及量测设备选用进行规范要求；

——在4.1部分栅极电荷试验基本原理中新增栅极电阻和栅极电流值大小选取建议；

——在A.1 SiC MOSFET器件栅极电荷试验记录表中补充栅极电源以及栅极电阻/栅极电流值项。

请注意本文件的某些内容可能涉及专利。本文件的发布机构不承担识别专利的责任。

本文件由第三代半导体产业技术创新战略联盟（CASA）制定发布，版权归CASA所有，未经CASA许可不得随意复制；其他机构采用本文件的技术内容制定标准需经CASA允许；任何单位或个人引用本文件的内容需指明本文件的标准号。

本文件主要起草单位：东南大学、工业和信息化部电子第五研究所、忱芯科技（上海）有限公司、北京华峰测控技术股份有限公司、清纯半导体（宁波）有限公司、浙江大学、浙江大学绍兴研究院、西安交通大学、智新半导体有限公司、苏州汇川联合动力系统股份有限公司、是德科技（中国）有限公司、芯联集成电路制造股份有限公司、一汽旗新动力(长春)科技有限公司、合肥功立德半导体科技有限公司、中国电力科学研究院有限公司、东风汽车集团有限公司、深圳平湖实验室、湖北九峰山实验室、江苏第三代半导体研究院有限公司、芯迈半导体技术(杭州)股份有限公司、广东省东莞市质量监督检测中心、北京第三代半导体产业技术创新战略联盟。

本文件主要起草人：魏家行、曹钧厚、刘斯扬、孙伟锋、陈媛、毛赛君、刘惠鹏、孙博韬、王珩宇、林氮、王来利、王民、张太之、孙承志、丛茂杰、刘志强、宋鑫宇、孙钦华、刘海军、张雷、李钾、王晓萍、周紫薇、麦志洪、李梦亚、郭俊、李本亮、高伟。

本文件于2024年首次发布，本次为第一次修订。

## 引　　言

碳化硅金属氧化物半导体场效应晶体管（SiC MOSFET）具有阻断电压高、工作频率高、耐高温能力强、导通电阻低和开关损耗小等特点，广泛应用于高频、高压功率系统中。随着电力电子技术的不断发展，越来越多的领域如新能源汽车、航天、航空、石油勘探、核能、通信等，迫切需要能够在高温、高频等极端环境下工作的电子器件。栅极电荷是评价器件特性的关键参数，特别是对于开关和驱动器损耗估计，完整提取开关过程中不同阶段电荷，对器件性能评估以及外围电路设计具有重要意义。

由于负压关断、阈值偏移、漏致势垒降低效应等多因素影响，SiC MOSFET的栅极电荷特性与传统的硅基MOSFET存在显著区别。为此，本文件给出了SiC MOSFET开关过程中不同阶段栅极电荷定义，并相应提供了栅极电荷试验及数据处理方法。

# 碳化硅金属氧化物半导体场效应晶体管（SiC MOSFET） 棚极电荷 试验方法

## 1 范围

本文件描述了碳化硅金属氧化物半导体场效应晶体管（SiC MOSFET）的棚极电荷试验方法，包括：试验原理、试验电路、试验条件以及数据处理方法。

本文件仅适用于增强型N沟道垂直SiC MOSFET器件特性表征及可靠性试验等工作场景，可用于以下试验目标器件：

- a) 增强型N沟道垂直SiC MOSFET分立器件晶圆级及封装级产品；
- b) 含增强型N沟道垂直SiC MOSFET器件的功率模块。

## 2 规范性引用文件

下列文件中的内容通过文中的规范性引用而构成本文件必不可少的条款。其中，注日期的引用文件，仅该日期对应的版本适用于本文件；不注日期的引用文件，其最新版本（包括所有的修改单）适用于本文件。

T/CASAS 0021 宽禁带半导体术语

T/CASAS 006 碳化硅金属氧化物半导体场效应晶体管通用技术规范

## 3 术语和定义

T/CASAS 002、T/CASAS 006界定的以及下列术语和定义适用于本文件。

### 3.1

**漏致势垒降低效应 drain-induced barrier lowering;DIBL**

对于沟道长度较小的场效应晶体管（FET）器件，漏源电压 $V_{DS}$ 增大导致源极端势垒高度降低，并引起阈值电压降低的效应。

### 3.2

**米勒平台 Miller plateau**

MOSFET器件在开启或关断阶段由于栅漏电容充/放电引起的栅极电压平台区间。

### 3.3

**米勒斜坡 Miller ramp**

在短沟道MOSFET器件栅漏电容充/放电阶段，由于DIBL效应引起栅极电压不稳定，导致原本的米勒平台阶段发生倾斜。

### 3.4

**标称关断栅极电压 nominal gate voltage in off-state**

$V_{GS(off)}$

器件关断状态标称栅极电压。

### 3.5

**标称导通栅极电压 nominal gate voltage in on-state**

$V_{GS(on)}$

器件导通状态标称栅极电压。

3. 6

**阈值栅源电荷 threshold-gate charge** $Q_{GS,th(on)}/Q_{GS,th(off)}$ 

器件开启阶段栅极电压从标称关断栅极电压上升到阈值电压所需的电荷量/器件关断阶段栅极电压从阈值电压下降到标称关断栅极电压所需的电荷量。

3. 7

**栅源电荷 gate-source charge** $Q_{GS(on)}/Q_{GS(off)}$ 

器件开启阶段栅极电压从标称关断栅极电压上升到米勒平台开始处电压所需的电荷量/器件关断阶段栅极电压从米勒平台末端电压下降到标称关断栅极电压到所需的电荷量。

3. 8

**栅漏电荷 gate-drain charge** $Q_{GD(on)}/Q_{GD(off)}$ 

器件开启阶段漏源电压变化阶段积累的电荷量，即米勒平台阶段积累的电荷量/器件关断阶段漏源电压变化阶段释放的电荷量，即米勒平台阶段释放的电荷量。

3. 9

**栅极总电荷 total-gate charge** $Q_{G,TOT(on)}/Q_{G,TOT(off)}$ 

器件开启阶段栅极电压从标称关断栅极电压上升到标称导通栅极电压所需的电荷总量/器件关断阶段栅极电压从标称导通栅极电压下降到标称关断栅极电压所需的电荷总量。

3. 10

**栅极电流 gate current** $I_G$ 

试验过程中驱动回路提供的电流。

3. 11

**母线电压 bus voltage** $V_{DD}$ 

试验过程中功率回路电源提供的电压。

3. 12

**漏源电流 drain-source current** $I_{DS}$ 

器件流经漏极与源极间的电流。

3. 13

**续流二极管 free-wheeling diode** $FWD$ 

电力电子器件应用场景中反并联于负载电感两侧的二极管器件。当回路关断时，电流进入二极管-电感回路存续。

3. 14

**反向恢复电荷 reverse recovery charge** $Q_{RR}$ 

续流二极管从导通到阻断状态转变过程中，需要释放的存储电荷。

## 4 试验原理

### 4. 1 栅极电荷试验基本原理

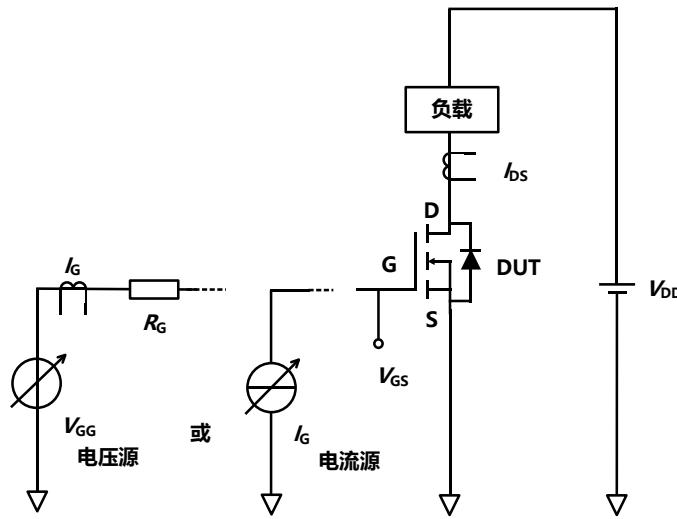
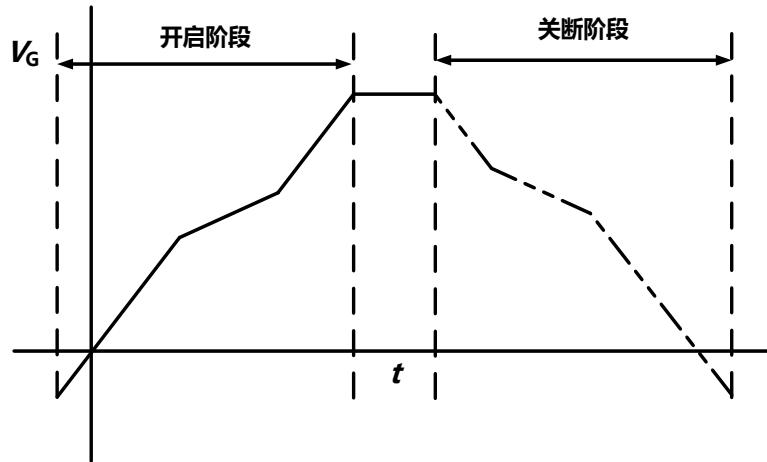


图1 棚极电荷试验原理图

如图1所示为SiC MOSFET棚极电荷试验原理图，试验电路由被测器件（DUT）、栅极驱动、负载和母线电源组成。其中栅极驱动可选电压源或电流源，在开、关过程中对被测器件的栅极电容进行充电、放电，并同步监测栅极电压。母线电源提供漏极电压 $V_{DD}$ 以及流经器件的漏源电流 $I_{DS}$ 。为在栅极电荷试验过程中尽可能模拟器件实际工作条件，在功率回路中添加阻性或感性负载，推荐使用由续流二极管与电感并联组成的感性负载。

开关过程中SiC MOSFET器件栅极电压 $V_G$ 随时间变化如图2所示。在开启阶段，由于驱动电流给栅极电容充电，栅极电压 $V_G$ 在开启阶段随时间上升。其中上升阶段分别对应于栅源电荷 $Q_{GS}$ 、栅漏电荷 $Q_{GD}$ 以及栅极总电荷 $Q_{G,TOT}$ 的测量阶段。关断阶段可以视为开启阶段的逆过程。

图2 器件开关阶段栅极压 $V_G$ 随时间 $t$ 变化曲线

通过计算将试验中时间坐标轴转换为电荷量坐标轴，可以获得如图3所示的栅极电荷试验曲线。将开启阶段栅极电荷曲线与关断阶段栅极电荷曲线叠加，可以观察到明显的米勒斜坡以及斜坡回滞现象。

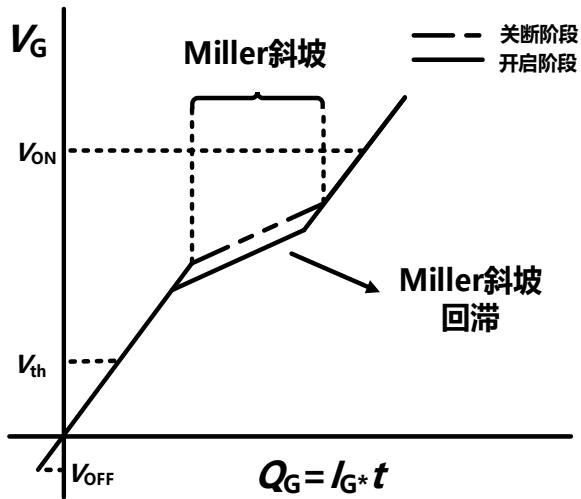


图3 器件栅极电荷试验曲线

为保证栅极电荷提取精度，应在保证栅极电荷曲线平滑且阶段区分清晰的前提下尽可能加快器件开启/关断过程。具体可通过在使用栅极电压源时减小栅极电阻（图1中 $R_G$ ，参考取值宜不大于 $200\Omega$ ），或在使用栅极电流源时增大栅极电流 $I_G$ （参考取值宜不小于 $50mA$ ）实现。

#### 4.2 感性负载（双脉冲）电路试验原理

栅极电荷曲线的测量可以采用不同的方法。其中常用于器件动态特性提取的感性负载双脉冲试验更接近器件实际工作条件，也反映了器件最真实的栅极电荷特性，因此在栅极电荷试验中建议采用双脉冲试验。如图4所示为感性负载（双脉冲）试验电路图，其中被测器件处于试验电路中的下管位置。被测器件的关断状态栅极电荷 $Q_{G(off)}$ 和开启状态栅极电荷 $Q_{G(on)}$ 分别在第一个脉冲的下降阶段和第二个脉冲的上升阶段测量，如图5所示。此外，负载由上管的续流二极管（FWD）和电感（L）并联组成，模拟器件关断时的续流状态。所采用并联续流二极管存储电荷 $Q_{RR}$ 应尽可能小以避免对栅极电荷测量产生影响，因此推荐使用SiC肖特基二极管。此外为模拟实际工况，也可以采用被测器件体二极管作为续流二极管。电源部分为保证功率回路瞬时功率要求，使用电压源向母线电容（C）充电后向功率回路放电。

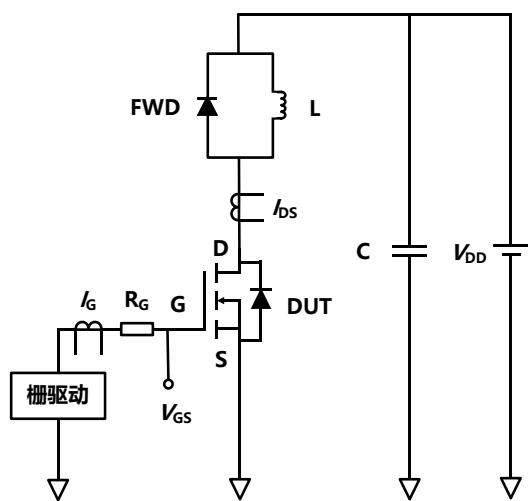


图4 感性负载栅极电荷试验电路图

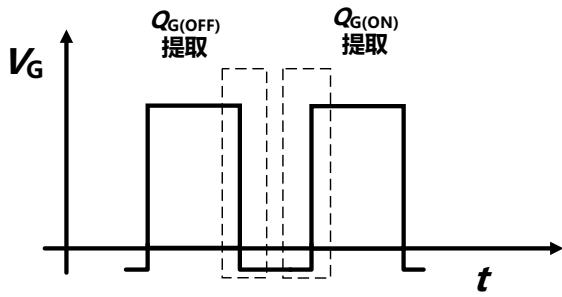


图5 棚极电荷试验双脉冲栅压波形

#### 4.3 阻性负载（单脉冲）电路试验原理

单脉冲试验同样适用于SiC MOSFET器件棚极电荷提取。如图6所示为阻性负载（单脉冲）试验电路图，其中被测器件处于试验电路中的下管位置。被测器件的开启状态棚极电荷  $Q_{G(on)}$  和关断状态棚极电荷  $Q_{G(off)}$  分别在脉冲的上升阶段和下降阶段测量，如图7所示。此外，回路负载为阻性，在保证电流  $I_{DS}$  满足试验要求前提下，负载可选用阻值适当的恒定电阻或给定电流条件下电阻值相当的器件。

此外，器件开关过程中的高压大电流条件可以分别使用高压以及大电流试验条件相结合而获取，其中高压试验条件与器件低棚极电压状态相近，大电流试验条件与器件高棚极电压状态相近，将两曲线结合拼接即获得了器件棚极电压从低压到高压全过程器件状态。

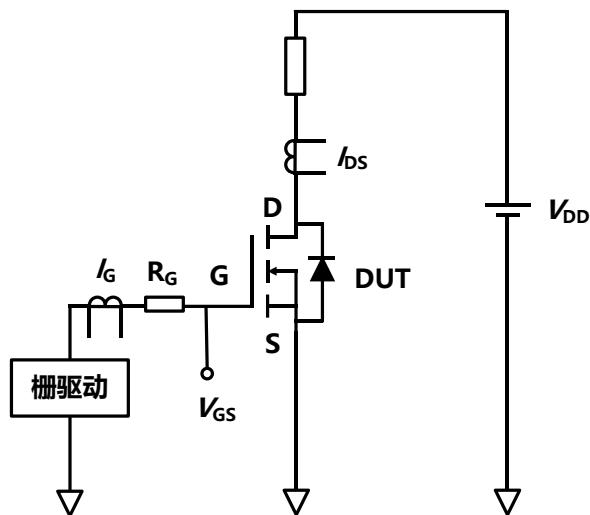


图6 阻性负载棚极电荷试验电路图

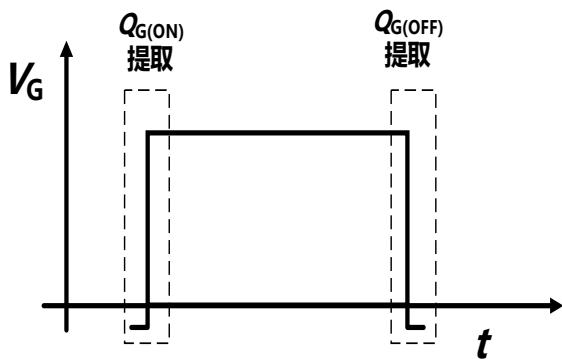


图7 棚极电荷试验单脉冲栅极电压波形

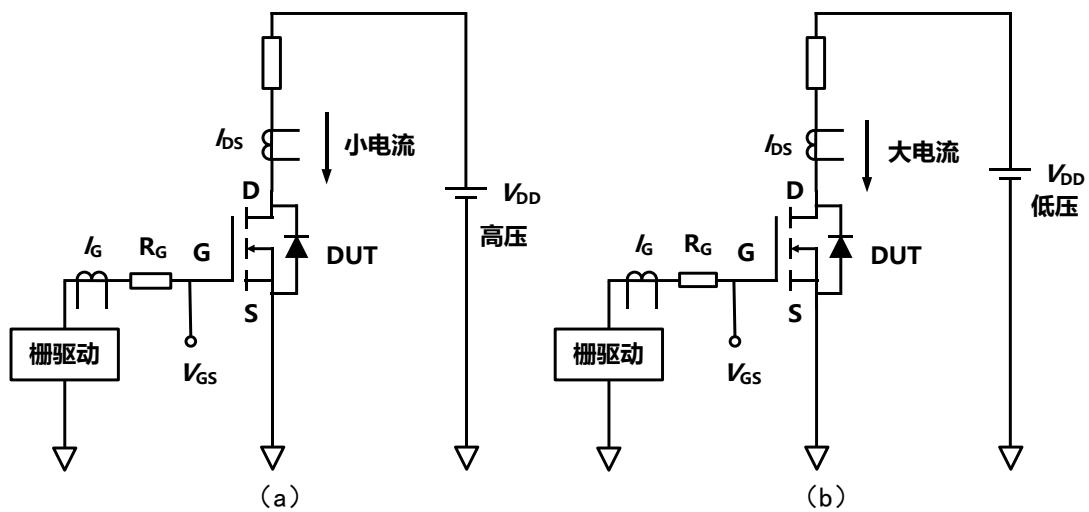


图8 (a) 高压与 (b) 大电流阻性负载试验电路

## 5 试验设备

### 5.1 电源设备

#### 5.1.1 棚极电压源

电压源输出电压可调且覆盖所测器件工作棚极电压范围，误差应小于±0.5%，输出峰值电流应不小于500 mA。

#### 5.1.2 棚极电流源

电流源输出电流可调且最大输出电流不小于200 mA，误差应小于±0.5%，输出电压应覆盖所测器件工作棚极电压范围。

#### 5.1.3 漏极电压源

电压源输出电压可调且满足试验所需母线电压，误差应小于±0.5%，分辨率宜小于0.1 V。

## 5.2 量测设备

#### 5.2.1 棚极电压探头

探头带宽宜不小于300 MHz，误差应小于±2%，测试电压范围选取应不小于±100 V。

#### 5.2.2 棚极电流探头

探头带宽宜不小于300 MHz，可选用差分电压探头、同轴电阻或直接读取棚极电流源参数以得到棚极电流，误差应小于±2%。

#### 5.2.3 漏极电压探头

探头带宽宜不小于500 MHz，误差应小于±2%，测试电压范围应依据所选器件额定漏极-源极电压选取。

#### 5.2.4 漏极电流探头

探头带宽宜不小于200 MHz，误差应小于±2%，测试电压范围应依据所选器件额定漏极电流选取。

## 5.3 回路寄生

### 5.3.1 栅极驱动

栅极驱动回路寄生电感应不大于10 nH。

## 6 试验条件

对于上述试验过程，应提供以下环境参数：

- a) 试验环境温度要求为 $25\text{ }^{\circ}\text{C}\pm 2\text{ }^{\circ}\text{C}$ ；
- b) 试验环境相对湿度不超过65 %。

## 7 试验程序

### 7.1 感性负载（双脉冲）试验程序

- a) 根据SiC MOSFET分立器件或模块的封装形式，选择合适的探针台或试验夹具；
- b) 按照图4所示连接试验电路，并设置相关试验参数；
  - 1) 负载电感值  $L$ ；
  - 2) 栅极电阻实测值  $R_G$
  - 3) 标称关断栅极电压  $V_{GS(\text{off})}$ ；
  - 4) 标称导通栅极电压  $V_{GS(\text{on})}$ ；
  - 5) 试验母线电压  $V_{DD}$ ；
  - 6) 被测器件漏源电流  $I_{DS}$ 。
- c) 使用电压源向母线电容充电，当电容电压稳定在  $V_{DD}$  后，栅极驱动以双脉冲波形对待测器件栅极进行充放电，其中第一段脉冲宽度应满足器件漏源电流达到给定  $I_{DS}$ 。同时记录第一段栅极脉冲关断阶段以及第二段栅极脉冲开启阶段的栅极电压以及栅极电流；
- d) 结束试验，输出第一次脉冲中栅极电压下降阶段波形以及第二次脉冲中栅极电压上升阶段波形。

### 7.2 阻性负载（单脉冲）试验程序

根据SiC MOSFET分立器件或模块的封装形式，选择合适的探针台或试验夹具：

- a) 按照图8 (a) 所示连接高压条件试验电路，并设置相关试验参数；
  - 1) 负载电阻值  $R$ ；
  - 2) 栅极电阻实测值  $R_G$
  - 3) 标称关断栅极电压  $V_{GS(\text{off})}$ ；
  - 4) 标称导通栅极电压  $V_{GS(\text{on})}$ ；
  - 5) 试验母线电压  $V_{DD}$ 。
- b) 通过栅极驱动以单脉冲波形向栅电容充放电，同时记录脉冲上升阶段以及下降阶段的栅极电压波形变化以及栅极电流。
- c) 按照图8 (b) 所示连接大电流条件试验电路，并设置相关试验参数；
  - 1) 负载电阻值  $R$ ；
  - 2) 栅极电阻实测值  $R_G$
  - 3) 标称关断栅极电压  $V_{GS(\text{off})}$ ；
  - 4) 标称导通栅极电压  $V_{GS(\text{on})}$ ；
  - 5) 被测器件漏源电流  $I_{DS}$ 。

- d) 通过栅极驱动以单脉冲波形向栅电容充放电，同时记录脉冲上升阶段以及下降阶段的栅极电压波形变化以及栅极电流。

8 试验数据处理

## 8.1 感性负载（双脉冲）试验数据处理

试验得到的开启、关断栅极电荷曲线示意如图9所示。其中曲线横坐标为栅极电荷，需要使用公式(1)将坐标轴换算为该段时间内电荷变化量，纵坐标为栅极电压。

将曲线在标称关断栅极电压 $V_{GS(off)}$ 到米勒斜坡初始电压阶段映射到栅极电荷 $Q_G$ 坐标轴，取该段作为栅源电荷 $Q_{GS}$ ；其中标称关断栅极电压 $V_{GS(off)}$ 到阈值电压 $V_{th}$ 部分栅极电荷为阈值栅源电荷 $V_{GS,th}$ 。 $Q_{G,TOT}$ 采用同样方法提取，并分别以标称关断栅极电压 $V_{GS(off)}$ 以及标称导通栅极电压 $V_{GS(on)}$ 作为 $Q_{G,TOT}$ 提取的起点与终点。对于 $Q_{GD}$ 的提取，由于SiC MOSFET器件存在明显的DIBL效应，需要将米勒斜坡转化为米勒平台再进行提取。具体方法为将 $Q_G$ 测量得到的曲线（c）段反向延伸。然后，将直线（a）段和直线（b）段之间的转折点与曲线（c）段反向延长线水平连接，将交叉点之间的辅助线（d）的长度映射到 $Q_G$ 坐标轴上，并作为提取 $Q_{GD}$ 的区间。

用以上方法分别对开启栅极电荷曲线以及关断栅极电荷曲线进行栅极电荷 $Q_{GS,th}$ 、 $Q_{GS}$ 、 $Q_{GD}$ 以及 $Q_{G,TOT}$ 提取，并最终获得开启和关断状态两组栅极电荷参数。由于栅极电荷曲线存在回滞，开启和关断阶段试验获得的 $Q_{GS,th}$ 、 $Q_{GS}$ 、 $Q_{GD}$ 存在明显区别，应分别记录为 $Q_{GS,th(on)}$ 、 $Q_{GS(on)}$ 、 $Q_{GD(on)}$ 、 $Q_{G,TOT(on)}$ 以及 $Q_{GS(off)}$ 、 $Q_{GS,th(off)}$ 、 $Q_{GD(off)}$ 和 $Q_{G,TOT(off)}$ 。

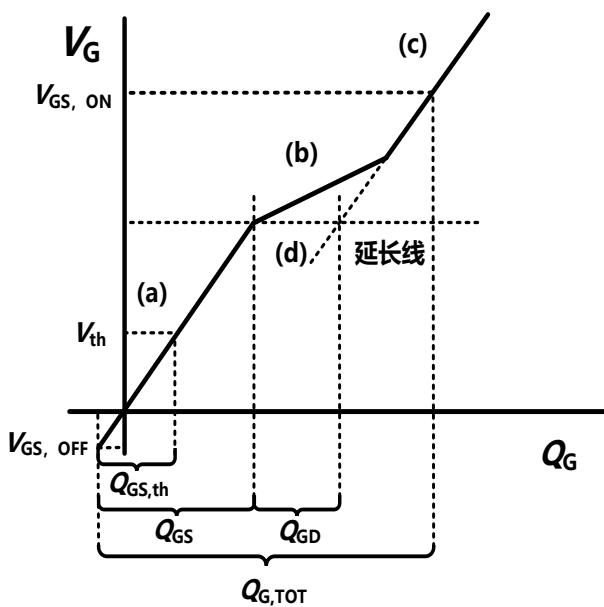


图9 栅极电荷曲线示意

应记录的数据至少包含以下几方面：

- a) 被测器件阈值电压 $V_{th}$ ;
  - b) 被测器件额定关断栅极电压 $V_{GS(off)}$ 、标称导通栅极电压 $V_{GS(on)}$ ;
  - c) 被测器件漏源电流 $I_{DS}$ ;
  - d) 试验电路母线电压 $V_{DD}$ ;

- e) 试验过程环境温度 $T$ ;
- f) 棚极电荷 $Q_{GS,th(on)}$ 、 $Q_{GS(on)}$ 、 $Q_{GD(on)}$ 、 $Q_{GS(off)}$ 、 $Q_{GS,th(off)}$ 、 $Q_{GD(off)}$ 、 $Q_{G,TOT(on)}$ 、 $Q_{G,TOT(off)}$ 。

## 8.2 阻性负载（单脉冲）试验数据处理

使用公式(1)将试验曲线横轴换算为相应电荷量，如图10所示分别将高压条件下试验获得曲线(a)以及大电流条件下试验获得曲线(b)绘制在一起，并拼接获得最终棚极电荷曲线(c)。具体方法为：

- a) 以曲线(a)首段起点与斜率绘制曲线(c)首段，并延长至曲线(b)第二段(米勒斜坡)处；
- b) 以曲线(b)第二段高度与斜率绘制曲线(c)第二段，并延长至与曲线(a)第三段相交；
- c) 以曲线(c)与曲线(a)交点作为起点，以曲线(b)第三段斜率绘制曲线(c)第三段。

依照8.1所述方法对所得棚极电荷曲线(c)再次处理，并分别提取棚极电荷。

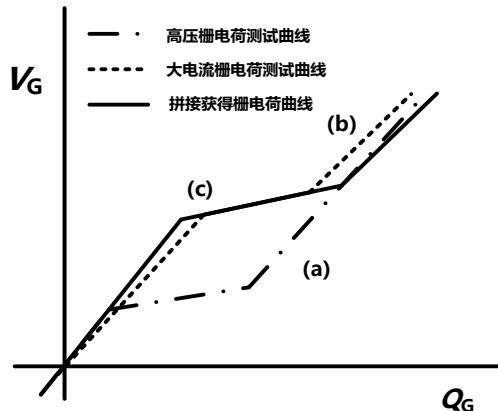


图10 阻性负载（单脉冲）棚极电荷曲线拼接示意

## 9 试验报告

试验报告至少应给出以下几方面的内容：

- a) 试验对象；
- b) 所使用的标准；
- c) 所使用的方法；
- d) 试验条件；
- e) 试验结果；
- f) 试验日期。

## 附录 A

(资料性)

## SiC MOSFET 器件栅极电荷试验记录表

SiC MOSFET器件栅极电荷试验记录表如图A.1。

表A.1 栅极电荷试验记录表示例

产品名称 型号规格				组别								
检测项目				环境条件								
试验仪器表	型号:				计量有效期							
	编号:											
检测依据 标准条款				样品数量								
试验条件及 技术要求	器件阈值电压 $V_{th}$ :											
	标称关断栅极电压 $V_{GS(off)}$ :				标称导通栅极电压 $V_{GS(on)}$ :							
	栅极电源选择: <input type="checkbox"/> 电压源 <input type="checkbox"/> 电流源				栅极电阻 ( $\Omega$ ) / 栅极电流 (mA) 值:							
	负载条件:											
	漏极电压 $V_{DD}$ :											
	漏源电流 $I_{DS}$ :											
	试验结果:											
样品编号	开关阶段											
	开启阶段				关断阶段							
	阈值栅源电荷 $Q_{GS,th(on)}$	栅源电荷 $Q_{GS(on)}$	栅漏电荷 $Q_{GD(on)}$	栅极总电荷 $Q_{G,TOT(on)}$	阈值栅源电荷 $Q_{GS,th(off)}$	栅源电荷 $Q_{GS(off)}$	栅漏电荷 $Q_{GD(off)}$	栅极总电荷 $Q_{G,TOT(off)}$				
1												
2												
3												
...												

## 参 考 文 献

- [1] GB/T 4586 半导体器件 分立器件第8部分 场效应晶体管
  - [2] IEC 60747-8—2010 Semiconductor devices—Discrete devices—Part 8: Field-effect transistors
  - [3] JEDEC JEP192 Guidelines for Gate Charge (QG) Test Method for SiC MOSFET
  - [4] JEDEC JESD24-2 Gate Charge Test Method
  - [5] MIL-STD-750E Department of Defense Test Method Standard Test Methods for Semiconductor Devices
-

