



团 体 标 准

T/CASAS 064—2026

应用于 SiC MOSFET 功率器件动态测试回路 杂感测试方法

Testing method for parasitic inductance of silicon carbide metal
oxide semiconductor field effect transistors (SiC MOSFET) and power
loop in dynamic characterization

2026 - 06 - 30 发布

2026 - 06 - 30 实施

目 次

前言..... II

引言..... III

1 范围..... 1

2 规范性引用文件..... 1

3 术语和定义、缩略语..... 1

 3.1 术语和定义..... 1

 3.2 缩略语..... 1

4 原理..... 1

 4.1 测试目的..... 1

 4.2 测试回路..... 1

 4.3 测试原理..... 2

5 测试条件..... 3

6 仪器设备..... 3

 6.1 电压探头..... 3

 6.2 电流探头..... 4

 6.3 示波器..... 4

7 样品..... 4

8 测试步骤..... 4

 8.1 测试系统..... 4

 8.2 测试条件..... 5

 8.3 测试方法..... 5

 8.4 选择功率端子测量点原因说明..... 6

9 测试数据处理..... 6

10 测试报告..... 7

附录 A （资料性） 测试记录表..... 8

参考文献..... 9

前 言

本文件按照GB/T 1.1—2020《标准化工作导则 第1部分：标准化文件的结构和起草规则》的规定起草。

请注意本文件的某些内容可能涉及专利。本文件的发布机构不承担识别专利的责任。

本文件由第三代半导体产业技术创新战略联盟（CASA）制定发布，版权归CASA所有，未经CASA许可不得随意复制；其他机构采用本文件的技术内容制定标准需经CASA允许；任何单位或个人引用本文件的内容需指明本文件的标准号。

本文件主要起草单位：忱芯科技(上海)有限公司、工业和信息化部电子第五研究所、广电计量检测集团股份有限公司、安徽长飞先进半导体股份有限公司、深圳平湖实验室、浙江大学绍兴研究院、国网上海市电力公司电力科学研究院、博测锐创半导体科技（苏州）有限公司、是德科技（中国）有限公司、西安交通大学、杭州沃镭智能科技股份有限公司、北京第三代半导体产业技术创新战略联盟。

本文件主要起草人：毛赛君、严雪松、陈媛、李汝冠、陆月明、肖磊、徐新兵、林氩、陈哲、周行星、任志军、孙承志、张彤宇、王来利、郭斌、闫晗、高伟。

引 言

近年来,随着新能源发电与储能等新兴应用快速发展,对电力电子装置的效率和应用环境提出了更为严苛的要求。以SiC MOSFET为代表的第三代宽禁带半导体器件突破了传统Si器件的材料性能限制,具有高开关速度、低导通损耗、耐高温等性能优点,满足了新能源发电等新一代电力电子应用对功率器件的需求,市场前景广阔。应用于SiC MOSFET功率器件动态测试回路杂感的精准测试对于提高器件开关参数的准确性,保证器件在不同工况下的安全运行具有重要的意义。

SiC MOSFET功率器件与硅IGBT相比,开关速度更快,导致其对杂散电感更加敏感,在开关过程中容易带来严重的问题,如开关振荡、电磁干扰和额外的功率损耗以及电气应力。为了预估器件在开关过程中所受电气应力,并为实际应用提供测试参考,需要对SiC MOSFET的整个换流回路杂散电感进行准确提取。

传统的硅基IGBT功率器件的动态回路杂感测试基于开通暂态波形进行计算。但是基于开通瞬态波形的器件杂散电感和功率回路寄生电感计算方法,通过获取开通过程的电流变化率 di/dt 来完成功率回路寄生电感的计算。该方法的操作简单快捷,但是由于SiC MOSFET器件与硅IGBT器件特性差异, SiC MOSFET开通过程在10ns级别,开通瞬态器件两端电压下降平台相比于硅IGBT器件不明显,因此,基于开通暂态波形进行计算杂散电感的测试精度不满足要求。

基于关断暂态波形的SiC MOSFET器件动态测试回路杂感测试方法相比于硅IGBT器件基于开通暂态波形的方法可以显著提高测试的精准度。

应用于SiC MOSFET功率器件动态测试回路杂感测试方法对于设计和制造和应用SiC MOSFET功率模块的工程师和研究人员具有非常重要的意义。

应用于 SiC MOSFET 功率器件动态测试回路杂感测试方法

1 范围

本文件描述了双脉冲测试条件下对应用于SiC MOSFET功率器件动态测试回路杂感测试的术语和定义、符号、测试电路、测试条件、测试仪器、测试方法、计量方法等相关内容。

本文件适用于分立器件和功率模块等封装SiC MOSFET功率器件的开关动态测试与评估，对于SiC JFET、SiC BJT、SiC IGBT等其他类型的SiC晶体管功率器件，可参照本文件执行。

2 规范性引用文件

下列文件中的内容通过文中的规范性引用而构成本文件必不可少的条款。其中，注日期的引用文件，仅该日期对应的版本适用于本文件；不注日期的引用文件，其最新版本（包括所有的修改单）适用于本文件。

GB 4793.5 测量、控制和实验室用电气设备的安全要求 第5部分：电工测量和试验用手持探头组件的安全要求

T/CASAS 002 宽禁带半导体术语

T/CASAS 033 碳化硅金属氧化物半导体场效应晶体管(SiC MOSFET)功率器件开关动态测试方法

3 术语和定义、缩略语

3.1 术语和定义

T/CASAS 002、T/CASAS 033界定的术语和定义适用于本文件。

3.2 缩略语

T/CASAS 033 界定的以及下列缩略语适用于本文件。

L_P ——功率回路中的寄生电感，单位为亨利（H）；

L_{BUS} ——直流母排的寄生电感，单位为亨利（H）；

L_M ——被测器件寄生电感，单位为亨利（H）。

4 原理

4.1 测试目的

由于SiC MOSFET的高速开关特性，其对寄生杂感尤为敏感，容易引发开关振荡、电磁干扰、额外功率损耗及电气应力，影响器件的安全性与可靠性。因此，精准测量SiC MOSFET及其动态测试回路的寄生杂感对于优化开关特性、确保器件在不同工况下的稳定运行至关重要。

传统基于硅IGBT开通过程的回路杂感测量方法由于SiC MOSFET的高速开关特性而难以保证测试精度。本文件测试方法基于关断暂态波形，通过测量SiC MOSFET在关断瞬态时的电压、电流变化率(di/dt)来计算寄生杂感，可显著提高测量准确度，为器件优化设计及应用提供可靠参考。

4.2 测试回路

测试回路与T/CASAS 033标准一致，均基于SiC MOSFET器件的动态测试方法。动态测试回路包含测试系统杂感和被测器件杂感，为精确测量器件动态回路杂感，应分别对上桥臂和下桥臂回路进行测试，并通过去除被测器件杂感计算测试系统杂感。测试回路杂感分布应规定如下：

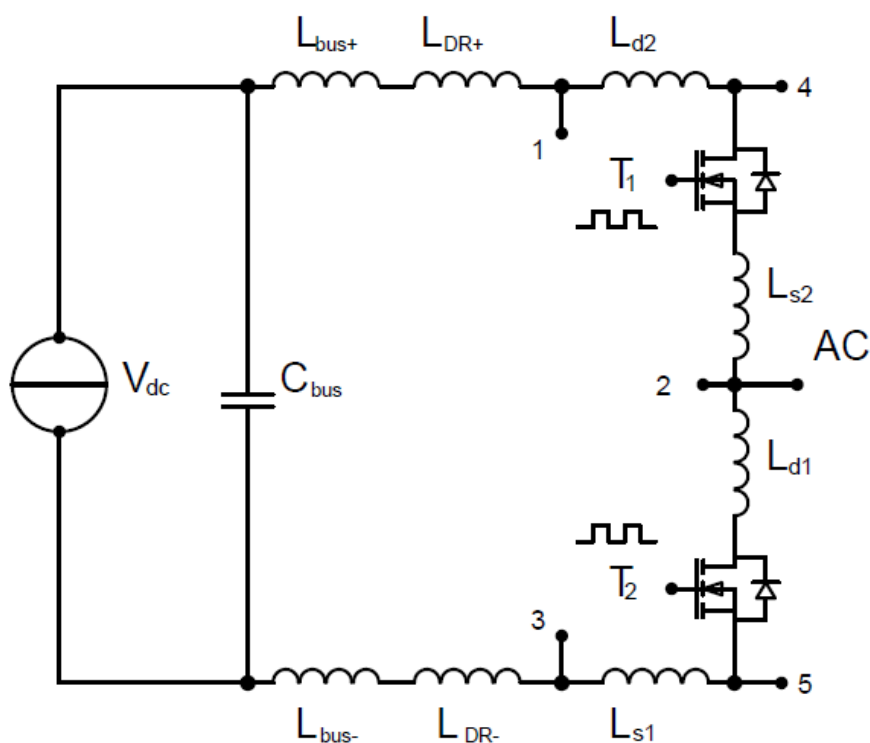


图1 SiC MOSFET 器件动态测试回路寄生杂感分布示意图

其中包含以下关键部分:

直流母线电感 (L_{bus+} , L_{bus-}): 由母排、铜排及 PCB 走线引入的电感;

转接板电感 (L_{DB+} , L_{DB-}): 由母排与器件之间的转接板引入的寄生电感;

功率回路中的寄生电感 ($L_p = L_{bus+} + L_{DR+} + L_{bus-} + L_{DR-}$)：由测试回路引入的寄生杂感，即我们所测量的对象；

功率端子测量点(1, 2, 3): 测试电压 V_{12} , V_{23} 和对应的关断电流变化率 di/dt_{off} 以计算回路寄生杂感;

信号端子测量点 (4, 5): 关于不选用信号端子测量的原因论述, 在中要有计算说明;

被测器件寄生电感 ($L_M = L_{s2} + L_{d2} + L_{d1} + L_{s1}$): 由功率模块内部的封装结构决定, 影响开关过程中的电压过冲与振荡;

驱动信号端子 (T_1 , T_2): 控制上桥和下桥MOSFET的开通与关断, 以形成测试脉冲;

该回路表示能够有效分离被测器件寄生杂感和测试回路寄生杂感, 确保测试数据的可靠性。

4.3 测试原理

通过分别测试上下桥臂回路，并去除被测器件寄生电感，计算系统功率回路中的寄生电感。其中，半桥回路的杂感计算基于关断瞬态的电压尖峰与平台电压差值，并除以关断时的最大电流变化率，以获得寄生杂感值。

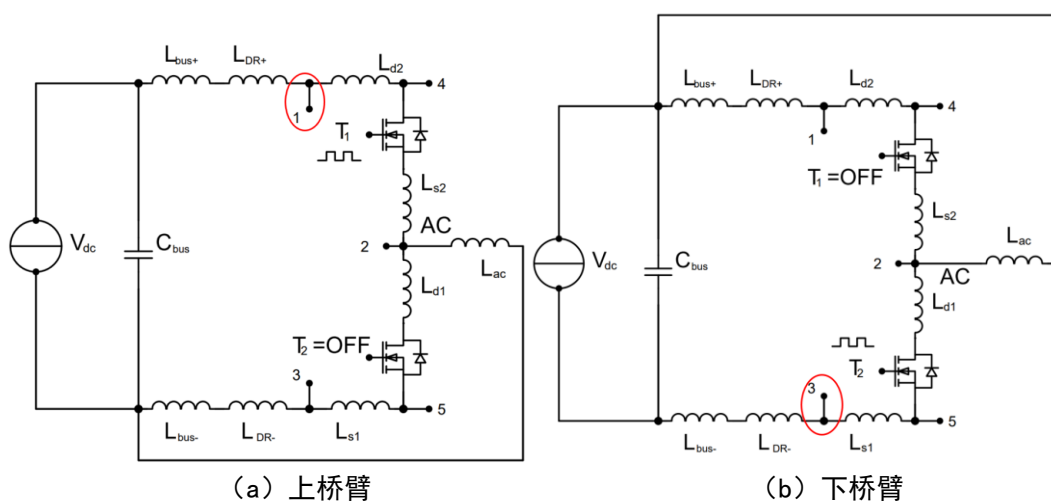


图2 SiC MOSFET 器件动态测试回路寄生杂感测试示意图（左：上桥臂，右：下桥臂）

$$L_{bus+} + L_{DR+} + L_{bus-} + L_{DR-} + L_{d1} + L_{s1} = \frac{V_{12} - V_{dc} + V_{sd}}{di/dt_{off1}} \quad (1)$$

$$L_{bus+} + L_{DR+} + L_{bus-} + L_{DR-} + L_{d2} + L_{s2} = \frac{V_{23} - V_{dc} + V_{sd}}{di/dt_{off2}} \quad (2)$$

(1) + (2)，有

$$2 \times (L_{bus+} + L_{DR+} + L_{bus-} + L_{DR-}) + L_{d2} + L_{s2} + L_{d1} + L_{s1} = \frac{V_{12} - V_{dc} + V_{sd}}{di/dt_{off1}} + \frac{V_{23} - V_{dc} + V_{sd}}{di/dt_{off2}} \quad (3)$$

即

$$2 \times L_P + L_M = \frac{V_{12} - V_{dc} + V_{sd}}{di/dt_{off1}} + \frac{V_{23} - V_{dc} + V_{sd}}{di/dt_{off2}} \quad (4)$$

求解测试系统功率回路中的杂感，有：

$$L_P = \frac{1}{2} \times \left(\frac{V_{12} - V_{dc} + V_{sd}}{di/dt_{off1}} + \frac{V_{23} - V_{dc} + V_{sd}}{di/dt_{off2}} - L_M \right) \quad (5)$$

其中SiC MOSFET被测器件内部的寄生杂感 L_M 按照AQG324标准方法测得。

因此，为了测得回路中的寄生杂感 L_P ，需要测量的参数有测试尖峰电压 V_{12} ， V_{23} 和对应的关断电流变化率最大值 di/dt_{off1} ， di/dt_{off2} 。

5 测试条件

试验环境条件为：

- 环境温度:25 °C±5 °C;
- 相对湿度:40 %RH~60 %RH;
- 大气压:86 kPa~106 kPa。

6 仪器设备

6.1 电压探头

- 电压探头可以是差分电压探头、光隔离电压探头、有源单端电压探头、无源高阻电压探头，但是在开关动态测试过程中，应满足 GB 4793.5 规定的隔离绝缘测试要求。宜尽可能采用隔离能力强的光隔离电压探头。
- 应尽可能缩短电压探头的测试回路，推荐采用 SMA、MCX、MMCX 等射频接口。对于差分电压探头等具有较长回路的电压探头，应采用并联平行走线，或绞线的方式，降低共模干扰。
- 在漏-源电压测试中，电压探头的测试点应尽可能靠近被测器件的漏极和源极，应不包括电流探头及其测试跳线，尤其是同轴电阻。

- d) 电压探头的带宽宜不小于 500 MHz (或响应时间不超过 0.7 ns), 最大平坦度带宽不应小于 100 MHz。
- e) 电压探头应具有适宜的量程, 覆盖目标测试的电压范围, 探头使用前应较零。电压探头的直流测量误差应不大于 $\pm 2\%$ 。
- f) 对于存在浮动电位的漏-源电压和栅-源电压测量, 应采用具有高共模抑制能力的差分电压探头或光隔离电压探头, CMRR 宜不小于 80 dB@0Hz、60 dB@100MHz。
- g) 电压探头不应引入过大的负荷效应, 探头的输入电容应小于 5 pF 或小于被测位置器件结电容的 10%。
- h) 电压探头的噪声宜小于 10 mVrms。
- i) 电压探头带宽、直流精度、CMRR、输入电容等关键指标的测试或校准, 参照 GB/T 15289 标准执行, 推荐采用网络分析仪测试电压探头的频域特性。

6.2 电流探头

- a) 电流探头可以是同轴电阻、电流钳、罗氏线圈或其中的组合方式, 但是在测试中, 应满足 GB 4793.5 规定的隔离绝缘测试要求。
- b) 为了降低干扰, 电流探头应放置在被测器件电位较低的一侧, 且不应包含驱动回路的电流。对于有通孔的罗氏线圈或钳形电流探头, 被测电流应从通孔的中心位置穿过, 以减小测量位置对测量精度的影响。宜尽可能采用隔离能力强的光隔离电流探头。
- c) 电流探头的带宽宜不小于 200 MHz (或响应时间不超过 1.75 ns)、直流测量误差应不大于 $\pm 1\%$ 。
- d) 电流探头不应引入过大的寄生电感, 探头及测试跳线的寄生电感应小于 5 nH, 或小于功率回路寄生电感的 10%。
- e) 电流探头应具有适宜的量程, 覆盖目标测试的电流范围, 探头使用前应较零。目标测试电流应小于电流探头的最大允许脉冲宽度电流乘积, 避免测试过程中电流探头饱和。对于同轴电阻, 被测电流引起的损耗, 应小于同轴电阻的耗散功率。
- f) 电流探头的噪声应小于 0.1 mArms, 灵敏度应小于 10 mA/div。
- g) 电流探头带宽、直流精度、噪声等关键指标的测试或校准, 参照 GB/T 15289 标准执行, 推荐采用网络分析仪测试电流探头的频域特性。

6.3 示波器

- a) 示波器的带宽宜不小于 500 MHz (或响应时间应不超过 0.7 ns), 测量通道应不少于 4 路。
- b) 示波器的垂直分辨率应不小于 10 位, 测试过程中应尽可能使波形占满栅格, 最小化量化误差。
- c) 示波器的噪声应小于 1 mVrms (1V/div、50 Ω)。
- d) 示波器应具有足够高的采样率和存储深度。
- e) 探头与示波器输入通道之间, 应满足阻抗匹配。
- f) 若无特殊规定, 示波器应接地, 避免浮地测试。
- g) 示波器带宽、噪声等关键指标的测试或校准, 参照 GB/T 15289 标准执行。

7 样品

测试样品应为外观完好, 电参数测量符合器件产品手册或者与客户协定的规范要求的SiC MOSFET 功率器件。

8 测试步骤

8.1 测试系统

测试系统应严格按照T/CASAS 033中6.1的要求搭建, 测试方法应严格按照T/CASAS 033中6.2进行执行其中电流测试探头应该在功率端子测量点进行测量, 如图3所示。

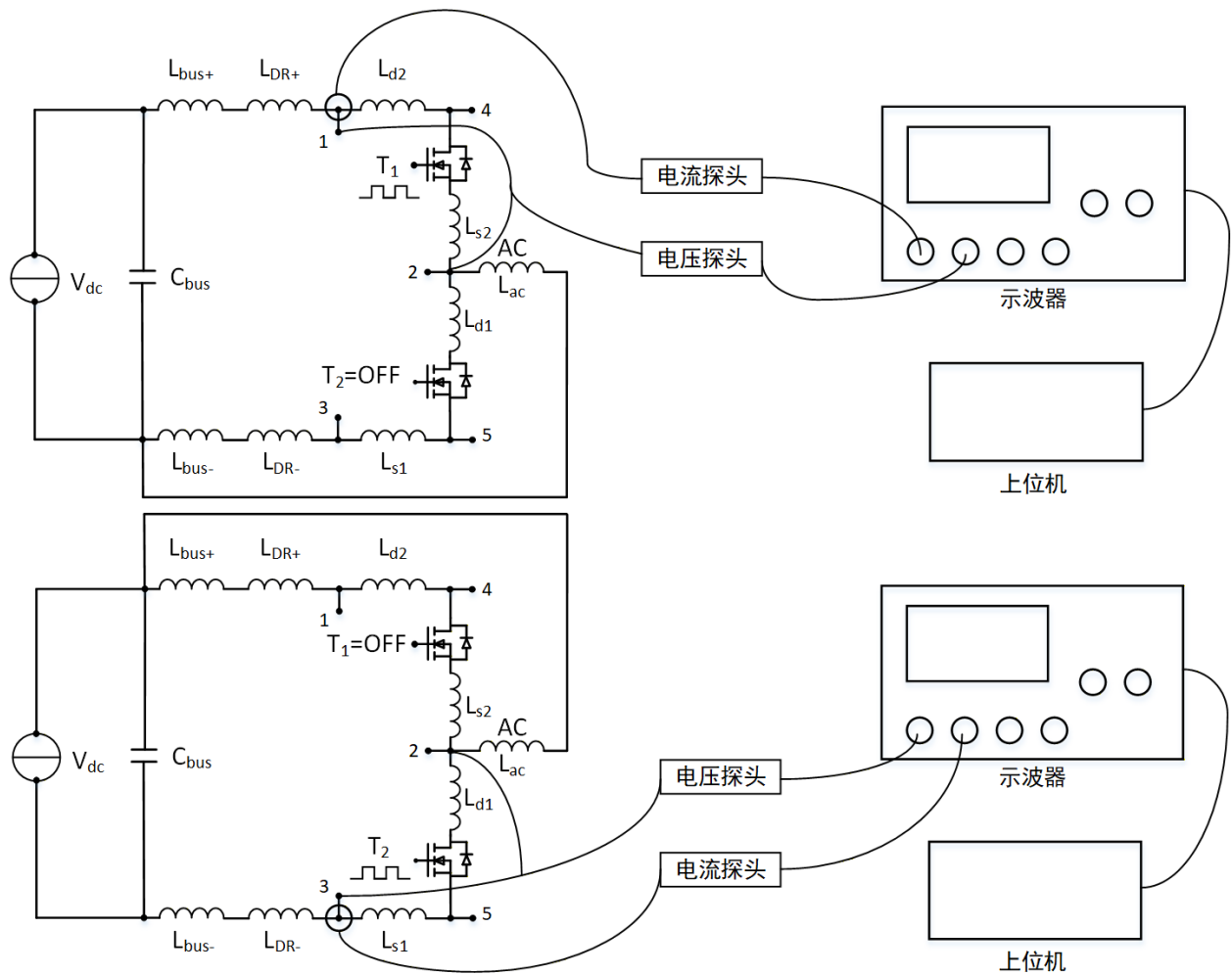


图3 测试系统示意图（上：上桥臂，下：下桥臂）

8.2 测试条件

测试条件应按照T/CASAS 033标准执行。

8.3 测试方法

系统回路杂感的关键测试方法如下：

- 探头校正。开关动态测试前，探头应调零，部分探头需要预热。此外，应校核探头和示波器的带宽与精度。应采用延迟校正夹具，校正不同测试通道的延迟时间，各个测量通道之间的同步误差应小于0.5 ns；
- 电路接线。探头与被测器件之间应采用开尔文连接，对于电压测量，电压探头的测试点应连接到被测器件的开尔文漏极和开尔文源极；对于电流测量，电流探头的测试点应为同轴电阻的开尔文连接处；
- 合理接地。为了保证足够的电气隔离，消除潜在的共模干扰，合理配置测试电路和测试仪器的接地，应尽可能避免多点接地；
- 驱动校核。给测试仪器、脉冲发生器、驱动电路等低压系统供电，脉冲发生器输出脉冲，确认驱动信号是否正常，待高压系统安全上电之后，开展开关动态测试；
- 数据处理。可以采用数字滤波等预处理方法，降低测试结果的噪声干扰，提高测量精度；

- f) 重复测试。同一个被测器件应重复测试多次，取测试结果的平均值作为最终测试结果，排除测量过程中的随机干扰。两次重复测试之间保持足够的时间间隔。

8.4 选择功率端子测量点原因说明

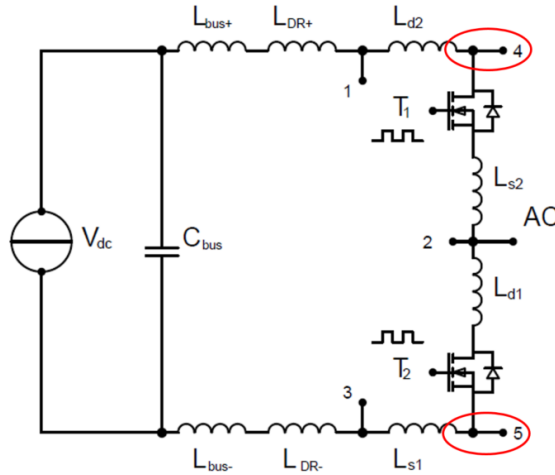


图4 SiC MOSFET 器件动态测试回路寄生杂感分布示意图（信号端子测量点）

如选择信号端子（4，5）测量测试回路系统杂感，对上桥臂和下桥臂进行测量，则有：

$$L_{bus+} + L_{DR+} + L_{bus-} + L_{DR-} + L_{d1} + L_{s1} + L_{d2} = \frac{V_{42} - V_{dc} + V_{sd}}{di/dt_{off1max}} \dots\dots\dots (6)$$

$$L_{bus+} + L_{DR+} + L_{bus-} + L_{DR-} + L_{d2} + L_{s2} + L_{s1} = \frac{V_{25} - V_{dc} + V_{sd}}{di/dt_{off2max}} \dots\dots\dots (7)$$

（6）+（7），有

$$2 \times (L_{bus+} + L_{DR+} + L_{bus-} + L_{DR-}) + 2L_{d2} + L_{s2} + L_{d1} + 2L_{s1} = \frac{V_{12} - V_{dc} + V_{sd}}{di/dt_{off1max}} + \frac{V_{23} - V_{dc} + V_{sd}}{di/dt_{off2max}} \dots\dots (8)$$

即：

$$2 \times L_P + L_M + L_{d2} + L_{s1} = \frac{V_{12} - V_{dc} + V_{sd}}{di/dt_{off1max}} + \frac{V_{34} - V_{dc} + V_{sd}}{di/dt_{off2max}} \dots\dots\dots (9)$$

求解测试系统功率回路中的杂感，有：

$$L_P = \frac{1}{2} \times \left(\frac{V_{12} - V_{dc} + V_{sd}}{di/dt_{off1max}} + \frac{V_{34} - V_{dc} + V_{sd}}{di/dt_{off2max}} - L_M - L_{d2} - L_{s1} \right) \dots\dots\dots (10)$$

一般来说，SiC MOSFET功率器件规格书中只会表明器件的总杂感，而器件内部杂感分布未知，即 L_{d2} 和 L_{s1} 未知，因此使用信号端子测量SiC MOSFET功率器件动态测试回路杂感的方法不可取，应选用功率端子进行测量。

9 测试数据处理

由于回路寄生杂感的影响，功率器件的功率端子漏-源极电压在关断瞬态过程中会产生电压过冲，其幅度与寄生杂感直接相关。为了定量评估回路寄生杂感，可通过差分探头测量漏-源极电压，并在波形图中提取尖峰电压 V_{peak} 和平台电压 $V_{plateau}$ ，在图3所示的测试回路中则需要测量1和2测量点间的电压，并在波形图中提取最大值和平台值。

此外，在电压过冲发生的同一时刻，功率器件的漏极电流出现最大下降速率 di/dt_{off_max} ，可以直接从波形图中提取。

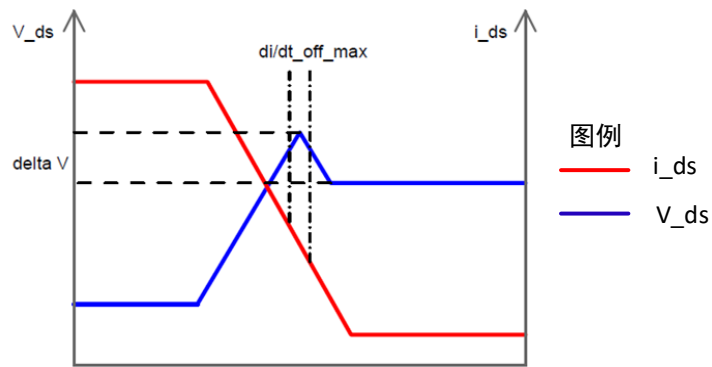


图5 SiC MOSFET 器件关断过程波形图（信号端子测量点）

10 测试报告

测试结束应提供测试报告，其中至少包括：

- a) 测试样品；
- b) 样品数量；
- c) 测试条件；
- d) 测试异常现象（若有）及处理；
- e) 本文件编号；
- f) 测试结果。

试验记录表示例参见附录A。

附 录 A
(资料性)
测试记录表

应用于SiC MOSFET功率器件动态测试回路杂感测试记录表如表A.1。

表A.1 动态测试回路杂感测试记录表示例

产品名称 型号规格					组别						
检测项目					环境条件						
测试 仪器仪表	型号： 编号：				计量有效期						
检测依据 标准条款											
检测依据 标准条款					样品 数量						
测试电路	☐ 二极管续流 ☐ 体二极管续流 ☐ MOSFET 续流（死区时间_____） 其他_____										
测试条件	第一个脉冲测试时间：				脉冲间隔时间：				第二个脉冲测试时间：		
	负荷电感寄生电容（pF）：										
	驱动正压（V）：				驱动负压（V）：						
	直流母线电压设定值（V）：				负荷电流设定值（A）：						
	驱动开通电阻（Ω）：				驱动关断电阻（Ω）：						
样品编号	测试结果										
	下管关断过程				上管关断过程				计算结果		
	V_{dc}	V_{max}	$di/dt\ max$	V_{sd}	V_{dc}	V_{max}	$di/dt\ max$	V_{sd}	L_{s_H}	L_{s_L}	L_p
1											
2											
3											
...											

参 考 文 献

- [1] GB/T 15289—2013 数字存储示波器通用规范
 - [2] GB/T 19212.17—2019 电源电压为1100V及以下的变压器、电抗器、电源装置和类似产品的安全 第17部分：开关型现行电源装置和开关型电源装置用变压器的特殊要求和试验
 - [3] GB/T 37140—2018 检验检测实验室技术要求验收规范
 - [4] T/CASAS 006—2020 碳化硅金属氧化物半导体场效应晶体管通用技术规范
-